

**INSTITUT TEKNOLOGI NASIONAL MALANG
FAKULTAS TEKNOLOGI INDUSTRI
JURUSAN TEKNIK ELEKTRO S-1
KONSENTRASI TEKNIK ELEKTRONIKA**



**PERENCANAAN DAN PEMBUATAN ALAT PENCEGAH TERJADINYA
KECELAKAAN KERJA PADA MESIN DIE CUT DI PERUSAHAAN
PENGEPAKAN BERBASIS TEKNOLOGI VHDL**

SKRIPSI



Disusun Oleh :

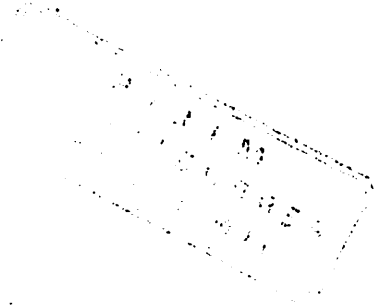
NAMA : MARSE GUNAWAN

NIM : 99 17 270

SEPTEMBER 2005

REPUBLIC OF INDONESIA
DEPARTMENT OF THE ARMY
HEADQUARTERS
JAYAPURA

REPUBLIC OF INDONESIA
DEPARTMENT OF THE ARMY
HEADQUARTERS
JAYAPURA



10011111

DATE : 10/11/11
TIME : 10.00
BY : [illegible]

10011111

LEMBAR PERSETUJUAN

PERENCANAAN DAN PEMBUATAN ALAT PENCEGAH TERJADINYA
KECELAKAAN KERJA PADA MESIN DIE CUT DI PERUSAHAAN
PENGEPAKAN BERBASIS TEKNOLOGI VHDL

SKRIPSI

Disusun dan Diajukan Untuk Melengkapi dan Memenuhi Syarat
Guna Mencapai Gelar Sarjana Teknik

Disusun Oleh :

Nama : MARSE GUNAWAN
N I M : 99 17 270



Mengetahui,
Ketua Jurusan Teknik Elektro S-1

Ir. F. Yudi Limpraptono, MT

Diperiksa dan Disetujui,
Dosen Pembimbing

Ir. Usman Djuanda, MM

JURUSAN TEKNIK ELEKTRO S-1
KONSENTRASI TEKNIK ELEKTRONIKA
FAKULTAS TEKNOLOGI INDUSTRI
INSTITUT TEKNOLOGI NASIONAL MALANG

ABSTRAKSI

PERENCANAAN DAN PEMBUATAN ALAT PENCEGAH TERJADINYA KECELAKAAN KERJA PADA MESIN DIE CUT DI PERUSAHAAN PENGEPAKAN BERBASIS TEKNOLOGI VHDL

(Marse Gunawan, 9917270, Teknik Elektro/Elektronika S-1, 58 halaman)

(Dosen Pembimbing, Ir. Usman Djuanda, MM)

Kata Kunci: DieCut, Limit Switch, Infra Merah, Driver, Display dan IC GAL
22V10.

Sistem perancangan ini menggunakan teknologi VHDL (*Very High Speed Integrated Circuit Hardware Description Language*) dipakai untuk menggambarkan perangkat keras untuk tujuan simulasi, pemodelan, test perancangan dan dokumentasi dari suatu system digital. Bahasa ini merupakan format yang kompleks dan mencukupi untuk perwakilan dari fungsi dan detail hubungan dalam suatu sistem digital. Beberapa HDL terdiri dari sumber yang sederhana dan notasi yang dapat menggantikan diagram skematik dari suatu circuit digital. HDL ini bisa berupa program simulasi yang bisa digunakan untuk menguji desain atau membentuk perangkat keras secara otomatis. HDL memiliki aturan-aturan tersendiri seperti sistematika program sampai dengan *syntax* (aturan penulisan kalimat) yang digunakan.

Dengan memanfaatkan teknologi VHDL, maka software dari alat ini dapat mudah dibuat karena hanya dengan menggambarkan *flowchart* melalui sebuah FSM. Alat ini mampu mengatasi kendala yang selama ini terjadi pada mesin die cut yaitu terjadinya kecelakaan kerja pada karyawan. Dengan memasang sebuah sensor dan sistem yang tepat, alat ini mampu mencegah terjadinya kecelakaan kerja .

KATA PENGANTAR

Puji syukur kehadiran Allah SWT yang senantiasa memberikan taufik dan hidayah-Nya sehingga penyusun dapat menyelesaikan tugas akhir yang berjudul:

**“PERENCANAAN DAN PEMBUATAN ALAT PENCEGAH TERJADINYA
KECELAKAAN KERJA PADA MESIN DIE CUT DI PERUSAHAAN
PENGEPAKAN BERBASIS TEKNOLOGI VHDL”**

Pembuatan tugas akhir ini disusun guna memenuhi syarat akhir kelulusan pendidikan jenjang Strata-1 di Institut Teknologi Nasional Malang. Laporan tugas akhir ini merupakan tanggung jawab tertulis atas ilmu pengetahuan yang didapat selama penyusun mengikuti kuliah.

Atas selesainya tugas akhir ini, penyusun mengucapkan ucapan terimakasih kepada :

- Bapak DR. Ir. Abraham Lomi, MSEE selaku Rektor ITN Malang.
- Bapak Ir. Mochtar Asroni, MSEE, selaku Dekan Fakultas Teknologi Institut Teknologi Nasional Malang
- Bapak Ir. Fx.Yudi Limpraptono,MT, selaku Ketua Jurusan Teknik Elektro S-1.
- Bapak Ir. Usman Djuanda, MM selaku dosen pembimbing.
- Bapak Ibu Paman dan Adik dirumah yang selalu memberiku dukungan moral maupun material, dan tiada henti-hentinya mendoakan keberhasilanku.

- Sahabat-sahabat *Classman..!*Dance, Pilip, Rizki, Dalmon, Indra, Hendra.
- Sahabat-sahabatku di *Singosari..!* Mas Agus, Sri, Luluk, Dwi, Fauzan, Mbak Nur, Tutus ♥, dan Ida.
- Rekan-rekan instruktur Laboratorium Elektronika ITN Malang

Penyusun menyadari bahwa laporan ini masih banyak yang perlu disempurnakan. Oleh sebab itu kritik dan saran yang membangun sangat diharapkan.

Akhir kata, penyusun mohon maaf kepada semua pihak bilamana selama penyusunan skripsi ini penyusun membuat kesalahan secara tidak sengaja dan semoga skripsi ini dapat bermanfaat bagi kita semua.

Malang, Agustus 2005

Penyusun

DAFTAR ISI

JUDUL	i
LEMBAR PERSETUJUAN	ii
ABSTRAKSI	iii
KATA PENGANTAR	iv
DAFTAR ISI	vi
DATRAR GAMBAR	x
DAFTAR TABEL	xi
DAFTAR GRAFIK	xii
BAB I PENDAHULUAN	
1.1. Latar Belakang.....	1
1.2. Rumusan Masalah.....	1
1.3. Tujuan.....	2
1.4. Batasan Masalah.....	2
1.5. Metode Penulisan.....	2
1.6. Sistematika Penulisan.....	4
BAB II DASAR TEORI	
2.1. Hardware Description Language.....	6
2.1.1. Latar Belakang VHDL.....	6
2.1.2. Kelebihan VHDL.....	6
2.1.3. Portabilitas Dan Kemampuan <i>Benchmark</i>	7
2.2. Konsep Dasar VHDL.....	9
2.2.1. Deklarasi Entity.....	10

2.2.2. Deklarasi Architecture	13
2.2.2.1. Declaration Component	15
2.2.2.2. Concurrent Statement	16
2.2.2.3. Sequential Statement	17
2.2.3. Operaor Dalam VHDL	21
2.2.4. Ekspresi Sinyal Clock	22
2.3. Generic Array Logic (GAL).....	22
2.3.1. IC GAL 22V10.....	24
2.4. Rangkaian Clock	25
2.5. Dioda Infra Merah.....	27
2.6. Photo Dioda.....	29
2.7. Relay	29
2.8. Limit Switch.....	31
2.9. Display 7-Segment.....	31
BAB III PERANCANGAN DAN PEMBUATAN ALAT.....	36
3.1. Blok Diagram	33
3.2. Perencanaan Perangkat Keras	33
3.2.1. Sensor Infra Merah.....	33
3.2.2. Limit Switch.....	35
3.2.3. Driver Motor DC.....	35
3.2.4. Tampilan 7-Segment	36
3.3. Perencanaan Perangkat Lunak	38
3.3.1. Pemrograman GAL 22V10	39

BAB IV PENGUJIAN ALAT

4.1. Pengujian Rangkaian Sensor Infra Merah.....	47
4.1.1. Tujuan	47
4.1.2. Peralatan Yang Digunakan.....	48
4.1.3. Prosedur Pengujian.....	48
4.1.4. Data Hasil Pengujian	49
4.1.5. Analisa Data Hasil Pengujian	49
4.2. Pengujian Rangkaian limit Switch.....	53
4.2.1. Tujuan	53
4.2.2. Peralatan Yang Digunakan.....	53
4.2.3. Prosedur Pengujian.....	53
4.2.4. Data Hasil Pengujian	53
4.2.5. Analisa Data Hasil Pengujian	53
4.3. Pengujian Rangkaian Driver Motor DC.....	54
4.3.1. Tujuan	54
4.3.2. Peralatan Yang Digunakan.....	54
4.3.3. Prosedur Pengujian.....	54
4.3.4. Data Hasil Pengujian	55
4.3.5. Analisa Data Hasil Pengujian	55

BAB V PENUTUP

5.1. Kesimpulan	57
5.2. Saran.....	57

DAFTAR PUSTAKA

LAMPIRAN

DAFTAR GAMBAR

Gambar	Halaman
2.1. Deskripsi Desain Dengan VHDL Pada Segala Simulator Dan Alat Apapun	8
2.2. Hubungan Antar Desain Entity Dan Architecture.....	10
2.3. Konfigurasi Macrocell GAL22V10	24
2.4. Blok Diagram Internal NE555	26
2.5. Dioda Infra Merah	28
2.6. Cara Memberi Tegangan Pada Led Infra Merah.....	28
2.7. Cara Memberi Tegangan Pada Photo Dioda.....	29
2.8. Simbol Relay.....	30
2.9. Rangkaian Limit Switch.....	31
2.10. 7-Segment Common Anoda.....	32
2.11. Led 7segment	32
3.1. Blok Diagram Sistem	33
3.2. Rangkaian Sensor Infra Merah	34
3.3. Rangkaian Limit Switch	35
3.4. Rangkaian Driver Relay	35
3.5. Display 7-Segment.....	37
3.6. Flow Chart Sistem Kerja.....	38
4.1. Rangkaian Pengujian Sensor Infra Merah	48
4.2. Rangkaian Pengujian Limit Switch	53
4.3. Rangkaian Pengujian Driver Motor DC	55

DAFTAR TABEL

Tabel	Halaman
2.1. Operator Dalam VHDL.....	49
4.1. Hasil Pengukuran Tegangan Pada Sensor Infra Merah.....	49
4.2. Hasil Pengukuran Arus Pada Sensor Infra Merah.....	49
4.3 . Hasil Pengukuran Dan Perhitungan V Out Sensor Infra Merah	51
4.4. Hasil Nilai Error (%) Dan Nilai Ketelitian (%)	51
4.5. Hasil Pengukuran Rangkaian Limit Switch	54
4.6. Hasil Pengukuran Rangkaian Driver Motor DC	55

DAFTAR GRAFIK

Grafik	Halaman
4.1. Hasil Pengukuran Dan Perhitungan V Out Sensor Infra Merah	52

BAB I

PENDAHULUAN

1.1. Latar Belakang

Perkembangan teknologi sekarang ini yang maju dengan sangat pesat diberbagai bidang. Salah satunya adalah di bidang elektronika. Teknologi dibidang elektronika sekarang ini sangat berperan penting diberbagai bidang. Misalnya saja adalah alat pengaman untuk mengurangi resiko kerja pada mesin die cut di perusahaan pengepakan, mesin die cut adalah merupakan mesin yang digunakan untuk membentuk suatu pola dan potongan pada kardus dengan cara dijepit oleh dua buah plat besi baja yang sangat tebal, resiko kerja pada mesin die cut sangat tinggi sebab kelalaian dapat menyebabkan tangan karyawan terjepit mesin. Pada mesin die cut terdapat pengaman berupa saklar saklar yang ditempatkan disekitar mesin yang berguna untuk mematikan mesin. Tapi saklar ini harus digerakkan oleh manusia. Untuk hal tersebut maka dalam perencanaan skripsi ini, penulis akan merencanakan suatu system peralatan elektronika yang dapat menghentikan mesin secara otomatis jika ada kondisi dimana akan terjadi kecelakaan kerja.

1.2. Rumusan Masalah

Dalam perencanaan dan pembuatan alat pencegah terjadinya kecelakaan kerja pada mesin die cut berbasis teknologi VHDL. Dapat dirumuskan beberapa permasalahan sebagai berikut

- a. Bagaimana cara mendesain perangkat keras (Hardware).
- b. Bagaimana cara mendesain perangkat lunak (Software).
- c. Bagaimana proses kerja system secara keseluruhan dapat bekerja.

Maka sehubungan masalah diatas, maka dalam skripsi ini diberi judul :

“ Perencanaan Dan Pembuatan Alat Pencegah Terjadinya Kecelakaan Kerja Pada Mesin Die Cut Di Perusahaan Pengepakan Berbasis Teknologi VHDL “

1.3. Tujuan

Tujuan dari penulisan skripsi ini adalah :

- a. Untuk membuat suatu piranti yang dapat digunakan untuk mencegah terjadinya kecelakaan kerja pada pengoperasian mesin Die Cut.
- b. Melengkapi persyaratan akhir studi pada Jurusan Elektronika Teknik Elektro, Konsentrasi Elektronika, Fakultas Teknologi Industri Jenjang Strata satu Institut Teknologi Nasional Malang.

1.4. Batasan Masalah

Agar permasalahan yang dibahas tidak terlalu luas, maka penulis membatasi pembahasan hanya pada hal – hal berikut :

- a. IC GAL 22V10 sebagai pusat pengolah data.
- b. Software yang digunakan adalah Warp 5.2.
- c. Tidak membahas mekanik mesin Die Cut secara mendetail.

1.5. Metode Penulisan

Metodologi yang dipergunakan adalah dalam perancangan ini adalah sebagai berikut :

a. **Studi Literatur**, mengumpulkan data – data dan bahan – bahan yang dapat dipergunakan untuk perencanaan dan pembuatan alat ini.

b. **Perencanaan dan Pembuatan Alat**

Dalam pembuatan alat ini menggunakan konsep sebagai berikut :

- Perencanaan sistem secara keseluruhan.
- Membuat perangkat keras (hardware) dan perangkat lunak (software).
- Implementasi software yang dirancang ke dalam IC GAL 22v10.

c. **Pengujian Alat dan Analisa**

Setelah semua sistem selesai dibuat maka diadakan pengujian dan analisa untuk mendapatkan keakuratan data dari sistem.

d. **Menyusun Naskah Skripsi**

Penyusunan Laporan Skripsi dibuat sesuai dengan sistematika pembahasan yang telah ditetapkan.

1.6. Sistematika Penulisan

Kerangka penyusunan Skripsi ini meliputi beberapa pokok pembahasan yang terbagi dalam beberapa bab yang dijabarkan sebagai berikut ini :

BAB I PENDAHULUAN

Pada bab ini berisi latar belakang, rumusan masalah, tujuan, batasan masalah, metodologi penulisan serta sistematika penulisan.

BAB II TEORI PENUNJANG

Berisi tentang teori-teori dasar yang memiliki relevansi sebagai dasar perancangan dan pembuatan.

BAB III PERANCANGAN DAN PEMBUATAN

Berisi tentang perancangan dan pembuatan hardware maupun software.

BAB IV PERCOBAAN DAN PENGUJIAN ALAT

Berisi tentang uji coba alat, pengamatan, pengukuran dan analisa dari minimum sistem yang telah dibuat.

BAB V PENUTUP

Berisi kesimpulan dari hasil perancangan dan pembuatan sistem serta saran – saran untuk perbaikan dan bagi pengembangan lebih lanjut.

LAMPIRAN

DAFTAR PUSTAKA

BAB II

DASAR TEORI

2.1. Hardware Description Language (HDL)

VHDL (*Very High Speed Integrated Circuit Hardware Description Language*) dipakai untuk menggambarkan perangkat keras untuk tujuan simulasi, pemodelan, test perancangan dan dokumentasi dari suatu system digital. Bahasa ini merupakan format yang kompleks dan mencukupi untuk perwakilan dari fungsi dan detail hubungan dalam suatu sistem digital. Beberapa HDL terdiri dari sumber yang sederhana dan notasi yang dapat menggantikan diagram skematik dari suatu circuit digital. HDL ini bisa berupa program simulasi yang bisa digunakan untuk menguji desain atau membentuk perangkat keras secara otomatis. HDL memiliki aturan-aturan tersendiri seperti sistematika program sampai dengan *syntax* (aturan penulisan kalimat) yang digunakan. Teknologi ini terbagi berdasarkan jumlah gate yang ada, yaitu :

< 500 <i>gate</i>	PLD (<i>Programmable Logic Device</i>)
> 500 dan < 5.000 <i>gate</i>	CPLD (<i>Complex Programmable Logic Device</i>)
> 5.000 dan 10.000 <i>gate</i>	FPGA (<i>Field Programmable Gate Array</i>)
>10.000 dan 20.000 <i>gate</i>	ASIC (<i>Application Specific Integrated Circuit</i>)

2.1.1. Latar Belakang VHDL

Dalam pencarian untuk program alat bantu dokumen dan desain standar VHSIC, departemen pertahanan Amerika Serikat pada musim panas tahun 1981

mensponsori *workshop* untuk HDL di Wood Hole. Pada tahun 1983 departemen menetapkan bahasa standart VHDL (*VHSIC Hardware Description Language*), berdasarkan rekomendasi dari *workshop* di Wood Hole tersebut. Di tahun 1986, VHDL diajukan sebagai standart IEEE.

Setelah melalui berbagai revisi, VHDL disetujui sebagai standart IEEE 1076 pada bulan Desember 1987. Tahun 1988, Milsted 454 meminta agar semua ASIC (Application Specific Circuit Integrated) dideskripsikan dalam VHDL, sehingga pada tahun 1993, IEEE 1076 diperbaharui menjadi IEEE 1164. IEEE 1076,3 menjadi standart sintesa VHDL.

2.1.2. Kelebihan VHDL

Setiap teknisi di dalam industri elektronika sudah seharusnya mempelajari HDL untuk bisa berkompetisi dengan yang lain. Dengan VHDL, dapat dibuat ribuan gerbang yang mana membutuhkan waktu berbulan-bulan bila mendesain menggunakan skema atau persamaan Boole. Kelebihan-kelebihan yang dimiliki VHDL antara lain :

a. Efisien dan fleksibel (*Power and Flexibility*)

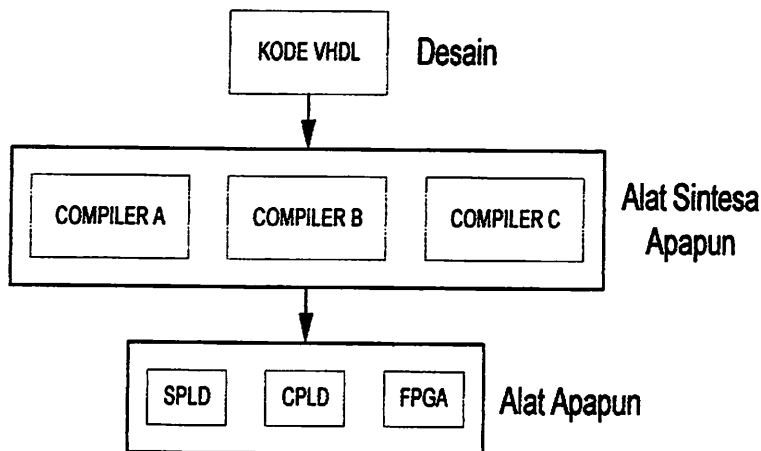
VHDL merupakan bahasa yang dapat menulis kode deskripsi dengan efisiensi untuk kontrol logika yang kompleks. VHDL dapat menggunakan berbagai pustaka desain (*Design Libraries*) yang dapat digunakan baik untuk desain maupun simulasi.

b. Desain alat yang mandiri (*Device Independent Design*)

VHDL memungkinkan untuk mendesain alat tanpa harus memilih terlebih dahulu pada alat apa desain tersebut diimplementasikan. Dengan demikian, waktu yang ada bisa dikonsentrasikan pada desainnya. VHDL juga mengijinkan untuk menggunakan berbagai macam diskripsi desain.

c. Portabilitas (*Portability*)

Karena VHDL merupakan standart, tiap diskripsi desain dapat dipakai pada berbagai macam simulator, berbagai alat sintesa, dan berbagai platform.



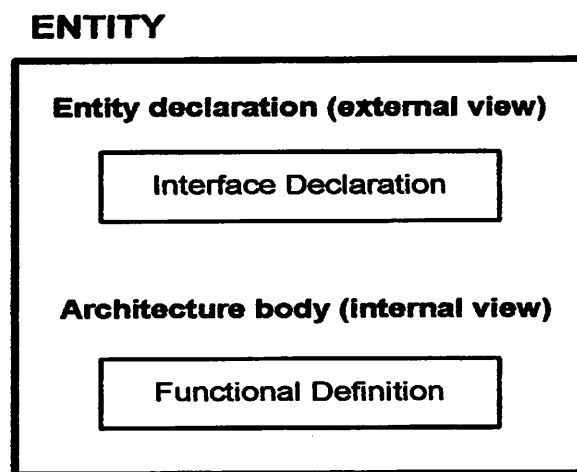
GAMBAR 2-1
DISKRIPSI DESAIN DENGAN VHDL
PADA SEGALA SIMULATOR DAN ALAT APAPUN

dibuat dengan menggunakan berbagai macam program kata (*word processor*) seperti notepad, edit, ws, dan ms word.

Azas bangunan dari desain entity VHDL terdiri dari 2 unsur, yaitu :

1. *Entity declaration*
2. *Architecture body*

Desain entity merupakan abstraksi dari suatu desain yang menggambarkan suatu sistem secara lengkap.



GAMBAR 2-2
HUBUNGAN ANTAR DESAIN ENTITY
DAN ARCHITECTURE BODY

2.2.1. Deklarasi Entity

Deklarasi entity menggambarkan I/O dari desain entity. Deklarasi entity analog (sama) dengan skematik simbol yang menjelaskan hubungan komponen dalam suatu desain. Signal I/O di deklarasi entity didefinisikan sebagai port yang analog dengan pin dari skematik simbol.

d. Kemampuan Benchmark (*Benchmarking Capabilities*)

Dengan VHDL memungkinkan untuk mendesain menggunakan architecture (*Software*) dari alat pensintesa yang berbeda-beda tidak perlu memilih terlebih dahulu apakah akan menggunakan PLD, CPLD, atau FPGA. Desain dan sintesa dilakukan terlebih dahulu, baru dipilih IC apa yang cocok dengan permintaan desain tersebut. Sehingga IC-IC yang ada bisa saling dibandingkan untuk memperoleh IC yang paling tepat untuk desain yang dibuat.

e. Quick Time-to-Market and Low Cost

Dengan VHDL, kecepatan proses dapat ditingkatkan dan biaya untuk sebuah desain dapat ditekan. Sebuah IC PLD dapat menggantikan banyak IC logika biasa, bahkan IC ASIC dapat menggantikan sampai dengan 100.000 buah gerbang. IC ini dikatakan *programmable* karena fungsi-fungsi khusus untuk pemakaian tertentu ditentukan oleh pemilihan pemutusan oleh beberapa gerbang pada saat dibiarkan tetap terhubung. Proses pemutusan sirkuit dapat dilakukan oleh sipembuat sesuai dengan instruksi. Hal ini disebut dengan *programming*.

2.2. Konsep Dasar VHDL

Dalam pembuatan desain VHDL, bergantung pada alat bantu (*tools*) yang digunakan, antar perusahaan satu dengan yang lain berbeda-beda, ada alat bantu yang dapat menghasilkan kode VHDL dari skema rangkaian ada juga yang tidak. Tetapi pada dasarnya, kode VHDL merupakan kode berbasis teks, yang bisa

Pendeklarasian suatu komponen atau sistem digital didasarkan pada :

- Jumlah port yang ada atau yang digunakan.
- Arah port yang digunakan sama dengan input, output, atau dua arah (*bidirectional*).
- Tipe dari port tersebut merupakan *bus* (seperti data bus, address bus, dan lain sebagainya) ataukah *single bit data* (seperti pada input enable).

Struktur penulisan *entity declaration* harus mengandung unsur *name* dan *port declaration*. Untuk penulisan nama atau identitas, memiliki aturan sebagai berikut :

- ⊖ Karakter pertama harus sebuah huruf dan tidak boleh numeric.
- ⊖ Karakter terakhir tidak boleh ada sebuah tanda spasi (“ ”).
- ⊖ Dua tanda spasi secara berurutan juga tidak diperbolehkan.

Port declaration menjelaskan nama-nama pin I/O rangkaian digital suatu desain. Di dalam *port declaration* terdapat *direction (mode)*, yang menjelaskan kondisi I/O. Selain itu terdapat pula data type yang menjelaskan tipe data yang digunakan (sesuai standar IEEE 1076/1164). Ada 4 macam *direction (mode)*, yaitu :

1. *IN* merupakan *Unidirection* data input (Aliran data berasal dari luar *entity* masuk ke dalam *entity*).
2. *OUT* merupakan *Unidirection* data output (Aliran data berasal dari dalam *entity* keluar *entity*).
3. *BUFFER* merupakan data output dengan *internal feedback* (digunakan sebagai *port* dan *driver* dalam bagian *architecture*). Mode ini serupa

dengan mode *OUT* tetapi bedanya mode *BUFFER* dapat berfungsi sebagai *internal feedback*. Mode *BUFFER* tidak dapat berfungsi sebagai *bidirectional* port karena mode ini tidak bisa didriver dari luar *entity*.

4. *INOUT* merupakan *Bidirection signal*. *Signal driver* dapat berasal dari dalam atau luar *entity*. Mode *INOUT* ini digunakan untuk signal yang benar-benar *Bidirectional*, kalau tidak akan mengurangi kemampuan membaca kode sehingga sulit menentukan sumber signal.

Untuk data type ada 2 macam yang digunakan berdasarkan standar IEEE, yaitu :

1. Berdasarkan standar IEEE 1076/93, yaitu : *Boolean*, *Bit*, *Bit_vector* dan *Integer*.
2. Berdasarkan standar IEEE 1164, yaitu *Std Ulogic*, *std Logic* dan *std Logic Vector*.

Struktur penulisan *Entity Declaration* adalah sebagai berikut :

```
Entity entity_name is  
Port(  
  [signal]{identifier[,identifier]:[mode]signal_type  
  [signal]{identifier[,identifier]:[mode]signal_type});  
End [Entity][Entity_name];
```

Contoh :

```
Entity adder is port (  
    a,b    : in std_logic_vector(3 downto 0);  
    cin    : in std_logic;  
    sum    : out std_logic_vector(3 downto 0);
```



```
        cout : out std_logic);  
  
    end adder;
```

2.2.2. Deklarasi Architecture

Setiap bagian deklarasi architecture selalu dihubungkan dengan deklarasi entity. Isi dari bagian deklarasi architecture menggambarkan fungsi dari entity dan menjelaskan hubungan antara desain entity input dan output. Pada deklarasi entity hanya memberikan informasi bagian apa saja yang digunakan sebagai input dan output, sedangkan pada deklarasi architecture memberikan gambaran secara detail tentang fungsi dari input dan output tersebut.

Ada 3 jenis pendeskripsian dari suatu *architecture body*, yaitu :

1. *Struktural description*

Perencanaan pada deskripsi struktural didasarkan pada pemakaian komponen (*logical gate*) dan hubungan antar komponen-komponen tersebut (*a set of interconnected component*). Deskripsi ini menggambarkan tipe gerbang secara mendasar dan juga menggambarkan input, output, dan node-node gerbang internal. Namun cara model ini tidak dapat digunakan pada sistem yang kompleks.

2. *Dataflow description*

Deskripsi dataflow (aliran data) memberikan spesifikasi proses data transfer (pengiriman data dari sinyal ke sinyal atau dari input ke output tanpa *statement sequential*). Jadi model ini hanya menjelaskan aliran informasi dari suatu register (input) ke register lain (output). Sedangkan perbedaannya dengan deskripsi behavioral adalah bila deskripsi behavioral menggunakan

proses-proses, sedangkan deskripsi dataflow tidak menggunakan sistem digital secara lebih spesifik. Deskripsi dataflow biasanya menggunakan statement *when-else* untuk menggambarkan sistem yang akan dirancang.

3. *Behavioral description*

Perencanaan pada deskripsi behavioral didasarkan pada proses pengerjaan statement antar input dan output secara sequential atau berurutan (*step by step*) dengan menggunakan sequential statement. Keuntungan dari deskripsi behavioral yang merupakan *high level description* adalah tidak perlu memfokuskan pada implementasi gerbang dari desain tetapi difokuskan pada keakuratan model fungsi. Jadi deskripsi behavioral hanya menjelaskan tingkah laku fungsional dari sistem yang dirancang serta respon rangkaian terhadap berbagai sinyal masukan. Tingkah laku sistem diterapkan secara algoritmik tanpa memperlihatkan bagaimana strukturnya diimplementasikan. Deskripsi ini biasanya menggunakan statement *if-then* atau *if-then-else*.

Yang termasuk *sequential statement*, yaitu :

- a. *Process statement*
- b. *If-then-else statement*
- c. *Case-when statement*
- d. *For-loop statement*
- e. *While-loop statement*

Struktur penulisan *Architecture Body* adalah sebagai berikut :

```
Architecture architecturename of entityname is  
    Declarations ...
```

Begin

Concurrentstatement ...

End [architecture] [architecturename];

2.2.2.1. Declaration Component

Library adalah suatu tempat *directory* yang dipanggil pada saat mengkompile format desain unit. Dalam VHDL biasanya digunakan 2 *library*, yaitu :

- *IEEE library*
- *Work library*

IEEE Library tempat menyimpan desain unit IEEE standar seperti *package std_1164* dan *numeric_std*. Dalam perintahnya digunakan *library clause* : *library IEEE* dan *Work library* tempat menyimpan desain unit yang dirancang. Setelah merancang desain unit dan desain tersebut ingin digunakan kembali maka desain dapat ditempatkan dalam *library work*, untuk keperluan desain yang lebih besar lagi.

Packages adalah desain unit yang dapat digunakan untuk membuat *type*, *component*, *function* dan deklarasi lain untuk desain unit lain. Sebuah *package* terdiri dari sebuah *package declaration* dan *option package body*. Penulisannya adalah : `Use library_name.Package_name.item;`

Package declaration digunakan untuk mendeklarasikan item-item seperti : *Signal*, *type* dan *component*.

Signal menyatakan *wire-wire* yang menghubungkan antar komponen, *type* mendefinisikan *state* pada *state machine* dan *component* digunakan untuk

memanggil *library component*. *Entity declaration*, *Architecture body* dan *package declaration* semuanya desain unit yang digabung dalam satu *file*. Karena *Entity declaration* dan *package declaration* merupakan desain unit utama maka dipisah dalam *library* dan *use*.

2.2.2.2. Concurrent Statement

Concurrent statement merupakan pernyataan yang selalu digunakan dalam architecture dataflow, yang tidak mementingkan urutan pengerjaan. Semua penugasan dalam architecture ini dieksekusi secara bersamaan. Dibawah ini merupakan beberapa perintah jenis concurrent.

1. Boolean Equation

Deskripsi :

```
relation { and relation }  
| relation { or relation }  
| relation { xor relation }  
| relation { nand relation }  
| relation { nor relation }
```

Contoh :

```
Architecture boole is  
begin  
    v <= (a and b and c) or d;  
    w <= a or b or c;  
    x <= a xor b xor c;  
    y <= a nand b nand c;
```

```

z <= a nor b;
end boole;

```

2. When-else conditional signal statement

Deskripsi :

```
{ expression when condition else } expression;
```

Contoh :

```

Architecture whenelse is
Begin
x <= '1' when b = c else '0';
y <= j when state = idle else
    k when state = first_state else
    l when state = second state else
    m when others;
end when else;

```

2.2.2.3. Sequential Statement

Berbeda dengan perintah jenis concurrent, perintah jenis ini dikerjakan secara berurutan. Perintah ini selalu digunakan dalam architecture behavioral yang mempunyai pengerjaan yang sama dengan pengerjaan bahasa pemrograman tingkat tinggi. Suatu ciri khas yang dimiliki deskripsi behavioral adalah **process statement**, yang diikuti oleh **sensitivity list**. *Sensitivity list* mendefinisikan signal mana yang akan menyebabkan proses dieksekusi. Dibawah ini merupakan beberapa perintah *sequential*. Kemiripan deskripsi behavioral dengan bahasa

pemrograman tingkat tinggi menyebabkan deskripsi behavioral relatif jauh lebih mudah untuk dipahami.

1. Process Statement

Deskripsi :

```
[process_label:] process (sensitivity_list)
    Declaration ...
begin
    Sequentialstatements ...
end process [process_label];
```

Contoh:

```
New_process: process (rst,clk)
Constantlatch:std_logic_vector(5 downto 0):="000000";
begin
    wait until clk='1';
    if (rst='1') then
        q <= latch;
    elsif (en='1') then
        q <= data;
    else
        q <= q;
    end if;
end new_process;
```

2. if-then-else Statement

Deskripsi:

```
If condition then sequence_of_statements
```

```
    {elsif condition then sequence_of_statement}
    [else sequence_of_statement]
end if;
```

Contoh:

```
If (count:="00") then
    a <= b;
elsif (count:="10") then
    a <= c;
else
    a <= d;
end if;
```

3. case-when Statement

Deskripsi :

```
case expression is
    (when identifier|expression|discrete_range|others=>
        sequence_of_statement)
end case;
```

Contoh :

```
Case count is
    when "00" =>
        a <= b;
    when "10" =>
        a <= c;
    when others =>
        a <= d;
```

end case;

4. for-loop Statement

Deskripsi:

```
[looplabel:] for parametername in range loop  
    sequentialstatement ...  
end loop [looplabel];
```

Contoh:

```
Type opcode is (idle,start,stop,clear);
```

```
...
```

```
for I in 0 to 7 loop  
    V:= V xor A(I);  
    For J in Opcode loop  
        S <= J;  
        Wait for 10 ns;  
    End loop;  
End loop;
```

5. while-loop Statement

Deskripsi:

```
[looplabel:] while condition loop  
    sequentialstatements ...  
end loop [looplabel];
```

Contoh:

```
While going loop  
    Count:= count+1;  
    Wait until clock = '1';
```


End loop;

2.2.3. Operator Dalam VHDL

Dalam VHDL terdapat operator-operator yang masing-masing memiliki fungsi tersendiri dan dapat dilihat pada tabel dibawah.

TABEL 2-1. Operator Dalam VHDL

Fungsi	Operator
Logika	not, and, or, nand, nor, xor
Relasi	=, /=, <, <=, >, >=
Aritmatika	+, -, *, /, **, mod, rem, abs
Tanda	+, -
Penggabung	&

Untuk operator dalam kelompok logika hanya dapat digunakan oleh tipe BOOLEAN, BIT, dan ARRAY. Operator dalam kelompok relasi dapat digunakan oleh semua macam tipe dan hasilnya dalam bentuk BOOLEAN (true atau false). Operator dalam kelompok aritmatika hanya dapat digunakan oleh tipe INTEGER dan REAL. Pada tabel di atas terdapat operator ‘**’ yang berarti pangkat, sedangkan ‘mod’ singkatan dari modulo (hasil bagi bulat), ‘rem’ singkatan dari remainder (sisa hasil pembagian), dan ‘abs’ singkatan dari absolute value (harga mutlak).

Operator dalam kelompok tanda hanya dapat digunakan oleh tipe INTEGER dan REAL, juga untuk tanda positif dan negatif. Sedangkan untuk


penggabung '&' digunakan untuk menggabungkan dua buah ARRAY menjadi satu, contohnya: ('1','0','0')&('1','1','1') menjadi ('1','0','0','1','1','1').

2.2.4. Ekspresi Sinyal Clock

Sebuah clock dalam VHDL didefinisikan sebagai sebuah sinyal input periodik yang mempunyai perubahan level serta mempunyai tepi naik dan turun. Ekspresi yang menyatakan level sinyal clock dituliskan sebagai :

`clock = '0';` atau `clock = '1';`,

Yang berarti kondisi sinyal clock berada pada level '0' atau '1'. Sedangkan untuk ekspresi yang menyatakan perubahan pada tepi clock ditulis sebagai berikut :

`clock'even and clock = '0';` →  atau

`clock'even and clock = '1';` → 

Namun bila jenis signal clock yang tidak mendapat perhatian dapat digunakan ekspresi :

`clock'event;`

2.3. Generic Array Logic (GAL)

GAL merupakan array gerbang logika (*array of logic gate*) yang dapat diprogram oleh pemakai. GAL termasuk kelompok PLD (*Programmable Logic Device*) yang gerbang AND-Nya dapat diprogram tapi gerbang OR-nya tidak dapat diprogram (*Programmable AND - fixed OR*). GAL juga termasuk dalam EEPLD (*Electrically Erasable PLD*) yaitu PLD yang dapat dihapus secara listrik. Pada GAL penghapusan ini terjadi dalam skala waktu milisekon atau lebih

tepatnya sekitar 50 milisekon. Ada beberapa keuntungan jika kita menggunakan komponen GAL ini, seperti :

- GAL difabrikasi dengan teknologi Very High Speed EECMOS (*Electrical Erasable CMOS*) yang mempunyai kemampuan test dan keandalan tinggi.
- Konsumsi daya yang rendah.
- Mempunyai *Output Logic Macro Cells* (OLMCs) sehingga perancang dapat membuat konfigurasi output yang diinginkan.
- Dapat mengganti fungsi PAL dalam semua jenis aplikasi (emulasi PAL).

GAL dalam sistem penghapusannya jauh lebih cepat bila dibandingkan dengan EPLD yang menggunakan sinar ultraviolet. EPLD dengan teknologi UVCMOS (Ultraviolet CMOS) akan membutuhkan waktu hapus sekitar 15 menit sedangkan untuk GAL hanya membutuhkan waktu hapus sekitar 50 milisekon.

Terdapat beberapa jenis GAL sesuai dengan kapasitas dari susunan OLMC-nya yaitu : GAL16V8, GAL20V8, GAL22V10, GAL6001 dan masih ada beberapa komponen GAL yang lain. Perbedaan mendasar dari komponen-komponen GAL ini adalah terletak pada jumlah pin yang tersedia (baik yang digunakan sebagai input atau yang digunakan sebagai I/O), banyaknya susunan gerbang AND serta jumlah dari OLMC yang disediakan.

Di pasaran terdapat beberapa jenis IC 22V10 yang diproduksi oleh beberapa pabrik seperti AMD (*Advance Micro Devices*), NS (*National*

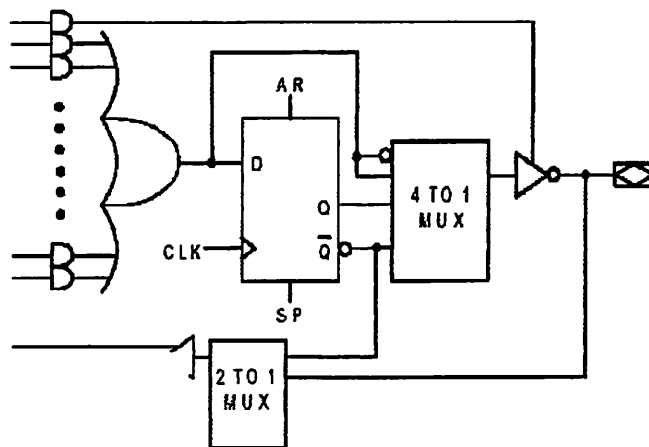
Semiconductor), Samsung dan lainnya. Dalam penyusunan tugas akhir penulis menggunakan IC GAL keluaran LATTICE dengan tipe GAL22V10.

2.3.1. IC GAL 22V10

Komponen ini memiliki spesifikasi antara lain :

1. Jumlah input yang memungkinkan sebanyak 22 buah dan output sebanyak 10 buah.
2. Memiliki masukan *Asynrhous Reset* (AR) dan *synchronus Preset* (SP) pada setiap D flip-flop yang dapat diprogram.
3. Jumlah macrocell sebanyak 10 buah.

IC GAL 22V10 memiliki sruktur AND dan OR sama dengan IC PALCE22V10. Polaritas output macrocell IC PALCE22V10 dikontrol oleh dua bit selector S0 dan S1. Jika PALCE22V10 digunakan sebagai register output maka pin 1 berfungsi sebagai clock dengan keluaran 3 state buffer yang sudah terkondisi enable.



Gambar 2-3. Konfigurasi Macrocell GAL22V10

Apabila masukan AR dan SP tidak digunakan maka keduanya harus dikondisikan low atau dihubungkan ke ground. Untuk bisa mengaktifkan SP harus menunggu picuan transisi low ke high sinyal CLK, tetapi pada pengaktifan AR dapat segera tanpa harus menunggu sinyal CLK.

Komponen GAL22V10 ini sama dengan komponen PALCE22V10 yang banyak dijual dipasaran baik itu jumlah macrocellnya maupun jumlah pin-pin I/O yang disediakan. Inovasi lain dari 22V10 selain macrocell adalah disediakannya distribusi produk term yang bervariasi. GAL 22V10 memberikan fasilitas 22 Input dan 10 Output dan didalam GAL22V10 juga terdapat 10 macrocell dimana masing-masing macrocell mempunyai atau dilengkapi dengan multiplexer. Pada umumnya waktu delay propagasi (*propagation delay time*) atau sejumlah waktu yang diperlukan agar output kombinasi menjadi valid setelah input diberikan ke pin-pin IC dari GAL22V10 adalah tidak lebih dari 4 nano detik untuk versi standar.

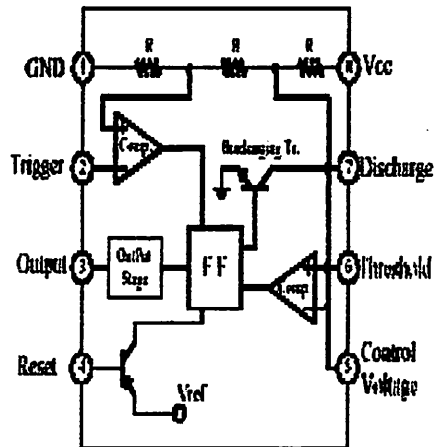
Pada setiap macrocell 22V10 terdapat 2 bit selector S0 dan S1 yang digunakan untuk menentukan polaritas dan jenis masing-masing output-outputnya.

2.4. Rangkaian Clock

Sebagai pewaktu, IC 555 mempunyai dua cara kerja, yaitu sebagai multivibrator *astabil* (bergerak bebas) dan sebagai multivibrator *monostabil*.

Jika pewaktu tersebut bekerja sebagai sebuah *multivibrator astabil*, maka keluarannya beralih dari tingkat yang tinggi ke tingkat yang rendah dan kembali

lagi. Lamanya kondisi 'high' dan kondisi 'low' ditentukan oleh sebuah jaringan kapasitor dan tahanan yang dihubungkan dari luar pewaktu tersebut.



Gambar 2-4. Blok Diagram Internal NE555

Tegangan yang diberikan untuk IC ini berkisar antara 4,5 Volt sampai dengan 16 Volt. Komponen dasar 555 terdiri atas output driver, *discharge* transistor, control Flip-Flop (FF) dan 2 buah komparator. FF mengendalikan transistor pembuang muatan (*discharge* transistor) dan output level/state dikontrol oleh reset (pin 4) atau satu dari kedua komparator. Sebuah komparator dikontrol oleh tegangan pentrigger dan yang lain oleh tegangan *thereshold*. Agar IC 555 beroperasi sebagai astabil diperlukan 2 buah resistor dan timing kapasitor.

Misalnya kapasitor terisi muatan oleh Vcc melalui RA dan RB. Output pin 3 tinggi, *discharge* transistor (pin 7) OFF. Ketika tegangan kapasitor mencapai $\frac{2}{3} \cdot VCC$ (akibat pengisian muatan), *thereshold* comparator (pin6) bekerja, output menjadi rendah, *discharge* transistor(pin 7) ON (tegangan sekitar 0 volt).

Muatan kapasitor dibuang melalui RB dan pin 7 ke ground. Tetapi komparator bekerja ketika tegangan pada pin 4(reset) menjadi dibawah $1/3 \cdot VCC$, output menjadi tinggi lagi, discharge transistor OFF dan kapasitor terisi lewat RA dan RB lagi. Begitu seterusnya sehingga menghasilkan osilasi.

Waktu yang diperlukan untuk mengubah dari $1/3$ menjadi $2/3 \cdot VCC$ adalah $0,671 R C$. Yaitu pengisian kapasitor melalui RA dan RB. Ini adalah waktu selama output tinggi atau $t_H = 0,671 (R_A + R_B) \cdot C$

Waktu pembuangan kapasitor output adalah rendah. Waktu ini adalah waktu pembuangan dari $2/3 \cdot VCC$ menjadi $1/3 \cdot VCC$ juga $0,67 R \cdot C$. Tetapi pembuangan hanya melalui RB saja. $t_L = 0,671 R_B \cdot C$

Untuk rangkaian multivibrator astabil, frekuensinya dapat dicari dengan rumus :

$$f = \frac{1}{T} = \frac{1,44}{(R_a + 2R_b)C_1}$$

2.5. Diode Infra Merah

Cahaya infra merah merupakan cahaya yang tidak tampak. Jika dilihat dengan dengan spektroskop cahaya maka radiasi cahaya infra merah akan nampak pada spektrum elektromagnet dengan panjang gelombang di atas panjang gelombang cahaya merah. Dengan panjang gelombang ini maka cahaya infra merah ini akan tidak tampak oleh mata namun radiasi panas yang ditimbulkannya masih terasa/dideteksi.

Pada dasarnya komponen yang menghasilkan panas juga menghasilkan radiasi infra merah termasuk tubuh manusia maupun tubuh binatang. Cahaya

infra merah, walaupun mempunyai panjang gelombang yang sangat panjang tetap tidak dapat menembus bahan-bahan yang tidak dapat melewatkan cahaya yang nampak sehingga cahaya infra merah tetap mempunyai karakteristik seperti halnya cahaya yang nampak oleh mata.

Komponen elektronik yang bisa menghasilkan cahaya infra merah adalah dioda infra merah.



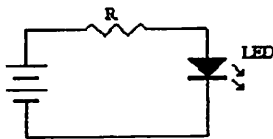
(a) Bentuk Fisik



(b) Simbol Elektronika

Gambar 2-5. Dioda Infra Merah

LED Infra-Red digunakan untuk menghasilkan emisi infra merah, dimana emisi tersebut tergantung dari bahan yang menyusunnya. Untuk LED infra-red berbahan Galium Arsenid (GaAs) mempunyai panjang gelombang antara 900-940 nm, sedangkan untuk LED infra-red berbahan Galium Aluminium Arsenid (GaAlAs) memiliki panjang gelombang 880 nm.



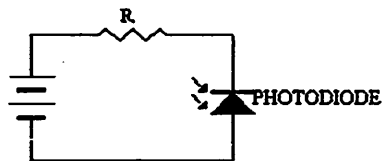
GAMBAR 2-6
CARA MEMBERI TEGANGAN PADA LED

Umumnya setelah LED menyala, tegangan pada LED bertahan stabil pada 1,5 Volt. Arus yang diperbolehkan lewat pada LED adalah antara 10-100 mA. Agar LED tidak rusak oleh arus yang dikeluarkan sumber, maka perlu diberikan pelawan R. R tersebut dapat dicari dengan rumus :

$$R = \frac{V_{cc} - V_{infra}}{I_{infra}}$$

2.6. Photodioda

Bentuk dari photodioda mirip dengan LED infra-red. Komponen ini peka terhadap cahaya. Bila photodioda diberi cahaya maka perlawanannya akan turun. Makin kuat cahayanya makin kecil harga perlawanannya. Namun bila tidak ada cahaya yang mengenainya dan dioda tersebut diberi tegangan muka terbalik maka perlawanannya akan sangat besar.



GAMBAR 2-7
CARA MEMBERI TEGANGAN PADA PHOTODIODA

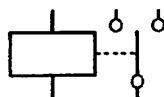
2.8. Relay

Relay adalah komponen elektronika yang umumnya digunakan untuk menghidupkan rangkaian kontrol dan peralatan listrik lainnya, yang menarik arus relatif kecil namun demikian relay dapat mengontrol tegangan dan arus yang lebih

besar dengan menggunakan efek penguatan (Amplifier Effect). Amplifier effect didapat dengan memanfaatkan tegangan kecil untuk mengoperasikan koil dan relay. Kemudian relai tersebut digunakan untuk mengubah-ubah posisi kontak. Kontak pada relay dapat digunakan untuk mensaklar tegangan yang lebih besar sampai 460 volt. Aliran arus yang digunakan untuk mengatur koil relay terpisah dari arus listrik dan dikontrol oleh kontak-kontak pada relay tersebut.

Pada dasarnya relay dapat dikatakan sebagai kuda beban yang mengontrol suatu rangkaian elektronika dengan cara membuka dan menutup kontak pada rangkaian lain (rangkaiannya internal). Apabila kontak relay adalah normally open maka arus terbuka bila relay tidak dialiri arus. Sebaliknya pada titik kontak relay dialiri arus. Pada kedua kondisi tersebut kontak-kontak dari relay akan berubah keadaannya apabila relay dialiri arus listrik.

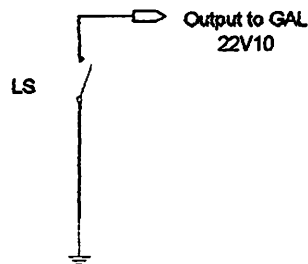
Terdapat berbagai jenis konfigurasi yang berbeda dari relay tergantung pada jumlah dari break, pole dan throw. Sebagai contoh sebuah relay dapat digambarkan sebagai single-pole double-throw (SPDT) atau double-pole double-throw (DPDT).



Gambar 2-9. Simbol Relay

2.10. Limit Switch

Limit switch disini dipasang dua buah guna memberikan kondisi low apabila ditekan dan high apabila tidak ditekan. Fungsi limit switch pada sistem berfungsi sebagai sebuah sensor untuk digunakan sebagai acuan bagi sensor infra merah.



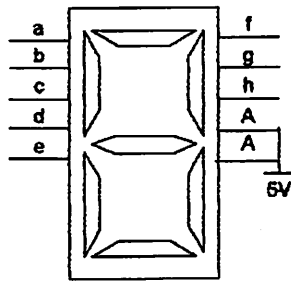
Gambar 2-9. Rangkaian Limit Switch

Pada kondisi tertutup maka tegangan yang dikeluarkan (yang akan masuk ke GAL 22v10), sebesar 0 Volt. Tetapi pada saat limit switch terbuka, maka tidak ada input. Kondisi seperti ini oleh IC GAL 22V10 dibaca sebagai logika high.

2.1.1. Display (7 – Segment)

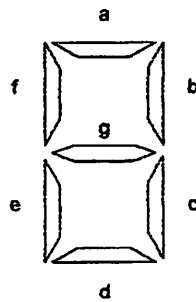
Untuk menampilkan jumlah dari kardus yang telah dicetak oleh mesin maka dalam perancangan ini dipakai 7-segment untuk mengetahui berapa hasil kardus yang telah tercetak. Ada dua jenis 7-segment, yaitu :

- a. 7-segment common catode
- b. 7-segment common anode



Gambar 2-10. 7-Segment Common Anoda

Penampil ini disusun / dibuat dari 7 buah LED yang dibentuk menjadi angka 8. LED – LED tersebut diberi nama dari a sampai dengan g seperti terlihat pada gambar dibawah. Untuk menampilkan angka '1' misalnya, led b dan c harus nyala sementara lainnya mati.



Gambar 2-11. LED Seven Segment

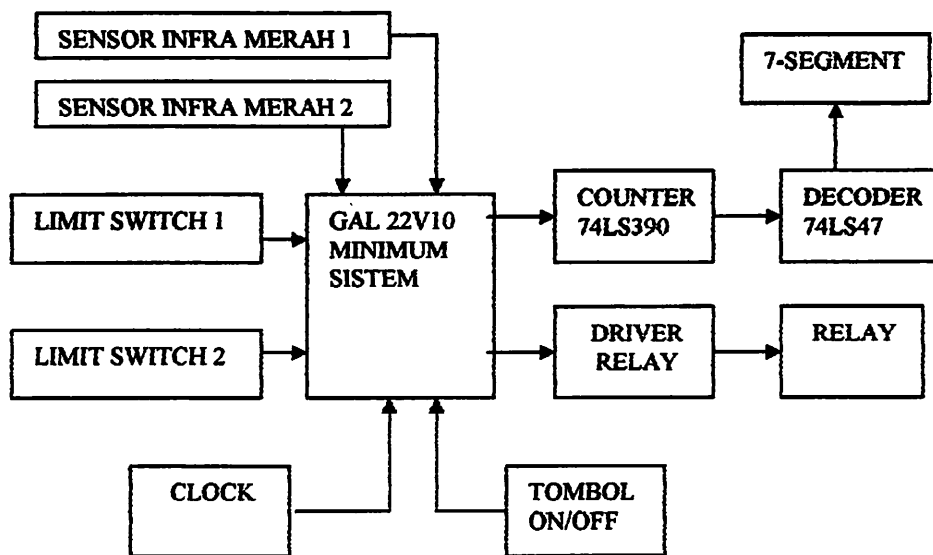
Dalam merancang display ini digunakan IC 74LS390. IC 74LS390 adalah IC pencacah, yang berisi dua pencacah dalam satu IC. Output 74LS390 adalah empat bit bilangan biner yang kemudian diumpankan ke IC BCD TO 7-Segment Decoder 74LS47. Semua segment yang sama dari setiap display dihubungkan dengan saluran bus bersama, kemudian dihubungkan dengan IC decoder driver BCD to 7-segment. IC yang dipakai adalah 74LS47 karena 7-segment yang dipakai adalah common Anoda. Sedangkan masing-masing commonnya dihubungkan ke Vcc.

BAB III

PERENCANAAN DAN PEMBUATAN ALAT

3.1. Blok Diagram

Untuk melihat secara jelas sistem yang akan dirancang, maka dapat diperhatikan pada blok diagram dibawah ini :

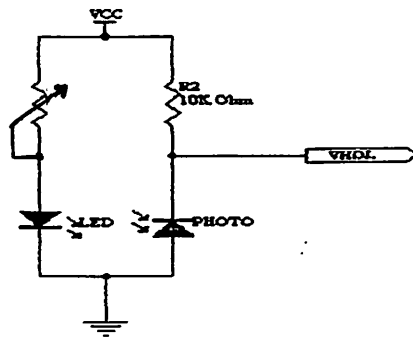


Gambar 3–1. Blok Diagram Sistem

3.2. Perencanaan Perangkat Keras

3.2.1. Sensor Infra Merah

Rangkaian sensor yang dipakai menggunakan LED infra merah sebagai detektor ada tidaknya tangan Sedangkan penerimanya menggunakan *photodiode*.



Gambar 3-2. Rangkaian Sensor Inframerah

Mengacu pada gambar rangkaian diatas, maka agar dioda infra merah dapat memancarkan sinar infra merah secara maksimal diperlukan nilai nilai resistor sebagai berikut. Diketahui arus (I_{IR}) max sebesar 100mA dan tegangan (V_{IR}) sebesar 1,5 Volt. Sehingga dapat dihitung besarnya R_1 sebagai berikut :

$$R_1 = \frac{V_{cc} - V_{IR}}{I_{IR}}$$

$$R_1 = \frac{5 - 1,5}{100 \times 10^{-3}}$$

$$R_1 = \frac{3,5}{100 \times 10^{-3}}$$

$$R_1 = 35 \Omega$$

Diperoleh R_1 minimal adalah 35 Ω . Agar Infra merah dapat bekerja maksimal. Pada perancangan dipasang Variabel Resistor sebesar 1000 Ω . Sedangkan untuk mencari nilai R_2 pada photodiode adalah sebagai berikut

$$R_{photo} = \frac{V_{cc}}{I_{photo}}$$

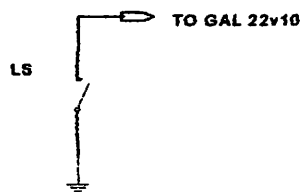
$$R_{photo} = \frac{5}{0,52 \cdot 10^{-3}}$$

$$R_{photo} = 9,43 \text{ k}\Omega$$

Karena nilai $R_2 = 9,43 \text{ k}\Omega$ tidak ada dipasaran maka dipakai tahanan sebesar $10 \text{ k}\Omega$.

3.2.2. Limit Switch

Limit switch disini dipasang guna memberikan kondisi *low* apabila ditekan dan *high* apabila tidak ditekan. Fungsi limit switch pada sistem berfungsi sebagai sebuah sensor yang digunakan sebagai acuan bagi sensor infra merah1.

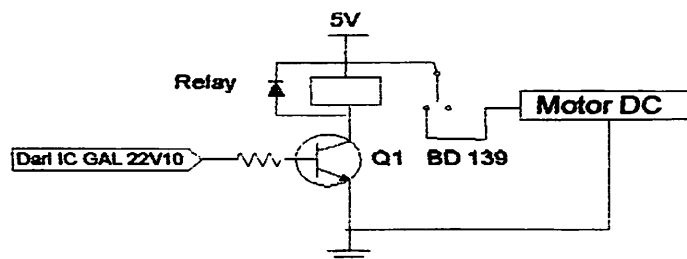


Gambar 3-3. Rangkaian Limit Switch

Pada kondisi tertutup maka tegangan yang dikeluarkan (yang akan masuk ke GAL 22v10), sebesar 0 Volt. Tetapi pada saat limit switch terbuka, maka tidak ada input bagi GAL 22V10 kondisi ini adalah mengambang dan oleh GAL 22V10 dianggap sebagai logika high.

3.2.3. Driver Motor DC

Rangkaian driver motor terdiri dari komponen transistor, dioda, resistor, dan relay



Gambar 3 - 4. Rangkaian Driver Relay

Dalam perancangan ini digunakan Transistor BD 139. Komponen tambahan yang diperlukan seperti dioda, dan relay. Jika transistor mendapat arus bias dari basis maka arus akan mengalir dari kolektor ke emitor sehingga relay akan aktif. Bila tidak ada arus pada basis maka tidak ada arus yang mengalir dari kolektor ke emitor sehingga relay tidak aktif. Dioda yang dipasang terbalik pada kaki kumparan relay dimaksudkan untuk mencegah tegangan induksi yang dihasilkan oleh kumparan relay sesaat setelah relay dimatikan. Relay yang digunakan adalah relay 6V, Dan untuk membatasi arus yang melewati pada transistor digunakan sebuah resistor Rb.

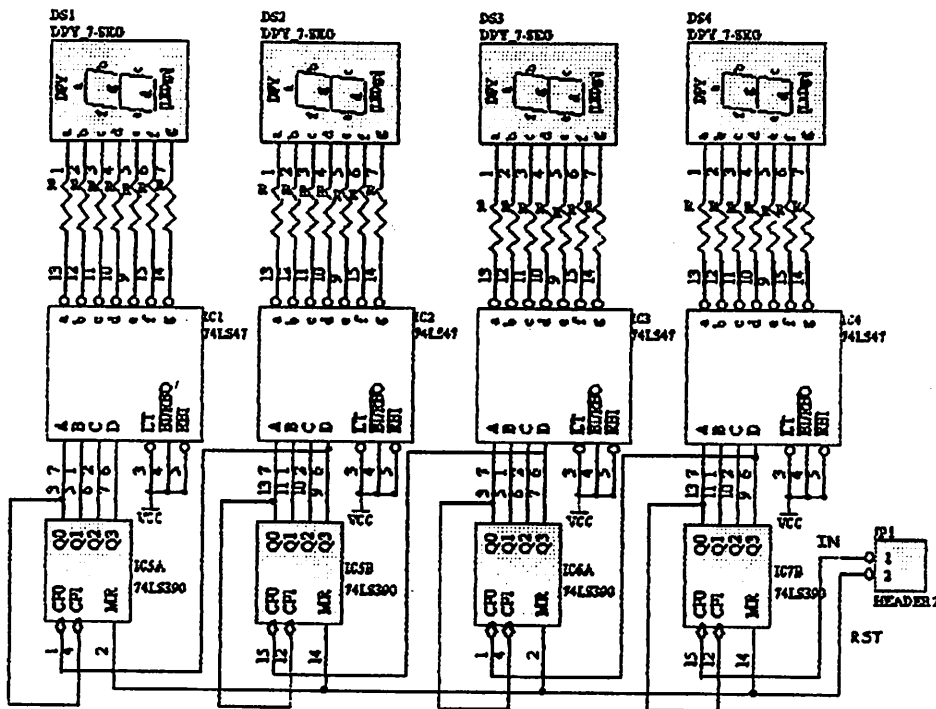
$$I_{Relay} = \frac{V_{cc}}{R_{relay}} = \frac{6V}{390} = 15mA$$

$$I_B = \frac{I_{Relay}}{h_{fe}} = \frac{0,015}{150} = 0,1mA$$

$$R_B = \frac{V_B - V_{BE}}{I_B} = \frac{5V - 0,6V}{0,01mA} = 44K\Omega$$

3.2.4 Tampilan Seven Segment

Display atau penampil adalah alat peraga yang dapat menampilkan informasi bilangan desimal atau diterjemahkan. Pada seven-segment digunakan tujuh buah ruas yang berasal dari LED yang disusun sedemikian rupa membentuk angka delapan berupa garis-garis lurus. Dengan demikian ruas-ruas tersebut akan menyala secara simultan dengan menunjukkan angka-angka tertentu dari angka 0 sampai angka 9.



Gambar 3-5. Display 7-segment

Ada dua jenis penyambungan kaki-kaki dioda yang membentuk seven-segment, yaitu common anoda dan common katoda. Dalam Tugas Akhir ini dipergunakan Seven-Segment jenis common anoda.

Sebelum menuju ke segment-segment biasanya diberi tahanan dengan nilai tertentu yang bertujuan agar segment - segment pada seven- segment tidak mudah rusak. Tahanan tersebut ditentukan dengan menggunakan rumus sebagai berikut :

$$R = \frac{V - V_{dioda}}{I}$$

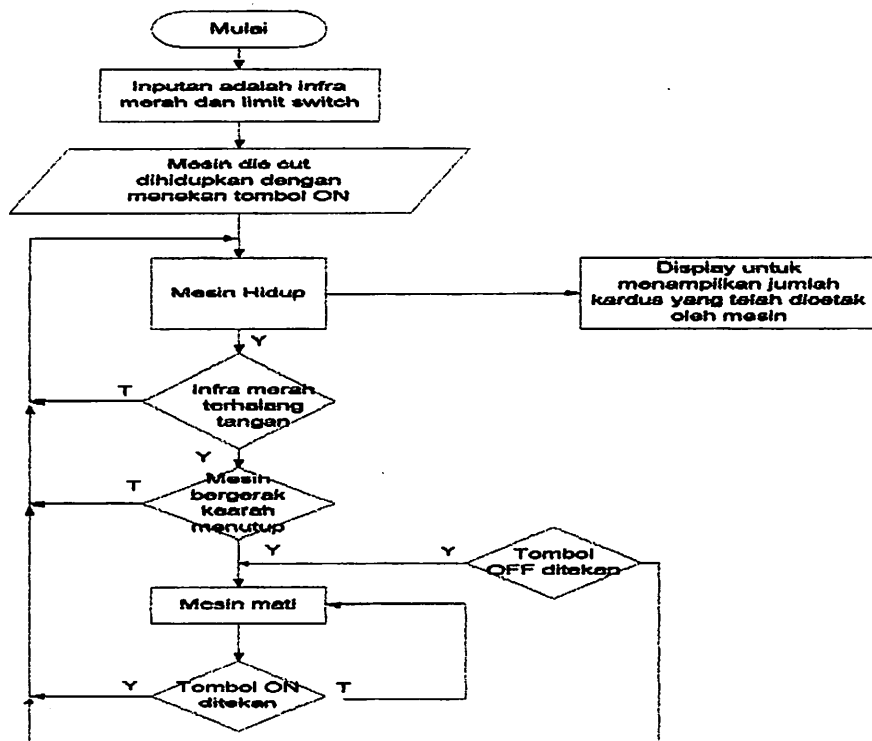
Arus yang mengalir melalui led direncanakan sebesar $15 \mu A$ sehingga LED menyala pada status aman, tegangan LED (V_{dioda}) adalah 1,5 V dan tegangan sumber VCC adalah 5 V.

$$R = \frac{5V - 1,5V}{15\mu A} = 233,33\Omega$$

Sehingga resistor pengamannya adalah 220 Ω .

3.3. Perencanaan Perangkat lunak

Perangkat lunak yang digunakan dalam perancangan alat ini adalah Release 5.2 Software ini keluaran dari Cypress Semiconductor yang telah memenuhi standar IEEE untuk bahasa pemrograman VHDL (Galaxy untuk editor HDL, Active-HDL Simulator untuk simulasinya, dan Active-HDL FSM untuk State Machine). Hasil dari kompilasi dari Active-HDL dan Galaxy inilah yang berekstensi JED yang dapat diisikan ke IC GAL 22v10. Sistem pembuatan *software*-nya mengikuti diagram alir berikut ini :

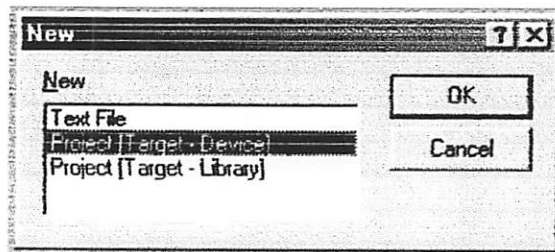


Gambar 3-6. Flowchart system kerja

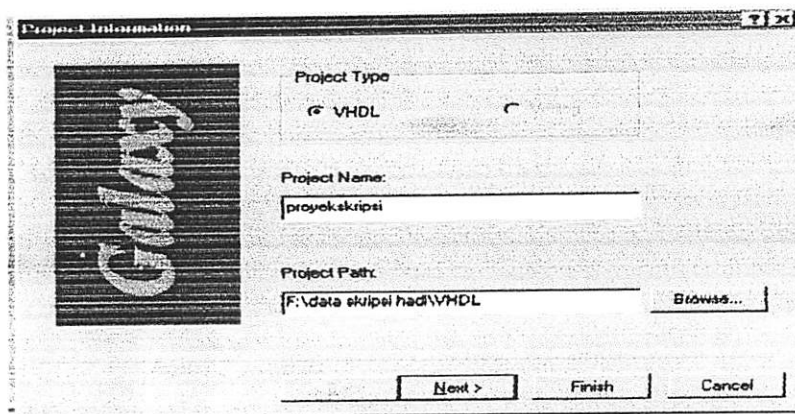
3.3.1. Pemrograman GAL 22V10

Berikut ini adalah langkah-langkah pemrograman IC GAL. Untuk mendesain program VHDL, penulis menggunakan paket program WARP Release 5.2 berbasis Microsoft Windows 98 SE.

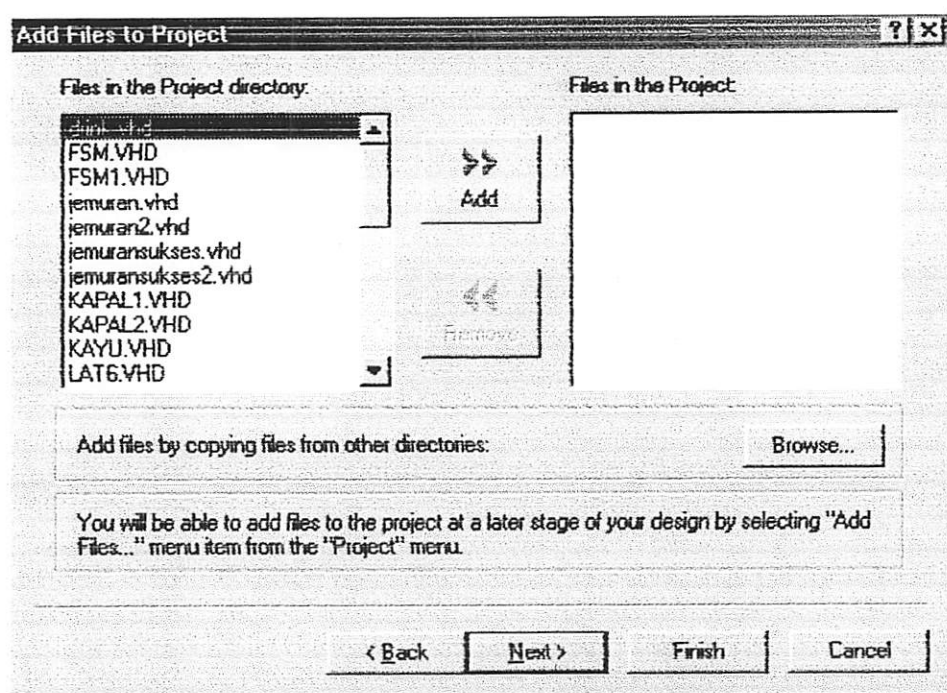
1. Terlebih dahulu software Warp 5.2 diinstall dalam hardisk, setelah itu mengaktifkan program Warp. Dari taskbar windows klik START lalu PROGRAMS kemudian double klik icon GALAXY.
2. Memilih pada menu FILE dan mengklik NEW
3. Memilih PROJECT [TARGET-DEVICE].



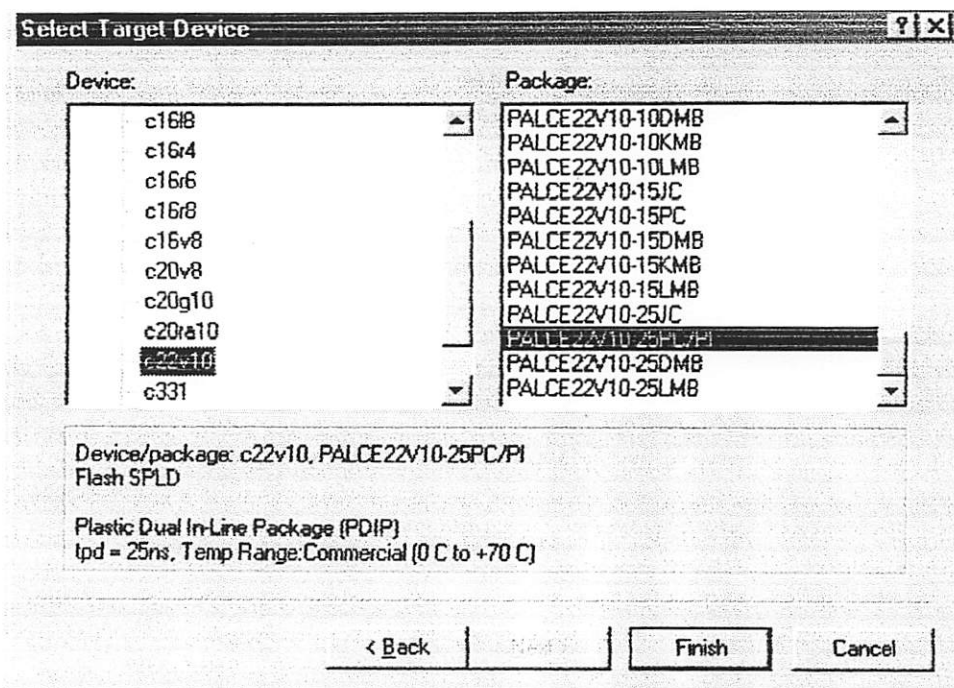
4. Mengetikkan ___nama di dalam Project Path. Misalkan F:\dataskripsihadi\VHDL.
5. Mengetikkan nama di dalam kotak PROJECT NAME. Misalkan Proyekskripsi.



6. Memastikan VHDL yang dipilih dan bukan verilog kemudian mengklik kiri pada button NEXT.
7. Mengklik kiri pada button next (window add files to project).

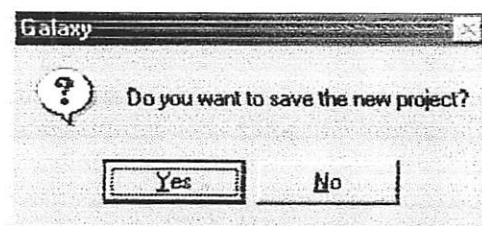


8. Di dalam window select target device mengklik kiri pada device yang kita pilih ditambah dengan mengakses pada sisi kiri bagian SPLD.
9. Memilih device C22V10 dan kemudian memilih pilihan package PALCE22V10 25PC/PI yang diinginkan atau gunakan pilihan default.



10. Mengklik pada tombol FINISH.

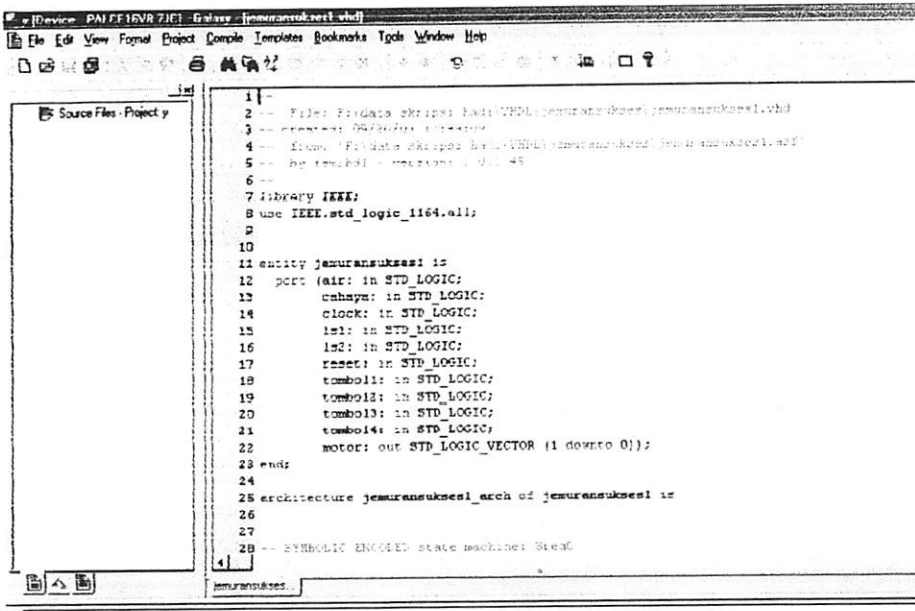
11. Mengklik pada tombol OK untuk menyimpan project baru



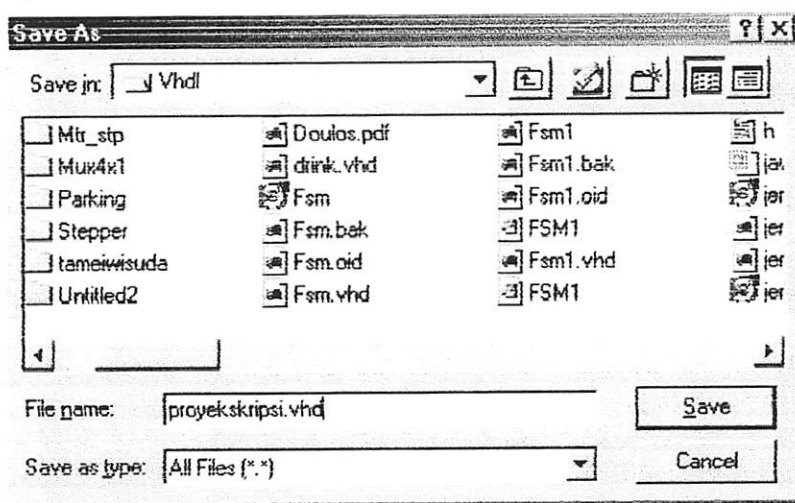
12. Membuka file teks baru dengan mengklik pada new text file



13. Kemudian mengetikkan bahasa pemrograman VHDL pada window teks editor.



14. Setelah selesai mengetikkan bahasa pemrograman VHDL, menyimpan file dengan mengklik pada icon **SAVE**. Mengetikkan nama file dengan ekstension vhd.



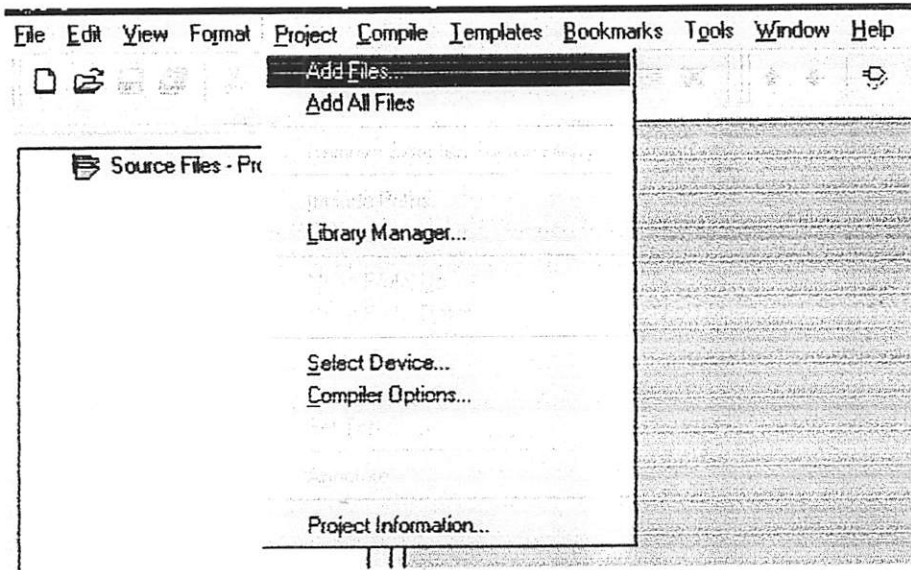
15. Setelah disave akan terlihat pada teks editor program yang kita ketikkan akan keluar VHDL Syntax Highlighting-nya

```

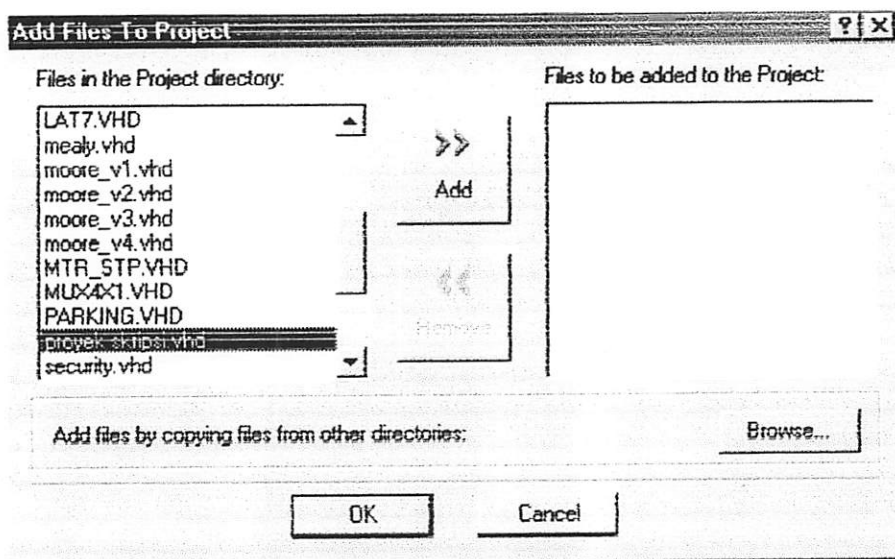
1 --
2 -- File: F:\data skripsi\hadi\VHDL\jemuransukses\jemuransukses1.vhd
3 -- created: 09/20/03 12:42:39
4 -- Input: 'F:\data skripsi\hadi\VHDL\jemuransukses\jemuransukses1.asi'
5 -- by Syn2hd1 - version: 2.0.1.11
6 --
7 library IEEE;
8 use IEEE.std_logic_1164.all;
9
10
11 entity jemuransukses1 is
12   port (air: in STD_LOGIC;
13         cahaya: in STD_LOGIC;
14         clock: in STD_LOGIC;
15         ls1: in STD_LOGIC;
16         ls2: in STD_LOGIC;
17         reset: in STD_LOGIC;
18         tombol1: in STD_LOGIC;
19         tombol2: in STD_LOGIC;
20         tombol3: in STD_LOGIC;
21         tombol4: in STD_LOGIC;
22         motor: out STD_LOGIC_VECTOR (1 downto 0));
23 end;
24
25 architecture jemuransukses1_arch of jemuransukses1 is
26
27
28   SYNTHETIC ENCODED state machine: kreg1

```

16. Kemudian program yang telah kita buat disimulasikan terlebih dahulu menjalankan program Active HDL dari START MENU PROGRAM WARP R.51 Active HDL Sim.
17. Setelah selesai simulasi menyimpan dengan mengklik icon save
18. mengetikkan nama file yang anda inginkan kemudian dilanjutkan dengan proses compiling file proyekskripsi.vhd untuk kemudian dimasukkan ke IC SPLD.
19. Menutup window VHDL Editor dengan mengklik icon close kecil pada kanan atas windows Galaxy.
20. Mengklik pada menu Project dan memilih Add Files.

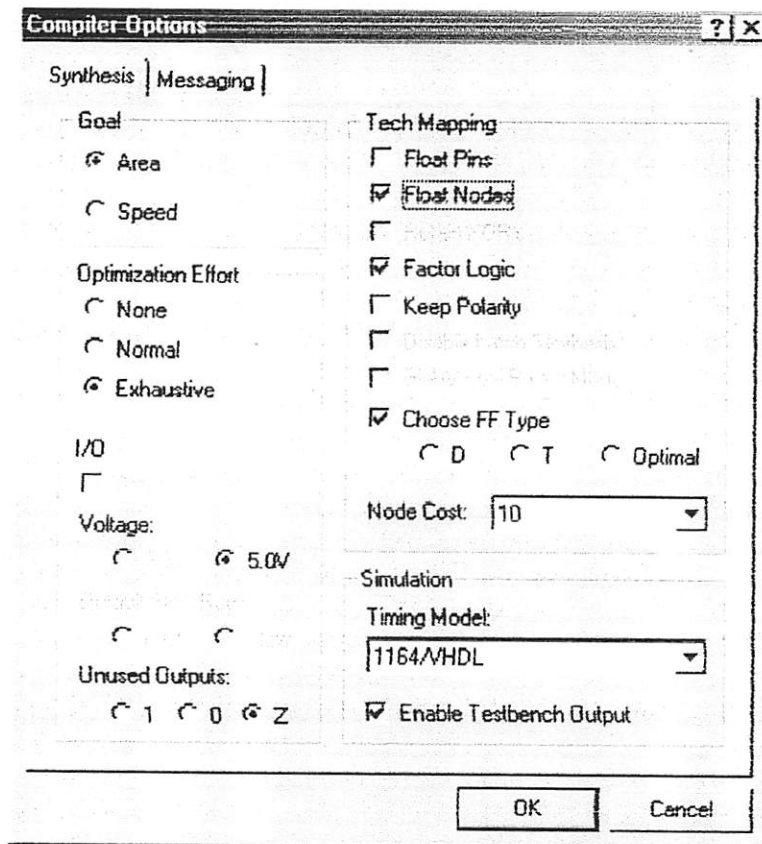


21. Mengklik pada file proyekskripsi yang ada di list mengklik pada icon Add dan kemudian mengklik icon OK.



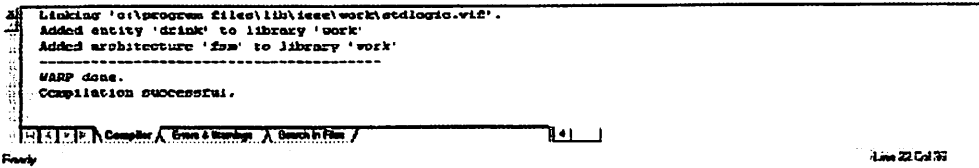
22. Mendouble klik di file proyek skripsi.vhd yang telah masuk pada window source file view anda untuk melihat file.

23. Mengklik pada icon set top icon untuk mengeset file proyekskripsi.vhd yang telah diload sebagai file top level.(Perhatikan icon file proyek skripsi.vhd pada window source file view akan berubah bentuk)
24. Mengklik pada icon Compiler Options.
25. Mengklik pada panah ke bawah kotak timing Model Box dan memilih 1164/VHDL.

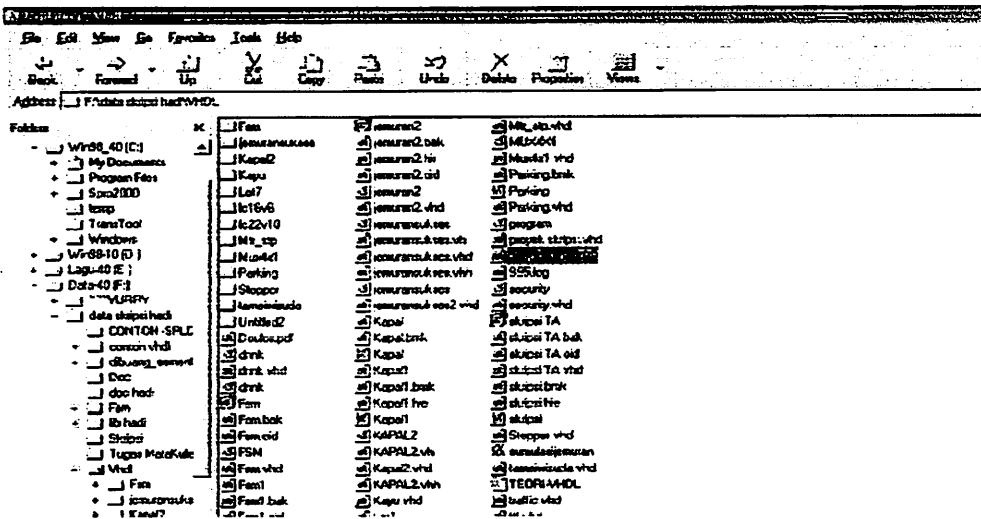


26. Mengklik pada icon OK untuk melengkapi Setup Project.
27. Mengklik pada icon Compile Project.
28. Kompilasi seharusnya successful dan melanjutkan dengan langkah syntesis dan fitting. Ini juga akan menghasilkan model timing setelah

kompilasi selesai. Setelah kompilasi berhasil maka pada window
command akan keluar komentar seperti berikut



29. Kemudian akan dihasilkan file proyek skripsi.jed yang lokasinya jadi
satu dengan file proyek skripsi.vhd dan file proyek skripsi.jed yang
akan dibuat mengkonfigurasi IC SPLD.



30. Untuk mengkonfigurasi IC SPLD (GAL 22V10) digunakan ALL-07.

BAB IV

PENGUJIAN ALAT

Bab ini akan membahas pengujian alat yang telah dirancang, dirakit serta direalisasikan. Tujuan pengujian alat ini adalah mengetahui kerja dari masing-masing sistem yang dibuat secara per-blok. Maka dengan demikian dapat diketahui kepresisian kerja dari alat yang direncanakan dan dibuat. Secara umum tujuan dari pengujian alat tersebut adalah sebagai berikut :

1. Memudahkan pendataan spesifikasi alat.
2. Mengetahui hasil dari suatu perencanaan yang telah dibuat.
3. Memudahkan perawatan dan perbaikan apabila sewaktu-waktu terjadi kerusakan.

Pada ini pengujian akan diuraikan secara per blok yang meliputi :

- a. Rangkaian *Sensor Infra Merah*.
- b. Rangkaian *Limit Switch*.
- c. Rangkaian *Driver Motor DC*.

4.1. Pengujian Rangkaian Sensor Infra Merah

4.1.1. Tujuan

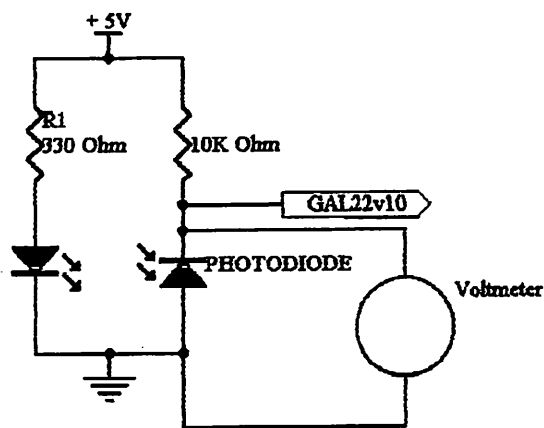
Untuk mengetahui apakah rangkaian sensor infra merah bekerja dengan baik dan mampu mengkondisikan keluarannya menjadi dua kondisi *high* dan *low*.

4.1.2. Peralatan Yang Digunakan

1. Rangkaian Sensor Infra Merah
2. Multimeter
3. Catu daya 5 volt.
4. Sebuah penghalang berupa buku

4.1.3. Prosedur Pengujian

1. Membuat rangkaian sensor infra merah sesuai dengan perancangan, seperti gambar berikut ini :



Gambar 4-1. Rangkaian Pengujian Sensor Infra Merah

2. Menghubungkan power supply 5 volt ke dalam rangkaian sesuai dengan rangkaian diatas.
3. Menghubungkan voltmeter pada rangkaian, yaitu probe positif ditempatkan pada kaki katoda *receiver* sedangkan probe negatif ke ground.
4. Mengamati tegangan yang keluar dengan memberikan kondisi ke pemancar terhalang atau tidak terhalang.

4.1.4. Data Hasil Pengujian

Tabel 4-1 Hasil Pengukuran Tegangan Sensor Infra Merah

Percobaan	Hasil Pengukuran (dalam volt)			
	Siang		Malam	
	Terhalang	Tdk Terhalang	Terhalang	Tdk Terhalang
1	3.40	0.21	4.40	0.17
2	3.48	0.20	4.43	0.21
3	3.43	0.21	4.39	0.19
4	3.33	0.19	4.40	0.21
5	3.35	0.20	4.44	0.17

Tabel 4-2 Hasil Pengukuran Arus Sensor Infra Merah

Percobaan	Hasil Pengukuran (dalam mA)			
	Siang		Malam	
	Terhalang	Tdk Terhalang	Terhalang	Tdk Terhalang
1	0.11	0.42	0.04	0.43
2	0.16	0.43	0.01	0.45
3	0.13	0.42	0.01	0.43
4	0.11	0.45	0.02	0.44
5	0.15	0.49	0.01	0.43

4.1.5. Analisa Data Hasil Pengujian

Dari hasil pengukuran seperti pada gambar 4-1, maka dapat dianalisa besarnya tegangan keluaran pada *photodiode* dengan menggunakan persamaan sebagai berikut :

- Untuk kondisi siang (terhalang)

$$V_{CC} = I_{PD} \cdot R + V_{OUT}$$

$$V_{OUT} = V_{CC} - (I_{PD} \cdot R)$$

$$V_{OUT} = 5 - (0,11 \cdot 10^{-3} \cdot 10 \cdot 10^3)$$

$$V_{OUT} = 3,9 \text{ volt}$$

- Untuk kondisi siang (tidak terhalang)

$$V_{CC} = I_{PD} \cdot R + V_{OUT}$$

$$V_{OUT} = V_{CC} - (I_{PD} \cdot R)$$

$$V_{OUT} = 5 - (0,42 \cdot 10^{-3} \cdot 10 \cdot 10^3)$$

$$V_{OUT} = 0,8 \text{ volt}$$

- Untuk kondisi malam (terhalang)

$$V_{CC} = I_{PD} \cdot R + V_{OUT}$$

$$V_{OUT} = V_{CC} - (I_{PD} \cdot R)$$

$$V_{OUT} = 5 - (0,04 \cdot 10^{-3} \cdot 10 \cdot 10^3)$$

$$V_{OUT} = 4,6 \text{ volt}$$

- Untuk kondisi malam (tidak terhalang)

$$V_{CC} = I_{PD} \cdot R + V_{OUT}$$

$$V_{OUT} = V_{CC} - (I_{PD} \cdot R)$$

$$V_{OUT} = 5 - (0,43 \cdot 10^{-3} \cdot 10 \cdot 10^3)$$

$$V_{OUT} = 0,7 \text{ volt}$$

Dengan menggunakan persamaan yang sama akan didapat hasil perhitungan yang sama. Berikut ini adalah tabel hasil perhitungan:

Tabel 4-3

Hasil Pengukuran dan Perhitungan Vount Sensor Infra Merah

No.	Hasil Pengukuran (dalam volt)				Hasil Perhitungan (dalam volt)			
	Terang		Gelap		Terang		Gelap	
	Terhalang	Tdk. Terhalang	Terhalang	Tdk. Terhalang	Terhalang	Tdk. Terhalang	Terhalang	Tdk. Terhalang
1.	3.40	0.21	4.40	0.17	3.90	0.80	4.60	0.70
2.	3.48	0.20	4.43	0.21	3.40	0.70	4.90	0.50
3.	3.43	0.21	4.39	0.19	3.70	0.80	4.90	0.70
4.	3.33	0.19	4.40	0.21	3.90	0.50	4.80	0.60
5.	3.35	0.20	4.44	0.17	3.50	0.10	4.90	0.70

$$(\%) \text{ Simpangan (Error)} = \frac{\text{Selisih pengukuran dan perhitungan}}{\text{Nilai Perhitungan}} \times 100\%$$

$$= \frac{3.90 - 3.40}{3.90} \times 100\%$$

$$= 12,8\%$$

$$\% \text{ Ketelitian} = 100 \% - (\%) \text{ simpangan}$$

$$= 100 \% - 12,8 \%$$

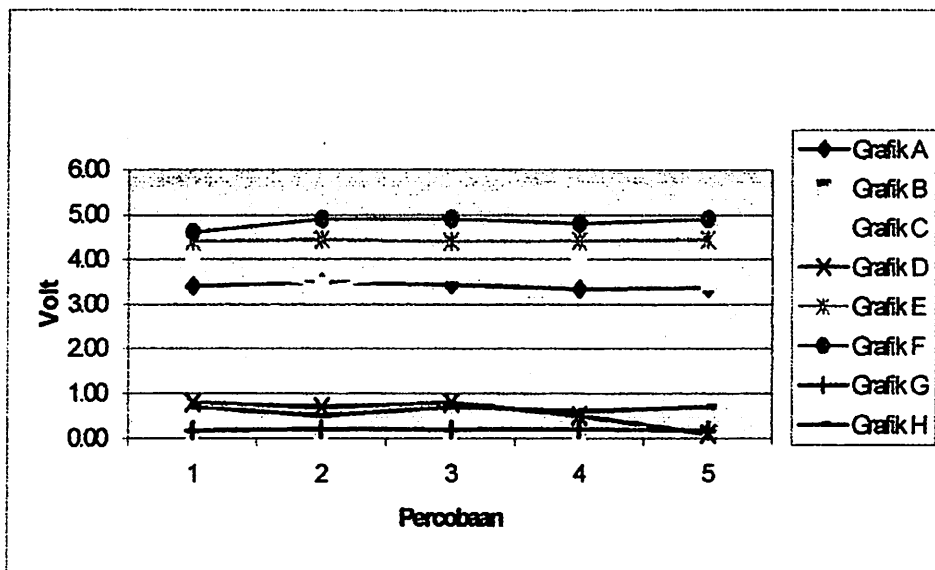
$$= 87,2 \%$$

Dengan menggunakan persamaan yang sama akan didapatkan hasil perhitungan yang sama. Berikut ini adalah tabel hasil perhitungan:

Tabel 4-3 Hasil Nilai Error (%) dan Nilai Ketelitian (%)

No.	Hasil Simpangan (Error) %				Ketelitian (%)			
	Terang		Gelap		Terang		Gelap	
	Terhalang	Tdk. Terhalang	Terhalang	Tdk. Terhalang	Terhalang	Tdk. Terhalang	Terhalang	Tdk. Terhalang
1.	12.8	73.75	4.3	75	87.2	27.25	95.7	25
2.	2.3	71.4	9.5	58	97.7	28.6	90.5	42
3.	27	73.75	10.4	72	73	27.25	80.6	28
4.	15	62	8.3	66	85	38	91.7	34
5.	4.2	100	9.3	75	95.8	0	90.7	25
Rata-rata	12.26	76.8	8.36	69.2	87.74	24.2	89.84	30.8

Grafik 4-1 Hasil Pengukuran dan Perhitungan Vout Sensor Infra Merah



Keterangan :

- Grafik A : grafik hasil pengukuran pada kondisi siang & terhalang.
- Grafik B : grafik hasil perhitungan pada kondisi siang & terhalang.
- Grafik C : grafik hasil pengukuran pada kondisi siang & tidak terhalang.
- Grafik D : grafik hasil perhitungan pada kondisi siang & tidak terhalang.
- Grafik E : grafik hasil pengukuran pada kondisi malam & terhalang.
- Grafik F : grafik hasil perhitungan pada kondisi malam & terhalang.
- Grafik G : grafik hasil pengukuran pada kondisi malam & tidak terhalang.
- Grafik H : grafik hasil perhitungan pada kondisi malam & tidak terhalang.

4.2. Pengujian Rangkaian Limit Swtich

4.2.1. Tujuan

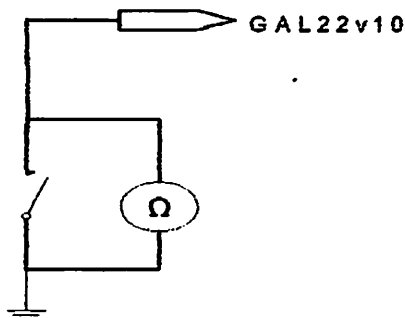
Untuk mengetahui apakah *Limit Switch* bekerja dengan baik dan mampu mengkondisikan keluarannya menjadi dua kondisi yaitu *High* dan *Low*

4.2.2. Peralatan Yang Digunakan

1. Multimeter Digital
2. Rangkaian *Limit Switch*

4.2.3. Prosedur Pengujian

1. Membuat rangkaian limit switch sesuai dengan perancangan, seperti yang terlihat pada gambar di bawah ini :



Gambar 4-2. Rangkaian Pengujian Limit Switch

2. Menghubungkan rangkaian tersebut dengan ohm meter.
3. Mengamati hasilnya dengan memberikan penekanan pada limit switch.

4.2.4. Data Hasil Pengujian

Tabel 4-5. Hasil Pengukuran Rangkaian Limit Switch

Kondisi	Resistansi (Ω)
Normally Open	~
Normally Close	0

4.2.5. Analisa Data Hasil Pengujian

Pada saat limit switch dalam kondisi normally close maka limit switch mengalirkan GND (polaritas negatif) atau mengirim logika '0' ke minimum sistem yang digunakan sebagai inputan untuk menggerakkan motor dc, sedangkan pada saat kondisi normally open tidak memberikan logika '1' atau '0'. Tapi hal ini dibaca sebagai logika high oleh GAL22V10.

4.3. Pengujian Rangkaian Driver Motor DC

4.3.1. Tujuan

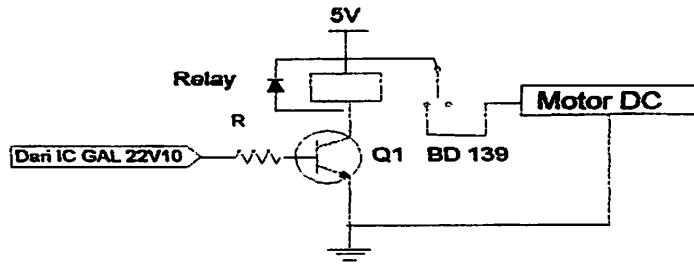
Untuk mengetahui apakah driver motor dc dapat bekerja dengan baik, sehingga dapat digunakan untuk menggerakkan motor.

4.3.2. Peralatan Yang Digunakan

1. Multimeter Digital
2. Rangkaian Motor DC
3. Catu Daya 5 volt.

4.3.3. Prosedur Pengujian

1. Membuat rangkaian motor dc sesuai dengan perancangan, seperti yang terlihat pada gambar dibawah ini :



Gambar 4-3 Rangkaian Pengujian Driver Motor DC

2. Menghubungkan rangkaian dengan catu daya 5 volt.
3. Menghubungkan NC (normally close) dan relay dengan catu daya sebesar 5 volt.
4. Memberikan input tegangan 5 volt sebagai logika '1' pada R driver motor dc.
5. Mengamati gerak putaran motor dc.

4.3.4. Data Hasil Pengujian

Tabel 4-6 Hasil Pengukuran Rangkaian Driver Motor DC

No	Input	Keterangan
	V_{R_1}	
1	5 V	Motor berputar
2	0 V	Motor diam

4.3.5. Analisa Data Hasil Pengujian

Di saat ada input pada R maka transistor mendapat arus bias dari basis maka arus akan mengalir dari kolektor ke emitor sehingga relay akan aktif. Saat relay aktif akan ada arus yang mengalir ke motor sehingga

motor berputar. Dan sebaliknya di saat tidak ada input pada R maka transistor tidak mendapat arus bias dari basis sehingga tidak ada arus yang mengalir dari kolektor ke emitor hal ini menyebabkan relay tidak aktif. Saat relay tidak aktif tidak ada arus yang mengalir ke motor sehingga motor tidak berputar.

BAB V

PENUTUP

5.1 Kesimpulan

- a. Faktor cahaya luar mempengaruhi ketelitian kerja sensor infra merah yang dapat mempengaruhi kerja sistem.
- b. Pada kondisi sensor tidak terhalang, ketelitian sangat rendah, yaitu 24,2% pada siang hari dan 30,8% pada malam hari, tapi kondisi ini tidak berpengaruh pada kerja sistem karena nilai tegangan yang diukur masih berada di bawah nilai tegangan maksimal yang diperbolehkan oleh IC GAL 22V10 yaitu 0,8 Volt

5.2 Saran

- a. Akan lebih bermanfaat lagi jika alat ini dilengkapi dengan sensor-sensor yang lebih bagus lagi misalnya saja sensor ultra sonic ataupun sensor yang lainnya.
- b. Dalam perancangan dengan VHDL hal yang harus diperhatikan adalah IC yang kita gunakan dan banyaknya Macracell yang terpakai oleh sistem

DAFTAR PUSTAKA

1. **S. Wasito**, *VADEMEKUM ELEKTRONIKA*, edisi 2, PT. Gramedia Pustaka Utama. November 2000.
2. **Malvino, Albert Paul, Ph.D**, *Prinsip-prinsip Elektronika*, edisi kedua, Alih bahasa : Hanapi Gunawan, Penerbit Erlangga, Jakarta, '996.
3. **Buku Panduan Praktikum Perancangan Sistem Elektronika**, Institut Teknologi Nasional Malang.
4. **Skahill, Kevin**, CYPRESS SEMICONDUCTOR, VHDL FOR PROGRAMMABLE LOGIC, Addison-Wesley Publishing Company, inc, 1996.
5. **DOULOS**, The VHDL Golden Reference Guide, England, 1995.
6. **J. Carr Joseph**, Sensor and Circuits, PTR Prentice Hall, Englewood Cliffs, New Jersey 07632, 1993.

Lampiran



INSTITUT TEKNOLOGI NASIONAL
Jl. Bendungan Sigura-gura No. 2
MALANG

LEMBAR BIMBINGAN SKRIPSI

1. Nama : Marse Gunawan
2. NIM : 99.17.270
3. Jurusan : Teknik Elektro (S1)
4. Konentrasi : Teknik Elektronika
5. Judul Skripsi : Perencanaan Dan Pembuatan Alat
Pencegah Terjadinya Kecelakaan Kerja
Pada Mesin Die Cut Di Perusahaan
Pengepakan Berbasis Teknologi VHDL
6. Tanggal Pengajuan Skripsi : 7 Februari 2005
7. Selesai Menulis Skripsi : 10 Agustus 2005
8. Dosen Pembimbing : Ir. Usman Djuanda. MM
9. Telah Dievaluasi Dengan Nilai : 82,5 (A) *82*

Disetujui

Dosen Pembimbing

Ir. Usman Djuanda, MM
NIP.070610501350

Mengetahui

Ketua Jurusan Teknik Elektro S-1

Ir. F. Yudi Limpraptono, MT
NIP. 1.1039500274



INSTITUT TEKNOLOGI NASIONAL
Jl. Bendungan Sigura-gura No. 2
MALANG

FORMULIR PERBAIKAN SKRIPSI

Dari Hasil Ujian Skripsi Jenjang Strata Satu (S-1) Jurusan Teknik Elektro
Konsentrasi Elektronika Yang Diselenggarakan Pada :

Hari : Jumat
Tanggal : 07 Oktober 2005

Telah Dilakukan Perbaikan Skripsi Oleh :

1. Nama : Marse Gunawan
2. NIM : 99.17.270
3. Jurusan : Teknik Elektro S-1
4. Konsentrasi : Teknik Elektronika
5. Judul Skripsi : Perencanaan Dan Pembutan Alat Pencegah Terjadinya
Kecelakaan Kerja Pada Mesin Die Cut Di Perusahaan
Pengepakan Berbasis Teknologi VHDL

Perbaikan Meliputi :

No	Materi Perbaikan	Keterangan
1.	Kesimpulan	

Dosen Pembimbing

Ir. Usman Djuanda, MM
NIP.070610501350

Anggota Penguji

Penguji Pertama

Ir. Yusuf Ismail Nakhoda, MT
NIP.P.1018800189

Penguji Kedua

IR. Mimien Mustikawati
NIP.1030000352

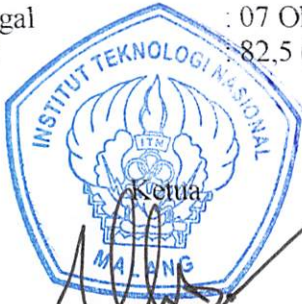


INSTITUT TEKNOLOGI NASIONAL
Jl. Bendungan Sigura-gura No. 2
MALANG

BERITA ACARA UJIAN SKRIPSI
FAKULTAS TEKNOLOGI INDUSTRI

Nama Mahasiswa : Marse Gunawan
NIM : 99.17.270
Jurusan : Teknik Elektro S-1
Konsentrasi : Teknik Elektronika
Judul Skripsi : Perencanaan Dan Pembuatan Alat Pencegah Terjadinya
Kecelakaan Kerja Pada Mesin Die Cut Di Perusahaan
Pengepakan Berbasis Teknologi VHDL

Dipertahankan Di hadapan Team Penguji Skripsi Jenjang Strata Satu (S-1) Pada :
Hari : Jumat
Tanggal : 07 Oktober 2005
Nilai : 82,5 (A) *Sm*



Ketua
[Signature]
Ir. Moch Asroni, MSME
NIP.Y.1018100036

Panitia Ujian Skripsi

[Signature]
Sekretaris

Ir. F. Yudi Limpraptono, MT
NIP.Y.1039500274

Anggota Penguji

Penguji Pertama

[Signature]
Ir. Yusuf Ismail Nakhoda, MT
NIP.P.1018800189

Penguji Kedua

[Signature]
IR. Mimien Mustikawati
NIP.1030000352



INSTITUT TEKNOLOGI NASIONAL MALANG
FAKULTAS TEKNOLOGI INDUSTRI
JURUSAN TEKNIK ELEKTRO

Formulir Perbaikan Ujian Skripsi

Dalam pelaksanaan Ujian Skripsi Janjang Strata 1 Jurusan Teknik Elektro Konsentrasi T. Energi Listrik / T. Elektronika, maka perlu adanya perbaikan skripsi untuk mahasiswa :

NAMA : *Marse Gunawan*
NIM : *9917270*
Perbaikan meliputi :

Kesimpulan : disimpulkan dari hasil uji coba peralatan dan akurasi alat.

Malang, *07-10-2005*

[Signature]
Ir. Yusuf Ismail NIMT



PERKUMPULAN PENGELOLA PENDIDIKAN UMUM DAN TEKNOLOGI NASIONAL MALANG
INSTITUT TEKNOLOGI NASIONAL MALANG

FAKULTAS TEKNOLOGI INDUSTRI
FAKULTAS TEKNIK SIPIL DAN PERENCANAAN
PROGRAM PASCASARJANA MAGISTER TEKNIK

BNI (PERSERO) MALANG
BANK NIAGA MALANG

Kampus I : Jl. Bendungan Sigura-gura No. 2 Telp. (0341) 551431 (Hunting) Fax. (0341) 553015 Malang 65145
Kampus II : Jl. Raya Karanglo, Km 2 Telp. (0341) 417636 Fax. (0341) 417634 Malang

Malang 1-Nov-2004

Nomor : ITN-166/7/TA.GJL/2005
Lampiran :
Perihal : Bimbingan Skripsi

Kepada : Yth. Sdr. **Ir. Usman Djuanda, MM**
Dosen Pembimbing
Jurusan Teknik Elektro S-1
di
Malang

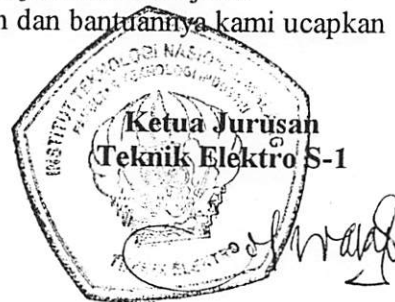
Dengan hormat,
Sesuai dengan permohonan dan persetujuan dalam proposal skripsi
untuk mahasiswa:

Nama : Marse Gunawan
Nim : 9917270
Semester : XI
Fakultas : Teknologi Industri
Jurusan : Teknik Elektro S-1
Konsentrasi : Teknik Elektronika

Maka dengan ini pembimbingan tersebut kami serahkan sepenuhnya
kepada Saudara/i selama masa waktu 6 (enam) bulan, terhitung mulai
tanggal:

7-Feb-2005 s/d 10-Aug-2005

Sebagai satu syarat untuk menempuh Ujian Akhir Sarjana.
Demikian agar maklum, atas perhatian dan bantuannya kami ucapkan
banyak terima kasih.



Ir. I Made Wartana, MT
NIP 131 991 182

Form S-4a



FORMULIR BIMBINGAN SKRIPSI

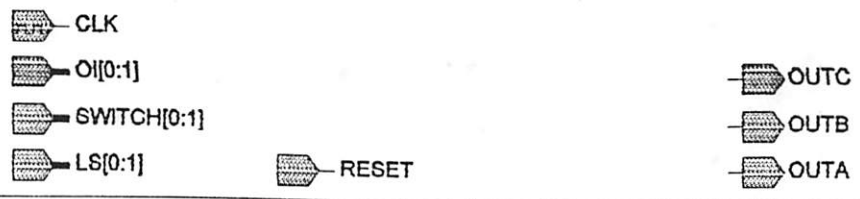
Nama : Marse Gunawan
Nim : 9917270
Masa Bimbingan : 7-Feb-2005 s/d 10-Aug-2005
Judul Skripsi : Perencanaan dan pembuatan alat pencegah terjadinya kecelakaan kerja pada mesin die cut diperusahaan pengepakan berbasis teknologi VHDL

NO	Tanggal	Uraian	Paraf Pembimbing
1.	12 Februari 2005	Asistensi awal	
2.	10 Maret 2005	BAB I, BAB II, Acc	
3.	3 April 2005	BAB III, Acc	
4.	2 Juni 2005	BAB IV, BAB V, Acc	
5.			
6.			
7.			
8.			
9.			
10.			

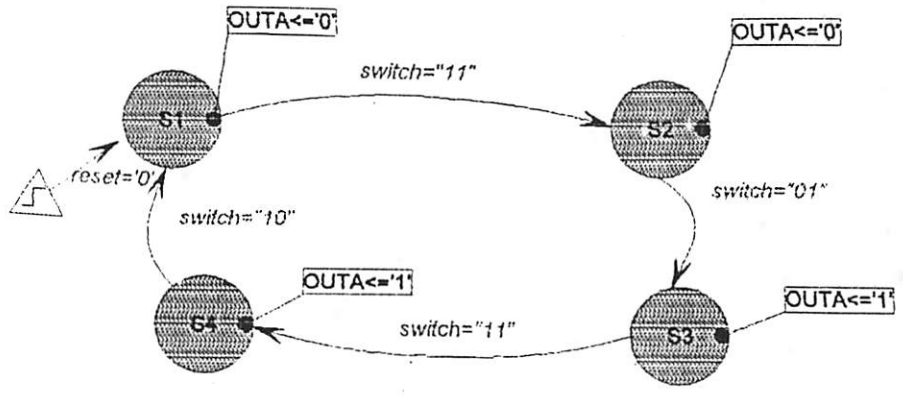
Malang, 2005
Dosen Pembimbing

Ir. Usman Djuanda, MM

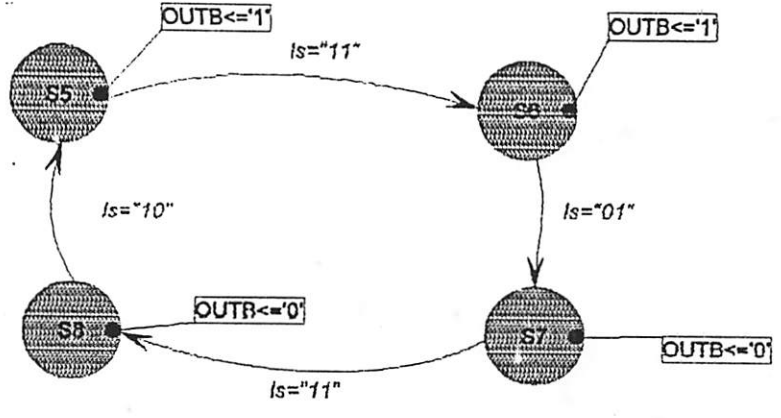
Diagram ACTIONS



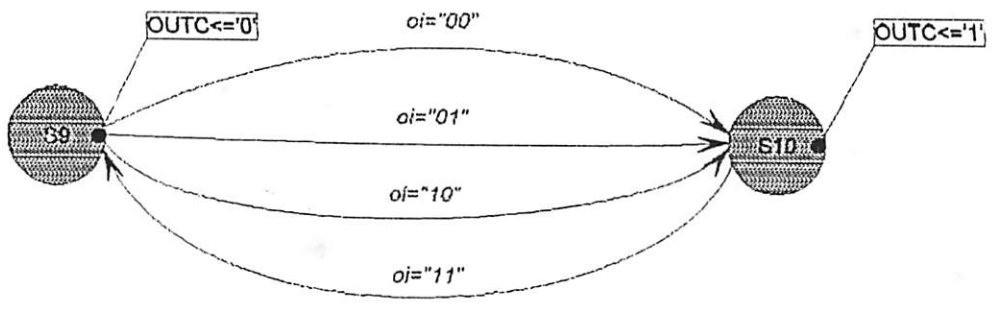
reg0



reg1



reg2



dia

PROGRAM YANG DIDOWNLOADKAN PADA GAL 22V10 HASIL DARI SINTESIS HDL CODE GENERATION

File: C:\Documents and Settings\dance\My Documents\MARSE.G\dia.vhd
created: 07/10/05 16:15:13
from: 'C:\Documents and Settings\dance\My Documents\MARSE.G\dia.bak'
by fsm2hdl - version: 2.0.1.45

library IEEE;
use IEEE.std_logic_1164.all;

entity dia is
port (CLK: in STD_LOGIC;
LS: in STD_LOGIC_VECTOR (0 to 1);
OI: in STD_LOGIC_VECTOR (0 to 1);
RESET: in STD_LOGIC;
SWITCH: in STD_LOGIC_VECTOR (0 to 1);
OUTA: out STD_LOGIC;
OUTB: out STD_LOGIC;
OUTC: out STD_LOGIC);

end;

architecture dia_arch of dia is

 -- SYMBOLIC ENCODED state machine: Sreg0
 type Sreg0_type is (S1, S2, S3, S4);
 signal Sreg0: Sreg0_type;

 -- SYMBOLIC ENCODED state machine: Sreg1
 type Sreg1_type is (S5, S6, S7, S8);
 signal Sreg1: Sreg1_type;

 -- SYMBOLIC ENCODED state machine: Sreg2
 type Sreg2_type is (S10, S9);
 signal Sreg2: Sreg2_type;

begin
 -- concurrent signal assignments
 -- diagram ACTIONS;

 Sreg0_machine: process (CLK)

begin
 if CLK'event and CLK = '1' then
 if reset='0' then
 Sreg0 <= S3;
 else
 case Sreg0 is
 when S1 =>
 if switch="11" then
 Sreg0 <= S2;
 end if;
 when S2 =>
 if switch="01" then
 Sreg0 <= S3;
 end if;
 when S3 =>
 if switch="11" then


```

        end if;
        when S4 =>
            if switch="10" then
                Sreg0 <= S1;
            end if;
        when others =>
            null;
    end case;
end if;
end process;

-- signal assignment statements for combinatorial outputs
UTA_assignment:
UTA <= '0' when (Sreg0 = S1) else
      '0' when (Sreg0 = S2) else
      '1' when (Sreg0 = S4) else
      '1';

```

```

reg1_machine: process (CLK)
begin
if CLK'event and CLK = '1' then
    case Sreg1 is
        when S5 =>
            if 1s="11" then
                Sreg1 <= S6;
            end if;
        when S6 =>
            if 1s="01" then
                Sreg1 <= S7;
            end if;
        when S7 =>
            if 1s="11" then
                Sreg1 <= S8;
            end if;
        when S8 =>
            if 1s="10" then
                Sreg1 <= S5;
            end if;
        when others =>
            null;
    end case;
end if;
end process;

```

```

-- signal assignment statements for combinatorial outputs
OUTB_assignment:
OUTB <= '1' when (Sreg1 = S5) else
      '1' when (Sreg1 = S6) else
      '0' when (Sreg1 = S7) else
      '0' when (Sreg1 = S8) else
      '0';

```

```

sreg2_machine: process (CLK)

```

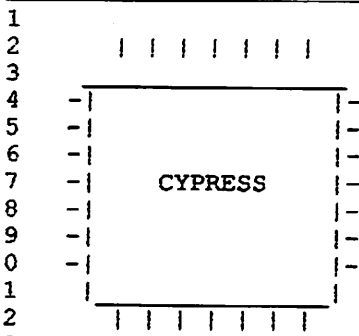
```

begin
    dia
    if CLK'event and CLK = '1' then
        case Sreg2 is
            when s10 =>
                if oi="11" then
                    Sreg2 <= s9;
                end if;
            when s9 =>
                if oi="01" then
                    Sreg2 <= s10;
                elsif oi="00" then
                    Sreg2 <= s10;
                elsif oi="10" then
                    Sreg2 <= s10;
                end if;
            when others =>
                null;
        end case;
    end if;
end process;

-- signal assignment statements for combinatorial outputs
UTC_assignment:
UTC <= '1' when (Sreg2 = s10) else
'0' when (Sreg2 = s9) else
'0';

end dia_arch;

```



Warp VHDL Synthesis Compiler: Version 6.3 IR 30
 Copyright (C) 1991-2001 Cypress Semiconductor

```

4 =====
5 Compiling: dia.vhd
6 Options: -yu -e10 -w100 -o2 -ygs -fo -fp -fn -fL1 -v10 -yw -dc22v10 -ppalce22v10-25pc/p
7 =====

```

```

9 vhdlfe V6.3 IR 29: VHDL parser
10 Sun Jul 10 16:26:03 2005

```

```

1
2 Library 'work' => directory 'lc22v10'
3 Linking 'C:\warp\bin\std.vhd'.
4 Linking 'C:\warp\lib\common\cypress.vhd'.
5 Linking 'C:\warp\lib\common\work\cypress.vif'.
6 Library 'ieee' => directory 'C:\warp\lib\ieee\work'
7 Linking 'C:\warp\lib\ieee\work\stdlogic.vif'.

```

```

9 vhdlfe: No errors.

```

```

2 tovim V6.3 IR 29: High-level synthesis
3 Sun Jul 10 16:26:03 2005

```

```

5 Linking 'C:\warp\bin\std.vhd'.
6 Linking 'C:\warp\lib\common\cypress.vhd'.
7 Linking 'C:\warp\lib\common\work\cypress.vif'.
8 Linking 'C:\warp\lib\ieee\work\stdlogic.vif'.

```

```

9 tovim: No errors.

```

```

3 topld V6.3 IR 29: Synthesis and optimization
4 Sun Jul 10 16:26:03 2005

```

```

5 Linking 'C:\warp\bin\std.vhd'.
6 Linking 'C:\warp\lib\common\cypress.vhd'.
7 Linking 'C:\warp\lib\common\work\cypress.vif'.
8 Linking 'C:\warp\lib\ieee\work\stdlogic.vif'.
9 State variable 'sreg0' is represented by a Bit_vector (0 to 1).
10 State encoding (sequential) for 'sreg0' is:
11   s1 := b"00";
12   s2 := b"01";
13   s3 := b"10";
14   s4 := b"11";
15 State variable 'sreg1' is represented by a Bit_vector (0 to 1).
16 State encoding (sequential) for 'sreg1' is:
17   s5 := b"00";
18   s6 := b"01";
19   s7 := b"10";
20   s8 := b"11";
21 State variable 'sreg2' is represented by a Bit_vector (0 to 0).
22 State encoding (sequential) for 'sreg2' is:
23   s10 := b"0";
24   s9 := b"1";

```

```

-----
Detecting unused logic.
-----

```

```
72 -----
73 -----
74 Alias Detection
75 -----
76 -----
77 -----
78 Aliased 0 equations, 1 wires.
79 -----
80 -----
81 -----
82 Circuit simplification
83 -----
84 -----
85 -----
86 Circuit simplification results:
87
88     Expanded 0 signals.
89     Turned 0 signals into soft nodes.
90     Maximum default expansion cost was set at 10.
91 -----
92 Created 21 PLD nodes.
93
94 topld: No errors.
95
96 -----
97 PLD Optimizer Software:      DSGNOPT.EXE      31/03/2000  [v4.02 ] 6.3 IR 29
98
99 DESIGN HEADER INFORMATION (16:26:04)
00
01 Input File(s): dia.pla
02 Device       : C22V10
03 Package      : palce22v10-25pc/pi
04 ReportFile   : dia.rpt
05
06 Program Controls:
07     COMMAND LANGUAGE_VHDL
08     COMMAND PROPERTY BUS_HOLD ENABLE
09
10 Signal Requests:
11     GROUP DT-OPT ALL
12     GROUP USEPOL ALL
13     GROUP FACTOR ALL
14     GROUP SLOW_SLEW ALL
15
16 Completed Successfully
17 -----
18 PLD Optimizer Software:      DSGNOPT.EXE      31/03/2000  [v4.02 ] 6.3 IR 29
19
20 OPTIMIZATION OPTIONS (16:26:04)
21
22 Messages:
23     Information: Process virtual 'sreg2SBV_0D'sreg2SBV_0D ... expanded.
24     Information: Process virtual 'sreg1SBV_1D'sreg1SBV_1D ... expanded.
25     Information: Process virtual 'sreg1SBV_0D'sreg1SBV_0D ... expanded.
26     Information: Process virtual 'sreg0SBV_1D'sreg0SBV_1D ... expanded.
27     Information: Process virtual 'sreg0SBV_0D'sreg0SBV_0D ... expanded.
28     Information: Process virtual 'sreg1SBV_1' ... converted to NODE.
29     Information: Process virtual 'sreg0SBV_1' ... converted to NODE.
30     Information: Optimizing logic using best output polarity for signals:
31         outa.D outb.D sreg0SBV_1.D sreg1SBV_1.D
32
33     Information: Selected logic optimization OFF for signals:
34         outa.C outb.C outc.D outc.C sreg0SBV_1.C sreg1SBV_1.C
35
36
37
38 Summary:
39         Error Count = 0      Warning Count = 0
40
41 Completed Successfully
42 -----
```

3 PLD Optimizer Software: MINOPT.EXE 01/NOV/1999 [v4.02] 6.3 IR 29

5 LOGIC MINIMIZATION ()

7 Messages:

0 Summary:

1 Error Count - 0 Warning Count - 0

3 Completed Successfully

5 PLD Optimizer Software: DSGNOPT.EXE 31/03/2000 [v4.02] 6.3 IR 29

7 OPTIMIZATION OPTIONS (16:26:04)

9 Messages:

0 Information: Optimizing Banked Preset/Reset requirements.

3 Summary:

4 Error Count = 0 Warning Count = 0

6 Completed Successfully

8 PLD Compiler Software: PLA2JED.EXE 31/03/2000 [v4.02] 6.3 IR 29

0 <CYPRESSTAG name="Equations" icon=FILE_RPT_EQUATION>

1 DESIGN EQUATIONS (16:26:04)

2 </CYPRESSTAG>

4 /outa.D =
 5 reset * sreg0SBV_1.Q * switch(0) * /switch(1)
 6 + /outa.Q * reset * switch(0)
 7 + /outa.Q * reset * /sreg0SBV_1.Q
 8 + /outa.Q * reset * /switch(1)

0 outa.AR =
 1 GND

3 outa.SP =
 4 GND

6 outa.C =
 7 clk

9 /outb.D =
 0 /ls(0) + ls(1) * sreg1SBV_1.Q
 1 + ls(1) * /outb.Q
 2 + /ls(0) * /outb.Q
 3 + /outb.Q * /sreg1SBV_1.Q

5 outb.AR =
 6 GND

8 outb.SP =
 9 GND

1 outb.C =
 2 clk

4 /outc.D =
 5 oi(0) * oi(1)

7 outc.AR =
 8 GND

0 outc.SP =
 1 GND

3 outc.C =

```

14      clk
15
16      sreg0SBV_1.D =
17          outa.Q * reset * sreg0SBV_1.Q * /switch(0)
18          + /outa.Q * reset * sreg0SBV_1.Q * /switch(1)
19          + reset * switch(0) * switch(1)
20
21      sreg0SBV_1.AR =
22          GND
23
24      sreg0SBV_1.SP =
25          GND
26
27      sreg0SBV_1.C =
28          clk
29
30      sreg1SBV_1.D =
31          /ls(0) * /outb.Q * sreg1SBV_1.Q
32          + /ls(1) * outb.Q * sreg1SBV_1.Q
33          + ls(0) * ls(1)
34
35      sreg1SBV_1.AR =
36          GND
37
38      sreg1SBV_1.SP =
39          GND
40
41      sreg1SBV_1.C =
42          clk
43
44

```

45 Completed Successfully

```

46 -----
47 PLD Compiler Software:      PLA2JED.EXE      31/03/2000  [v4.02 ] 6.3 IR 29
48
49 DESIGN RULE CHECK          (16:26:04)
50

```

51 Messages:
52 None.

53
54
55 Summary:
56 Error Count = 0 Warning Count = 0

57 Completed Successfully

```

58 -----
59 PLD Compiler Software:      PLA2JED.EXE      31/03/2000  [v4.02 ] 6.3 IR 29
60
61 PINOUT INFORMATION        (16:26:04)
62 </CYPRESSTAG>

```

63 Messages:
64 Information: Checking for duplicate NODE logic.
65 None.

66 <CYPRESSTAG name="Pinout" icon=FILE_RPT_PINOUT>

67 C22V10

68	clk = 1	24 * not used
69	switch(1) = 2	23 = outa
70	switch(0) = 3	22 = (sreg0SBV_1)
71	reset = 4	21 * not used
72	oi(1) = 5	20 * not used
73	oi(0) = 6	19 * not used
74	ls(1) = 7	18 * not used
75	ls(0) = 8	17 * not used
76	not used * 9	16 = outc
77	not used * 10	15 = (sreg1SBV_1)
78	not used * 11	14 = outb
79	not used * 12	13 * not used

5
6
7 Summary:

8 Error Count = 0 Warning Count = 0

9 Completed Successfully

10 -----
11 PLD Compiler Software: PLA2JED.EXE 31/03/2000 [v4.02] 6.3 IR 29

12 <CYPRESSTAG name="Utilization" icon=FILE_RPT_UTILIZATION>
13 RESOURCE UTILIZATION (16:26:04)
14 </CYPRESSTAG>

15 Information: Macrocell Utilization.

Description	Used	Max
Dedicated Inputs	7	11
Clock/Inputs	1	1
I/O Macrocells	5	10
13 / 22 = 59 %		

16 Information: Output Logic Product Term Utilization.

Node#	Output Signal Name	Used	Max
14	outb	4	8
15	sreg1SBV_1	3	10
16	outc	1	12
17	Unused	0	14
18	Unused	0	16
19	Unused	0	16
20	Unused	0	14
21	Unused	0	12
22	sreg0SBV_1	3	10
23	outa	4	8
25	Unused	0	1
15 / 121 = 12 %			

17 Completed Successfully

18 -----
19 PLD Compiler Software: PLA2JED.EXE 31/03/2000 [v4.02] 6.3 IR 29

20 JEDEC ASSEMBLE (16:26:04)

21 Messages:

22 Information: Output file 'dia.pin' created.
23 Information: Output file 'dia.jed' created.

24 Usercode:
25 Checksum: 5C43

26 Summary:

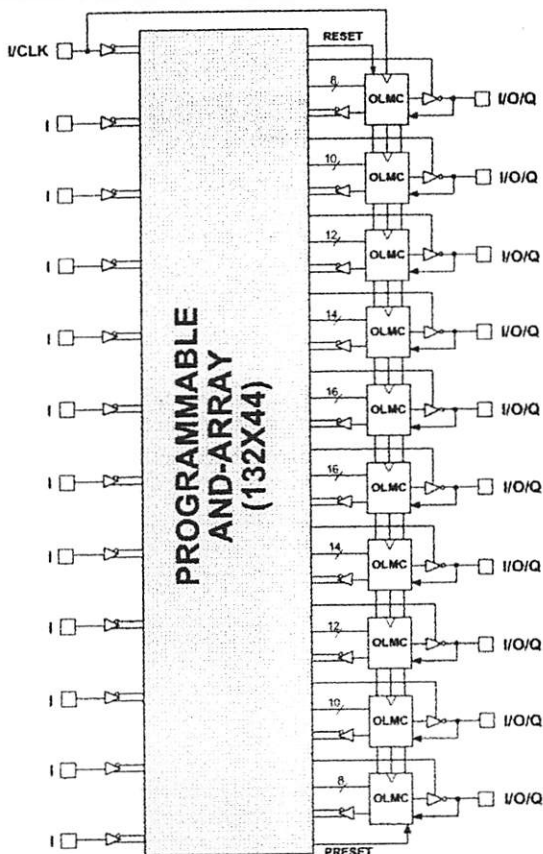
27 Error Count = 0 Warning Count = 0

28 Completed Successfully at 16:26:04

Features

- HIGH PERFORMANCE E²CMOS® TECHNOLOGY**
 - 4 ns Maximum Propagation Delay
 - F_{max} = 250 MHz
 - 3.5 ns Maximum from Clock Input to Data Output
 - UltraMOS® Advanced CMOS Technology
- ACTIVE PULL-UPS ON ALL PINS**
- COMPATIBLE WITH STANDARD 22V10 DEVICES**
 - Fully Function/Fuse-Map/Parametric Compatible with Bipolar and UVC MOS 22V10 Devices
- 50% to 75% REDUCTION IN POWER VERSUS BIPOLAR**
 - 90mA Typical I_{cc} on Low Power Device
 - 45mA Typical I_{cc} on Quarter Power Device
- E² CELL TECHNOLOGY**
 - Reconfigurable Logic
 - Reprogrammable Cells
 - 100% Tested/100% Yields
 - High Speed Electrical Erasure (<100ms)
 - 20 Year Data Retention
- TEN OUTPUT LOGIC MACROCELLS**
 - Maximum Flexibility for Complex Logic Designs
- PRELOAD AND POWER-ON RESET OF REGISTERS**
 - 100% Functional Testability
- APPLICATIONS INCLUDE:**
 - DMA Control
 - State Machine Control
 - High Speed Graphics Processing
 - Standard Logic Speed Upgrade
- ELECTRONIC SIGNATURE FOR IDENTIFICATION**

Functional Block Diagram



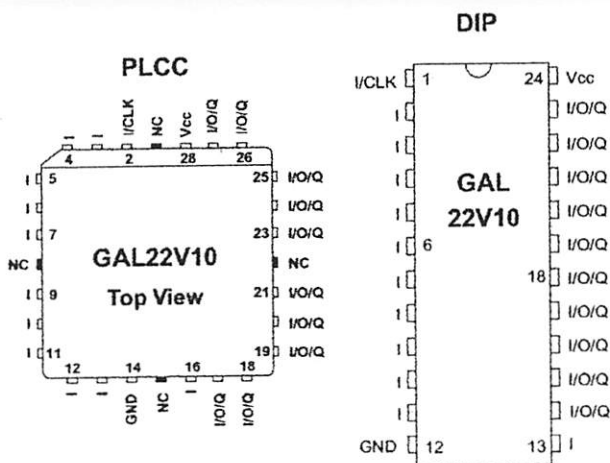
Description

The GAL22V10, at 4ns maximum propagation delay time, combines high performance CMOS process with Electrically Erasable (E²) floating gate technology to provide the highest performance available of any 22V10 device on the market. CMOS circuitry allows the GAL22V10 to consume much less power when compared to bipolar 22V10 devices. E² technology offers high speed (<100ms) erase times, providing the ability to reprogram or reconfigure the device quickly and efficiently.

The generic architecture provides maximum design flexibility by allowing the Output Logic Macrocell (OLMC) to be configured by the user. The GAL22V10 is fully function/fuse map/parametric compatible with standard bipolar and CMOS 22V10 devices.

Unique test circuitry and reprogrammable cells allow complete AC, DC, and functional testing during manufacture. As a result, Lattice Semiconductor delivers 100% field programmability and functionality of all GAL products. In addition, 100 erase/write cycles and data retention in excess of 20 years are specified.

Pin Configuration



Copyright © 1997 Lattice Semiconductor Corp. All brand or product names are trademarks or registered trademarks of their respective holders. The specifications and information herein are subject to change without notice.

GAL22V10 Ordering Information

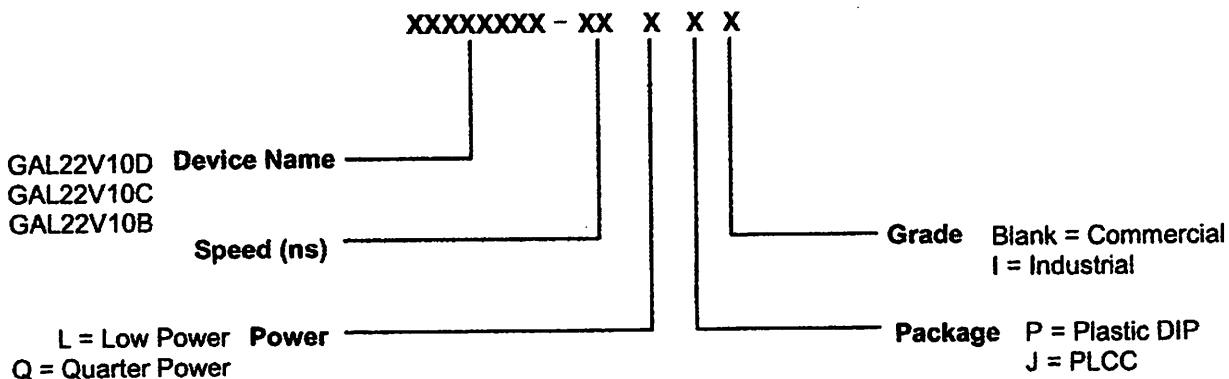
Commercial Grade Specifications

Tpd (ns)	Tsu (ns)	Tco (ns)	Icc (mA)	Ordering #	Package
4	2.5	3.5	140	GAL22V10D-4LJ	28-Lead PLCC
5	3	4	140	GAL22V10D-5LJ	28-Lead PLCC
			150	GAL22V10C-5LJ	28-Lead PLCC
7.5	4.5	4.5	140	GAL22V10D-7LP	24-Pin Plastic DIP
	5	4.5	140	GAL22V10C-7LP	24-Pin Plastic DIP
	4.5	4.5	140	GAL22V10D-7LJ or GAL22V10C-7LJ	28-Lead PLCC
	6.5	5	140	GAL22V10B-7LP	24-Pin Plastic DIP
			140	GAL22V10B-7LJ	28-Lead PLCC
10	7	7	55	GAL22V10D-10QP	24-Pin Plastic DIP
			55	GAL22V10D-10QJ	28-Lead PLCC
			130	GAL22V10D-10LP, GAL22V10C-10LP or GAL22V10B-10LP	24-Pin Plastic DIP
			130	GAL22V10D-10LJ, GAL22V10C-10LJ or GAL22V10B-10LJ	28-Lead PLCC
15	10	8	55	GAL22V10D-15QP or GAL22V10B-15QP	24-Pin Plastic DIP
			55	GAL22V10D-15QJ or GAL22V10B-15QJ	28-Lead PLCC
			130	GAL22V10D-15LP or GAL22V10B-15LP	24-Pin Plastic DIP
			130	GAL22V10D-15LJ or GAL22V10B-15LJ	28-Lead PLCC
25	15	15	55	GAL22V10D-25QP or GAL22V10B-25QP	24-Pin Plastic DIP
			55	GAL22V10D-25QJ or GAL22V10B-25QJ	28-Lead PLCC
			90	GAL22V10D-25LP or GAL22V10B-25LP	24-Pin Plastic Dip
			90	GAL22V10D-25LJ or GAL22V10B-25LJ	28-Pin PLCC

Industrial Grade Specifications

Tpd (ns)	Tsu (ns)	Tco (ns)	Icc (mA)	Ordering #	Package
7.5	5	4.5	160	GAL22V10D-7LPI or GAL22V10C-7LPI	24-Pin Plastic DIP
	4.5	4.5	160	GAL22V10D-7LJI or GAL22V10C-7LJI	28-Lead PLCC
10	7	7	160	GAL22V10D-10LPI or GAL22V10C-10LPI	24-Pin Plastic DIP
			160	GAL22V10D-10LJI or GAL22V10C-10LJI	28-Lead PLCC
15	10	8	150	GAL22V10D-15LPI or GAL22V10B-15LPI	24-Pin Plastic DIP
			150	GAL22V10D-15LJI or GAL22V10B-15LJI	28-Lead PLCC
20	14	10	150	GAL22V10D-20LPI or GAL22V10B-20LPI	24-Pin Plastic DIP
			150	GAL22V10D-20LJI or GAL22V10B-20LJI	28-Lead PLCC
25	15	15	150	GAL22V10D-25LPI or GAL22V10B-25LPI	24-Pin Plastic DIP
			150	GAL22V10D-25LJI or GAL22V10B-25LJI	28-Lead PLCC

Part Number Description



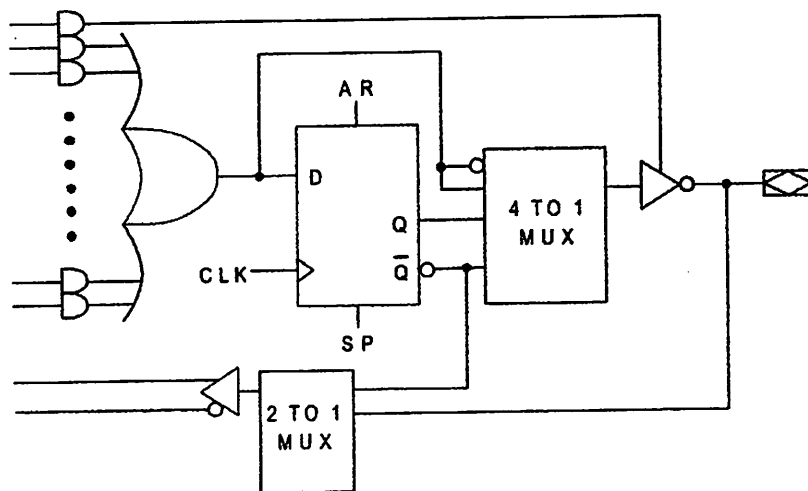
Output Logic Macrocell (OLMC)

The GAL22V10 has a variable number of product terms per OLMC. Of the ten available OLMCs, two OLMCs have access to eight product terms (pins 14 and 23, DIP pinout), two have ten product terms (pins 15 and 22), two have twelve product terms (pins 16 and 21), two have fourteen product terms (pins 17 and 20), and two OLMCs have sixteen product terms (pins 18 and 19). In addition to the product terms available for logic, each OLMC has an additional product-term dedicated to output enable control.

The output polarity of each OLMC can be individually programmed to be true or inverting, in either combinatorial or registered mode. This allows each output to be individually configured as either active high or active low.

The GAL22V10 has a product term for Asynchronous Reset (AR) and a product term for Synchronous Preset (SP). These two product terms are common to all registered OLMCs. The Asynchronous Reset sets all registers to zero any time this dedicated product term is asserted. The Synchronous Preset sets all registers to a logic one on the rising edge of the next clock pulse after this product term is asserted.

NOTE: The AR and SP product terms will force the Q output of the flip-flop into the same state regardless of the polarity of the output. Therefore, a reset operation, which sets the register output to a zero, may result in either a high or low at the output pin, depending on the pin polarity chosen.



GAL22V10 OUTPUT LOGIC MACROCELL (OLMC)

Output Logic Macrocell Configurations

Each of the Macrocells of the GAL22V10 has two primary functional modes: registered, and combinatorial I/O. The modes and the output polarity are set by two bits (S0 and S1), which are normally controlled by the logic compiler. Each of these two primary modes, and the bit settings required to enable them, are described below and on the following page.

REGISTERED

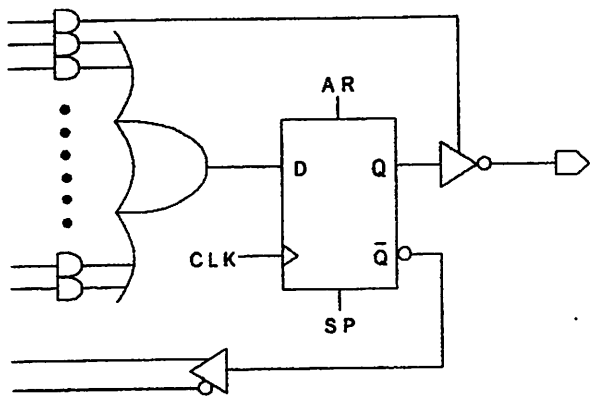
In registered mode the output pin associated with an individual OLMC is driven by the Q output of that OLMC's D-type flip-flop. Logic polarity of the output signal at the pin may be selected by specifying that the output buffer drive either true (active high) or inverted (active low). Output tri-state control is available as an individual product-term for each output, and may be individually set by the compiler as either "on" (dedicated output), "off" (dedicated input), or "product-term driven" (dynamic I/O). Feedback into the AND array is from the pin side of the output enable buffer. Both polarities (true and inverted) of the pin are fed back into the AND array.

NOTE: In registered mode, the feedback is from the /Q output of the register, and not from the pin; therefore, a pin defined as registered is an output only, and cannot be used for dynamic I/O, as can the combinatorial pins.

COMBINATORIAL I/O

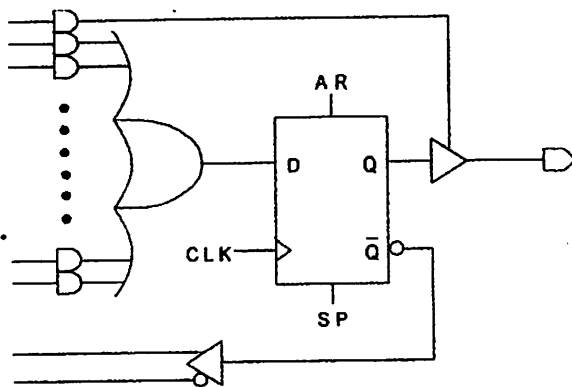
In combinatorial mode the pin associated with an individual OLMC is driven by the output of the sum term gate. Logic polarity of the output signal at the pin may be selected by specifying that the output buffer drive either true (active high) or inverted (active low). Output tri-state control is available as an individual product-term for each output, and may be individually set by the compiler as either "on" (dedicated output), "off" (dedicated input), or "product-term driven" (dynamic I/O). Feedback into the AND array is from the pin side of the output enable buffer. Both polarities (true and inverted) of the pin are fed back into the AND array.

Registered Mode



ACTIVE LOW

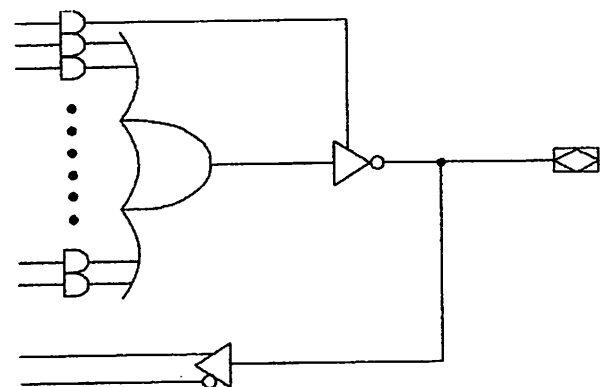
$S_0 = 0$
 $S_1 = 0$



ACTIVE HIGH

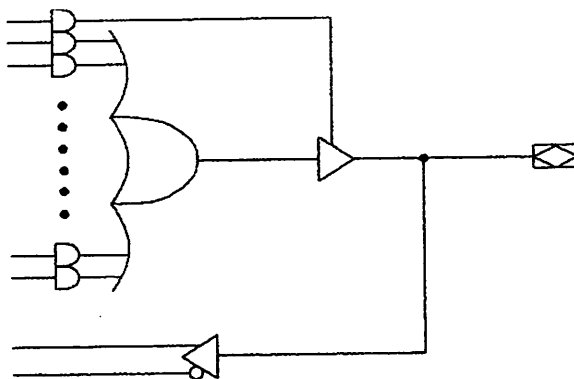
$S_0 = 1$
 $S_1 = 0$

Combinatorial Mode



ACTIVE LOW

$S_0 = 0$
 $S_1 = 1$

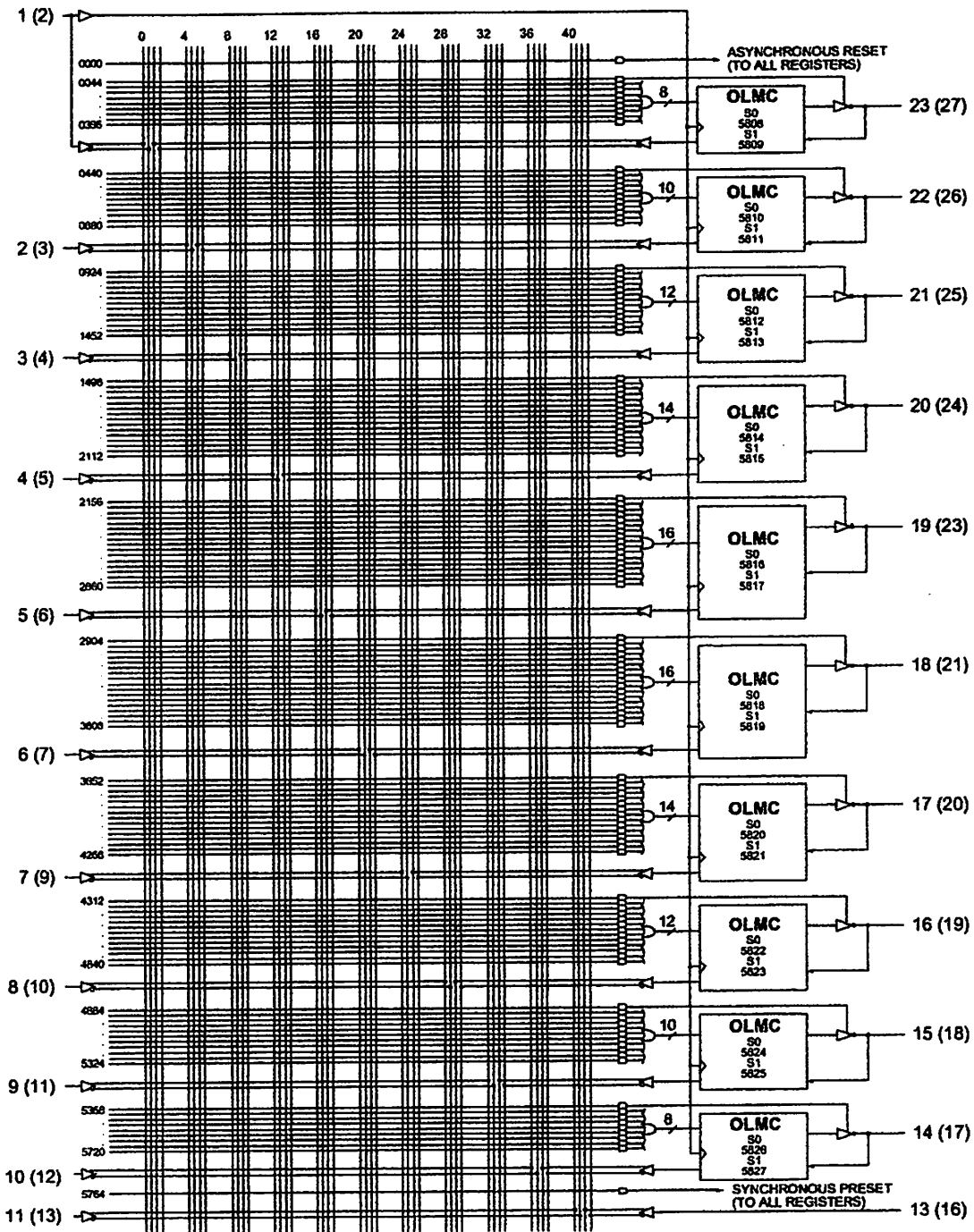


ACTIVE HIGH

$S_0 = 1$
 $S_1 = 1$

GAL22V10 Logic Diagram / JEDEC Fuse Map

DIP (PLCC) Package Pinouts



5828, 5829 ... Electronic Signature ... 5890, 5891
 Byte 7 | Byte 6 | Byte 5 | Byte 4 | Byte 3 | Byte 2 | Byte 1 | Byte 0

M
 B
 S

Absolute Maximum Ratings¹

Supply voltage V_{CC}	-0.5 to +7V
Input voltage applied	-2.5 to $V_{CC} + 1.0V$
Off-state output voltage applied	-2.5 to $V_{CC} + 1.0V$
Storage Temperature	-65 to 150°C
Ambient Temperature with Power Applied	-55 to 125°C

Stresses above those listed under the "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress only ratings and functional operation of the device at these or at any other conditions above those indicated in the operational sections of this specification is not implied (while programming, follow the programming specifications).

Recommended Operating Conditions

Commercial Devices:

Ambient Temperature (T_A)	0 to +75°C
Supply voltage (V_{CC}) with Respect to Ground	+4.75 to +5.25V

Industrial Devices:

Ambient Temperature (T_A)	-40 to 85°C
Supply voltage (V_{CC}) with Respect to Ground	+4.50 to +5.50V

DC Electrical Characteristics

Over Recommended Operating Conditions (Unless Otherwise Specified)

SYMBOL	PARAMETER	CONDITION	MIN.	TYP. ³	MAX.	UNITS
V_{IL}	Input Low Voltage		$V_{SS} - 0.5$	—	0.8	V
V_{IH}	Input High Voltage		2.0	—	$V_{CC} + 1$	V
I_{IL}^1	Input or I/O Low Leakage Current	$0V \leq V_{IN} \leq V_{IL} (MAX.)$	—	—	-100	μA
I_{IH}	Input or I/O High Leakage Current	$3.5V \leq V_{IN} \leq V_{CC}$	—	—	10	μA
V_{OL}	Output Low Voltage	$I_{OL} = MAX. V_{IN} = V_{IL} \text{ OR } V_{IH}$	—	—	0.5	V
V_{OH}	Output High Voltage	$I_{OH} = MAX. V_{IN} = V_{IL} \text{ OR } V_{IH}$	2.4	—	—	V
I_{OL}	Low Level Output Current		—	—	16	mA
I_{OH}	High Level Output Current		—	—	-3.2	mA
I_{OS}^2	Output Short Circuit Current	$V_{CC} = 5V \quad V_{OUT} = 0.5V \quad T_A = 25^\circ C$	-30	—	-130	mA

COMMERCIAL

ICC	Operating Power Supply Current	$V_{IL} = 0.5V \quad V_{IH} = 3.0V$ $f_{toggle} = 15MHz \quad \text{Outputs Open}$	L-4/-5/-7	—	90	140	mA
			L-10/-15	—	90	130	mA
			L-25	—	75	90	mA
			Q-10/-15/-25	—	45	55	mA

INDUSTRIAL

ICC	Operating Power Supply Current	$V_{IL} = 0.5V \quad V_{IH} = 3.0V$ $f_{toggle} = 15MHz \quad \text{Outputs Open}$	L-7/-10	—	90	160	mA
			L-15/-20/-25	—	75	150	mA

- 1) The leakage current is due to the internal pull-up on all pins. See Input Buffer section for more information.
- 2) One output at a time for a maximum duration of one second. $V_{out} = 0.5V$ was selected to avoid test problems caused by tester ground degradation. Characterized but not 100% tested.
- 3) Typical values are at $V_{CC} = 5V$ and $T_A = 25^\circ C$

AC Switching Characteristics

Over Recommended Operating Conditions

PARAM	TEST COND. ¹	DESCRIPTION	COM -4		COM -5		COM -7		UNITS
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
			t_{pd}	A	Input or I/O to Combinatorial Output	1	4	1	
t_{co}	A	Clock to Output Delay	1	3.5	1	4	1	4.5	ns
t_{cf}	—	Clock to Feedback Delay	—	2.5	—	3	—	3	ns
t_{su}	—	Setup Time, Input or Fdbk before Clk \uparrow	2.5	—	3	—	4.5	—	ns
t_h	—	Hold Time, Input or Fdbk after Clk \uparrow	0	—	0	—	0	—	ns
f_{max} ²	A	Maximum Clock Frequency with External Feedback, $1/(t_{su} + t_{co})$	167	—	142.8	—	111	—	MHz
	A	Maximum Clock Frequency with Internal Feedback, $1/(t_{su} + t_{cf})$	200	—	166	—	133	—	MHz
	A	Maximum Clock Frequency with No Feedback	250	—	200	—	166	—	MHz
t_{wh}	—	Clock Pulse Duration, High	2	—	2.5	—	3	—	ns
t_{wl}	—	Clock Pulse Duration, Low	2	—	2.5	—	3	—	ns
t_{en}	B	Input or I/O to Output Enabled	1	5	1	6	1	7.5	ns
t_{dis}	C	Input or I/O to Output Disabled	1	5	1	6	1	7.5	ns
t_{ar}	A	Input or I/O to Asynch. Reset of Reg.	1	4.5	1	5.5	1	9	ns
t_{arw}	—	Asynch. Reset Pulse Duration	4.5	—	5.5	—	7	—	ns
t_{arr}	—	Asynch. Reset to Clk \uparrow Recovery Time	3	—	4	—	5	—	ns
t_{spr}	—	Synch. Preset to Clk \uparrow Recovery Time	3	—	4	—	5	—	ns

1) Refer to **Switching Test Conditions** section.

2) Calculated from f_{max} with internal feedback. Refer to f_{max} **Description** section.

3) Refer to f_{max} **Description** section. Characterized initially and after any design or process changes that may affect these parameters.

Capacitance ($T_A = 25^\circ\text{C}$, $f = 1.0\text{ MHz}$)

SYMBOL	PARAMETER	MAXIMUM*	UNITS	TEST CONDITIONS
C_i	Input Capacitance	8	pF	$V_{cc} = 5.0\text{V}$, $V_i = 2.0\text{V}$
$C_{i/o}$	I/O Capacitance	8	pF	$V_{cc} = 5.0\text{V}$, $V_{i/o} = 2.0\text{V}$

Characterized but not 100% tested.

AC Switching Characteristics

Over Recommended Operating Conditions

PARAM.	TEST COND. ¹	DESCRIPTION	COM / IND		COM / IND		IND		COM / IND		UNITS
			-10		-15		-20		-25		
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
t _{pd}	A	Input or I/O to Comb. Output	1	10	3	15	3	20	3	25	ns
t _{co}	A	Clock to Output Delay	1	7	2	8	2	10	2	15	ns
t _{cf} ²	—	Clock to Feedback Delay	—	2.5	—	2.5	—	8	—	13	ns
t _{su}	—	Setup Time, Input or Fdbk before Clk↑	7	—	10	—	14	—	15	—	ns
t _h	—	Hold Time, Input or Fdbk after Clk↑	0	—	0	—	0	—	0	—	ns
f _{max} ³	A	Maximum Clock Frequency with External Feedback, 1/(t _{su} + t _{co})	71.4	—	55.5	—	41.6	—	33.3	—	MHz
	A	Maximum Clock Frequency with Internal Feedback, 1/(t _{su} + t _{cf})	105	—	80	—	45.4	—	35.7	—	MHz
	A	Maximum Clock Frequency with No Feedback	105	—	83.3	—	50	—	38.5	—	MHz
t _{wh}	—	Clock Pulse Duration, High	4	—	6	—	10	—	13	—	ns
t _{wl}	—	Clock Pulse Duration, Low	4	—	6	—	10	—	13	—	ns
t _{en}	B	Input or I/O to Output Enabled	1	10	3	15	3	20	3	25	ns
t _{dis}	C	Input or I/O to Output Disabled	1	9	3	15	3	20	3	25	ns
t _{ar}	A	Input or I/O to Asynch. Reset of Reg.	1	13	3	20	3	25	3	25	ns
t _{arw}	—	Asynch. Reset Pulse Duration	8	—	15	—	20	—	25	—	ns
t _{arr}	—	Asynch. Reset to Clk↑ Recovery Time	8	—	10	—	20	—	25	—	ns
t _{spr}	—	Synch. Preset to Clk↑ Recovery Time	10	—	10	—	14	—	15	—	ns

1) Refer to Switching Test Conditions section.

2) Calculated from f_{max} with internal feedback. Refer to f_{max} Description section.

3) Refer to f_{max} Description section.

Capacitance (T_A = 25°C, f = 1.0 MHz)

SYMBOL	PARAMETER	MAXIMUM*	UNITS	TEST CONDITIONS
C _i	Input Capacitance	8	pF	V _{CC} = 5.0V, V _I = 2.0V
C _{IO}	I/O Capacitance	8	pF	V _{CC} = 5.0V, V _{IO} = 2.0V

*Characterized but not 100% tested.



Specifications **GAL22V10C**

Absolute Maximum Ratings¹

Supply voltage V_{CC} -0.5 to +7V
 Output voltage applied -2.5 to $V_{CC} + 1.0V$
 Off-state output voltage applied -2.5 to $V_{CC} + 1.0V$
 Storage Temperature -65 to 150°C
 Ambient Temperature with Power Applied -55 to 125°C
 Stresses above those listed under the "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress only ratings and functional operation of the device at these or at any other conditions above those indicated in the operational sections of this specification is not implied (while programming, follow the programming specifications).

Recommended Operating Conditions

Commercial Devices:
 Ambient Temperature (T_A) 0 to +75°C
 Supply voltage (V_{CC}) with Respect to Ground +4.75 to +5.25V

Industrial Devices:
 Ambient Temperature (T_A) -40 to 85°C
 Supply voltage (V_{CC}) with Respect to Ground +4.50 to +5.50V

DC Electrical Characteristics

Over Recommended Operating Conditions (Unless Otherwise Specified)

SYMBOL	PARAMETER	CONDITION	MIN.	TYP. ³	MAX.	UNITS
V_{IL}	Input Low Voltage		$V_{SS} - 0.5$	—	0.8	V
V_{IH}	Input High Voltage		2.0	—	$V_{CC} + 1$	V
I_{IL}^1	Input or I/O Low Leakage Current	$0V \leq V_{IN} \leq V_{IL} (MAX.)$	—	—	-100	μA
I_{IH}	Input or I/O High Leakage Current	$3.5V \leq V_{IN} \leq V_{CC}$	—	—	10	μA
V_{OL}	Output Low Voltage	$I_{OL} = MAX. V_{IN} = V_{IL} \text{ or } V_{IH}$	—	—	0.5	V
V_{OH}	Output High Voltage	$I_{OH} = MAX. V_{IN} = V_{IL} \text{ or } V_{IH}$	2.4	—	—	V
I_{OL}	Low Level Output Current		—	—	16	mA
I_{OH}	High Level Output Current		—	—	-3.2	mA
I_{OS}^2	Output Short Circuit Current	$V_{CC} = 5V \quad V_{OUT} = 0.5V \quad T_A = 25^\circ C$	-30	—	-130	mA

COMMERCIAL

ICC	Operating Power Supply Current	$V_{IL} = 0.5V \quad V_{IH} = 3.0V$ $f_{toggle} = 15MHz$ Outputs Open	L-5	—	90	150	mA
			L-7	—	90	140	mA
			L-10	—	90	130	mA

INDUSTRIAL

ICC	Operating Power Supply Current	$V_{IL} = 0.5V \quad V_{IH} = 3.0V$ $f_{toggle} = 15MHz$ Outputs Open	L-7/-10	—	90	160	mA

¹ The leakage current is due to the internal pull-up on all pins. See **Input Buffer** section for more information.
² One output at a time for a maximum duration of one second. $V_{out} = 0.5V$ was selected to avoid test problems caused by tester round degradation. Characterized but not 100% tested.
³ Typical values are at $V_{CC} = 5V$ and $T_A = 25^\circ C$

AC Switching Characteristics

Over Recommended Operating Conditions

PARAM	TEST COND. ¹	DESCRIPTION	COM		COM/IND		COM/IND		COM		IND		UNITS
			-5		-7 (PLCC)		-7 (PDIP)		-10		-10		
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
t _{pd}	A	Input or I/O to Combinatorial Output	1	5	1	7.5	1	7.5	3	10	1	10	ns
t _{co}	A	Clock to Output Delay	1	4	1	4.5	1	4.5	2	7	1	7	ns
t _{cf} ²	—	Clock to Feedback Delay	—	3	—	3	—	3	—	2.5	—	2.5	ns
t _{su}	—	Setup Time, Input or Fdbk before Clk↑	3	—	4.5	—	5	—	7	—	7	—	ns
t _h	—	Hold Time, Input or Fdbk after Clk↑	0	—	0	—	0	—	0	—	0	—	ns
f _{max} ³	A	Maximum Clock Frequency with External Feedback, 1/(t _{su} + t _{co})	142.8	—	111	—	105	—	71.4	—	71.4	—	MHz
	A	Maximum Clock Frequency with Internal Feedback, 1/(t _{su} + t _{cf})	166	—	133	—	125	—	105	—	105	—	MHz
	A	Maximum Clock Frequency with No Feedback	200	—	166	—	142.8	—	105	—	105	—	MHz
t _{wh}	—	Clock Pulse Duration, High	2.5	—	3	—	3.5	—	4	—	4	—	ns
t _{wl}	—	Clock Pulse Duration, Low	2.5	—	3	—	3.5	—	4	—	4	—	ns
t _{en}	B	Input or I/O to Output Enabled	1	6	1	7.5	1	7.5	3	10	1	10	ns
t _{dis}	C	Input or I/O to Output Disabled	1	6	1	7.5	1	7.5	3	9	1	9	ns
t _{ar}	A	Input or I/O to Asynch. Reset of Reg.	1	5.5	1	9	1	9	3	13	1	13	ns
t _{arw}	—	Asynch. Reset Pulse Duration	5.5	—	7	—	7	—	8	—	8	—	ns
t _{arr}	—	Asynch. Reset to Clk↑ Recovery Time	4	—	5	—	5	—	8	—	8	—	ns
t _{spr}	—	Synch. Preset to Clk↑ Recovery Time	4	—	5	—	5	—	10	—	10	—	ns

¹) Refer to **Switching Test Conditions** section.

²) Calculated from f_{max} with internal feedback. Refer to f_{max} **Description** section.

³) Refer to f_{max} **Description** section. Characterized initially and after any design or process changes that may affect these parameters.

Capacitance (T_A = 25°C, f = 1.0 MHz)

SYMBOL	PARAMETER	MAXIMUM*	UNITS	TEST CONDITIONS
C _i	Input Capacitance	8	pF	V _{cc} = 5.0V, V _i = 2.0V
C _{io}	I/O Capacitance	8	pF	V _{cc} = 5.0V, V _{io} = 2.0V

*Characterized but not 100% tested.



Specifications **GAL22V10B**

Absolute Maximum Ratings¹

Supply voltage V_{CC} -0.5 to +7V
 Output voltage applied -2.5 to $V_{CC} + 1.0V$
 Off-state output voltage applied -2.5 to $V_{CC} + 1.0V$
 Storage Temperature -65 to 150°C
 Ambient Temperature with Power Applied -55 to 125°C
 Stresses above those listed under the "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress only ratings and functional operation of the device at these or at any other conditions above those indicated in the operational sections of this specification is not implied (while programming, follow the programming specifications).

Recommended Operating Conditions

Commercial Devices:
 Ambient Temperature (T_A) 0 to +75°C
 Supply voltage (V_{CC}) with Respect to Ground +4.75 to +5.25V

Industrial Devices:
 Ambient Temperature (T_A) -40 to 85°C
 Supply voltage (V_{CC}) with Respect to Ground +4.50 to +5.50V

DC Electrical Characteristics

Over Recommended Operating Conditions (Unless Otherwise Specified)

SYMBOL	PARAMETER	CONDITION	MIN.	TYP. ³	MAX.	UNITS
V_{IL}	Input Low Voltage		$V_{SS} - 0.5$	—	0.8	V
V_{IH}	Input High Voltage		2.0	—	$V_{CC} + 1$	V
I_{IL}^1	Input or I/O Low Leakage Current	$0V \leq V_{IN} \leq V_{IL} (MAX.)$	—	—	-100	μA
I_{IH}	Input or I/O High Leakage Current	$3.5V \leq V_{IN} \leq V_{CC}$	—	—	10	μA
V_{OL}	Output Low Voltage	$I_{OL} = MAX. V_{in} = V_{IL} \text{ or } V_{IH}$	—	—	0.5	V
V_{OH}	Output High Voltage	$I_{OH} = MAX. V_{in} = V_{IL} \text{ or } V_{IH}$	2.4	—	—	V
I_{OL}	Low Level Output Current		—	—	16	mA
I_{OH}	High Level Output Current		—	—	-3.2	mA
I_{OS}^2	Output Short Circuit Current	$V_{CC} = 5V \quad V_{OUT} = 0.5V \quad T_A = 25^\circ C$	-30	—	-130	mA

COMMERCIAL

ICC	Operating Power Supply Current	$V_{IL} = 0.5V \quad V_{IH} = 3.0V$ $f_{toggle} = 15MHz$ Outputs Open	L-7	—	90	140	mA
			L-10/-15	—	90	130	mA
L-25	—	75	90	mA			
Q-15/-25	—	45	55	mA			

INDUSTRIAL

ICC	Operating Power Supply Current	$V_{IL} = 0.5V \quad V_{IH} = 3.0V$ $f_{toggle} = 15MHz$ Outputs Open	L-15/-20/-25	—	90	150	mA

¹) The leakage current is due to the internal pull-up on all pins. See Input Buffer section for more information.
²) One output at a time for a maximum duration of one second. $V_{out} = 0.5V$ was selected to avoid test problems caused by tester ground degradation. Characterized but not 100% tested.
³) Typical values are at $V_{CC} = 5V$ and $T_A = 25^\circ C$

AC Switching Characteristics

Over Recommended Operating Conditions

PARAM.	TEST COND. ¹	DESCRIPTION	COM		COM		COM / IND		IND		COM / IND		UNITS
			-7		-10		-15		-20		-25		
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
t_{pd}	A	Input or I/O to Comb. Output	3	7.5	3	10	3	15	3	20	3	25	ns
t_{co}	A	Clock to Output Delay	2	5	2	7	2	8	2	10	2	15	ns
t_{cf}	—	Clock to Feedback Delay	—	2.5	—	2.5	—	2.5	—	8	—	13	ns
t_{su_1}	—	Setup Time, Input or Fdbk before Clk \uparrow	6.5	—	7	—	10	—	14	—	15	—	ns
t_{su_2}	—	Setup Time, SP before Clock \uparrow	10	—	10	—	10	—	14	—	15	—	ns
t_h	—	Hold Time, Input or Fdbk after Clk \uparrow	0	—	0	—	0	—	0	—	0	—	ns
f_{max}^3	A	Maximum Clock Frequency with External Feedback, $1/(t_{su} + t_{co})$	87	—	71.4	—	55.5	—	41.6	—	33.3	—	MHz
	A	Maximum Clock Frequency with Internal Feedback, $1/(t_{su} + t_{cf})$	111	—	105	—	80	—	45.4	—	35.7	—	MHz
	A	Maximum Clock Frequency with No Feedback	111	—	105	—	83.3	—	50	—	38.5	—	MHz
t_{wh}	—	Clock Pulse Duration, High	4	—	4	—	6	—	10	—	13	—	ns
t_{wl}	—	Clock Pulse Duration, Low	4	—	4	—	6	—	10	—	13	—	ns
t_{en}	B	Input or I/O to Output Enabled	3	8	3	10	3	15	3	20	3	25	ns
t_{dis}	C	Input or I/O to Output Disabled	3	8	3	9	3	15	3	20	3	25	ns
t_{ar}	A	Input or I/O to Asynch. Reset of Reg.	3	13	3	13	3	20	3	25	3	25	ns
t_{arw}	—	Asynch. Reset Pulse Duration	8	—	8	—	15	—	20	—	25	—	ns
t_{arr}	—	Asynch. Reset to Clk \uparrow Recovery Time	8	—	8	—	10	—	20	—	25	—	ns
t_{spr}	—	Synch. Preset to Clk \uparrow Recovery Time	10	—	10	—	10	—	14	—	15	—	ns

1) Refer to Switching Test Conditions section.

2) Calculated from f_{max} with internal feedback. Refer to f_{max} Description section.

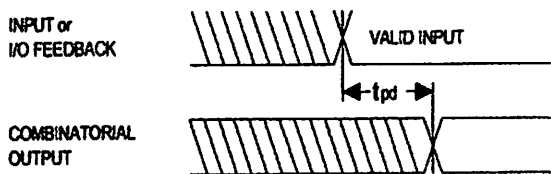
3) Refer to f_{max} Description section.

Capacitance ($T_A = 25^\circ\text{C}$, $f = 1.0\text{ MHz}$)

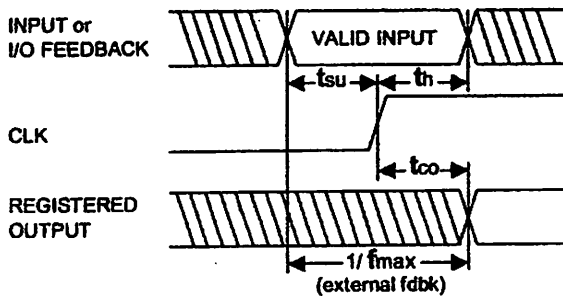
SYMBOL	PARAMETER	MAXIMUM*	UNITS	TEST CONDITIONS
C_i	Input Capacitance	8	pF	$V_{cc} = 5.0\text{V}$, $V_i = 2.0\text{V}$
C_{io}	I/O Capacitance	8	pF	$V_{cc} = 5.0\text{V}$, $V_{io} = 2.0\text{V}$

*Characterized but not 100% tested.

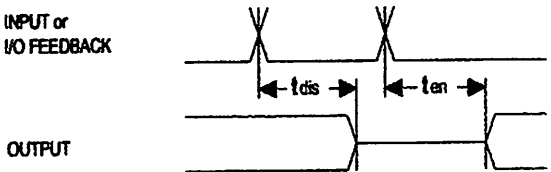
Switching Waveforms



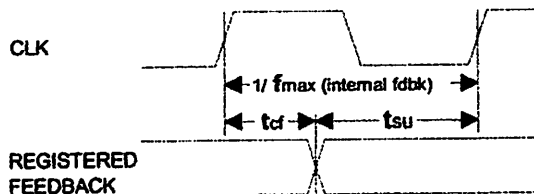
Combinatorial Output



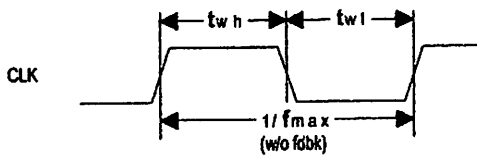
Registered Output



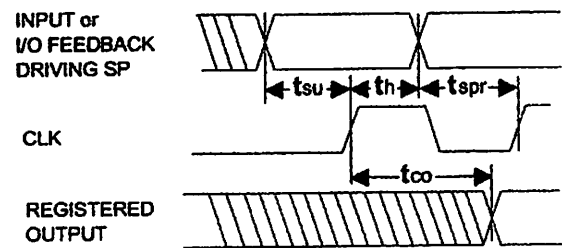
Input or I/O to Output Enable/Disable



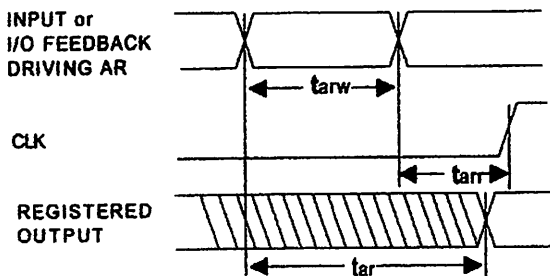
fmax with Feedback



Clock Width

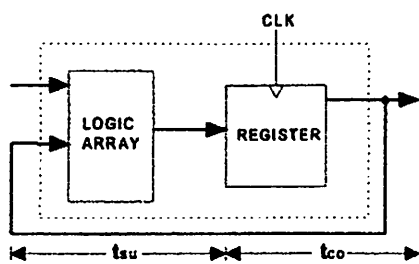


Synchronous Preset



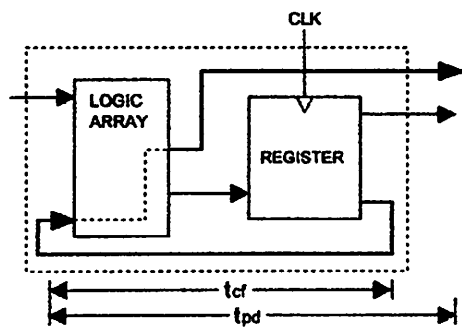
Asynchronous Reset

fmax Descriptions



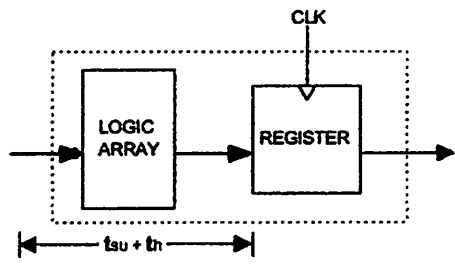
fmax with External Feedback $1/(tsu+tco)$

Note: fmax with external feedback is calculated from measured tsu and tco.



fmax with Internal Feedback $1/(tsu+tcf)$

Note: tcf is a calculated value, derived by subtracting tsu from the period of fmax w/internal feedback ($tcf = 1/fmax - tsu$). The value of tcf is used primarily when calculating the delay from clocking a register to a combinatorial output (through registered feedback), as shown above. For example, the timing from clock to a combinatorial output is equal to $tcf + tpd$.



fmax with No Feedback

Note: fmax with no feedback may be less than $1/(twh + twl)$. This is to allow for a clock duty cycle of other than 50%.

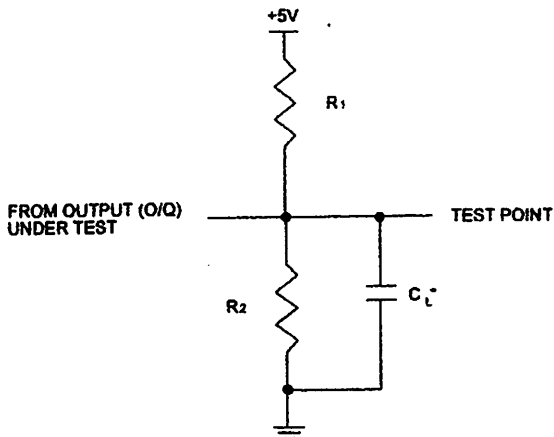
Switching Test Conditions

Input Pulse Levels	GND to 3.0V	
Input Rise and Fall Times	D-4/-5/-7, C-5	1.5ns 10% – 90%
	D-10/-15/-20/-25 B & C-7/-10	2.0ns 10% – 90%
	B-15/-20/-25 3ns	10% – 90%
Input Timing Reference Levels	1.5V	
Output Timing Reference Levels	1.5V	
Output Load	See Figure	

-state levels are measured 0.5V from steady-state active level.

Output Load Conditions (except D-4) (see figure below)

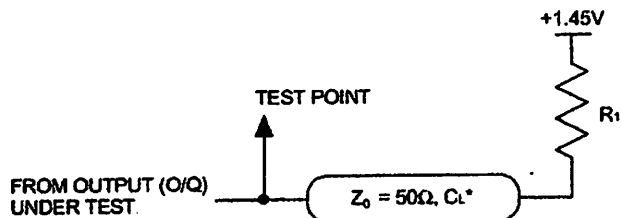
Test Condition	R ₁	R ₂	C _L
A	300Ω	390Ω	50pF
B	Active High	∞	390Ω
	Active Low	300Ω	390Ω
C	Active High	∞	5pF
	Active Low	300Ω	390Ω



*C_L INCLUDES TEST FIXTURE AND PROBE CAPACITANCE

GAL22V10D-4 Output Load Conditions (see figure below)

Test Condition	R ₁	C _L
A	50Ω	50pF
B	Z to Active High at 1.9V	50Ω
	Z to Active Low at 1.0V	50Ω
C	Active High to Z at 1.9V	50Ω
	Active Low to Z at 1.0V	50Ω



Electronic Signature

An electronic signature (ES) is provided in every GAL22V10 device. It contains 64 bits of reprogrammable memory that can contain user-defined data. Some uses include user ID codes, revision numbers, or inventory control. The signature data is always available to the user independent of the state of the security cell.

The electronic signature is an additional feature not present in other manufacturers' 22V10 devices. To use the extra feature of the user-programmable electronic signature it is necessary to choose a Lattice Semiconductor 22V10 device type when compiling a set of logic equations. In addition, many device programmers have two separate selections for the device, typically a GAL22V10 and a GAL22V10-UES (UES = User Electronic Signature) or GAL22V10-ES. This allows users to maintain compatibility with existing 22V10 designs, while still having the option to use the GAL device's extra feature.

The JEDEC map for the GAL22V10 contains the 64 extra fuses for the electronic signature, for a total of 5892 fuses. However, the GAL22V10 device can still be programmed with a standard 22V10 JEDEC map (5828 fuses) with any qualified device programmer.

Security Cell

A security cell is provided in every GAL22V10 device to prevent unauthorized copying of the array patterns. Once programmed, this cell prevents further read access to the functional bits in the device. This cell can only be erased by re-programming the device, so the original configuration can never be examined once this cell is programmed. The Electronic Signature is always available to the user, regardless of the state of this control cell.

Latch-Up Protection

GAL22V10 devices are designed with an on-board charge pump to negatively bias the substrate. The negative bias is of sufficient magnitude to prevent input undershoots from causing the circuitry to latch. Additionally, outputs are designed with n-channel pullups instead of the traditional p-channel pullups to eliminate any possibility of SCR induced latching.

Device Programming

GAL devices are programmed using a Lattice Semiconductor-approved Logic Programmer, available from a number of manufacturers (see the GAL Development Tools section). Complete programming of the device takes only a few seconds. Erasing of the device is transparent to the user, and is done automatically as part of the programming cycle.

Output Register Preload

When testing state machine designs, all possible states and state transitions must be verified in the design, not just those required in the normal machine operations. This is because certain events may occur during system operation that throw the logic into an illegal state (power-up, line voltage glitches, brown-outs, etc.). To test a design for proper treatment of these conditions, a way must be provided to break the feedback paths, and force any desired (i.e., illegal) state into the registers. Then the machine can be sequenced and the outputs tested for correct next state conditions.

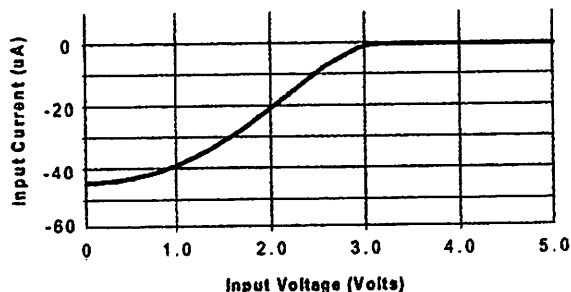
The GAL22V10 device includes circuitry that allows each registered output to be synchronously set either high or low. Thus, any present state condition can be forced for test sequencing. If necessary, approved GAL programmers capable of executing test vectors perform output register preload automatically.

Input Buffers

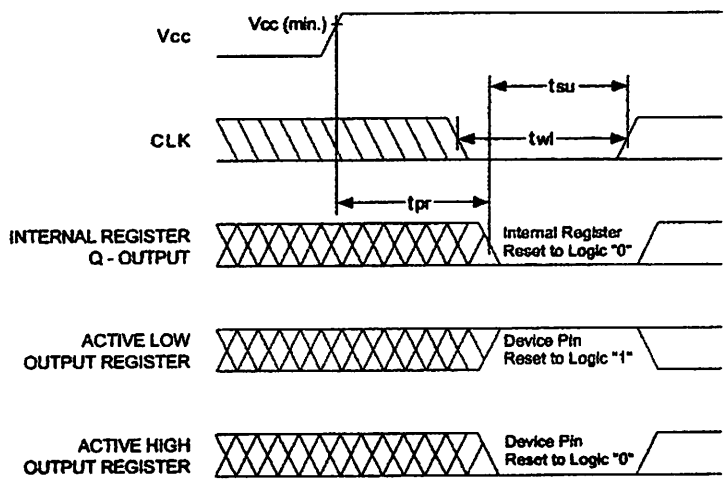
GAL22V10 devices are designed with TTL level compatible input buffers. These buffers have a characteristically high impedance, and present a much lighter load to the driving logic than bipolar TTL devices.

The input and I/O pins also have built-in active pull-ups. As a result, floating inputs will float to a TTL high (logic 1). However, Lattice Semiconductor recommends that all unused inputs and tri-stated I/O pins be connected to an adjacent active input, Vcc, or ground. Doing so will tend to improve noise immunity and reduce Icc for the device. (See equivalent input and I/O schematics on the following page.)

Typical Input Current



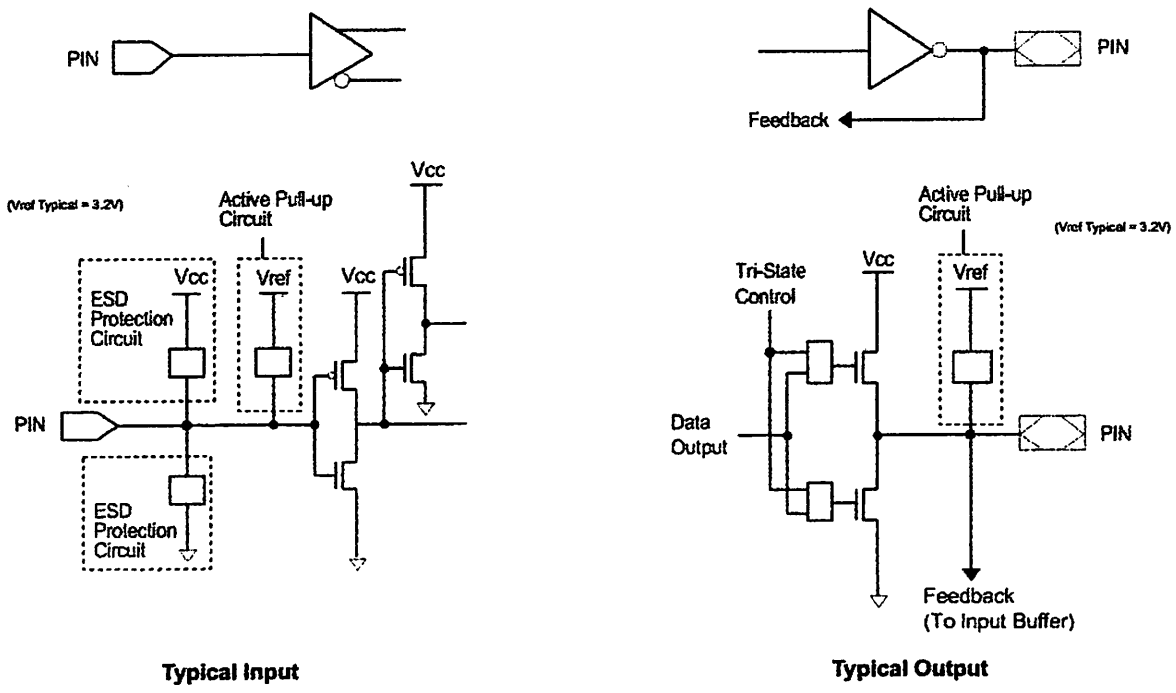
Power-Up Reset



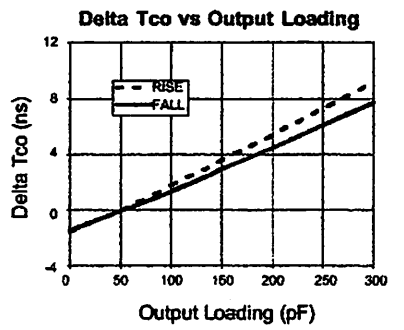
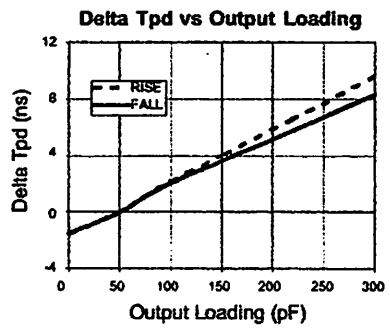
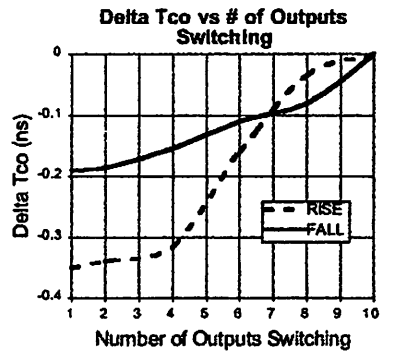
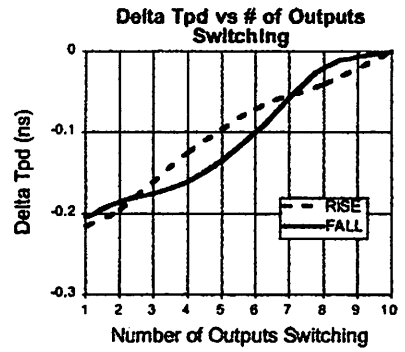
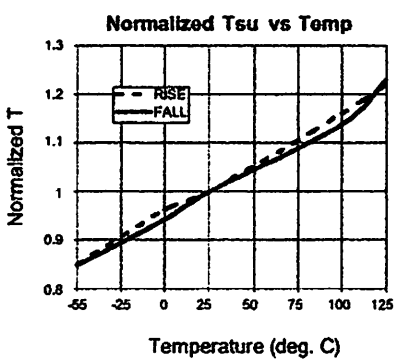
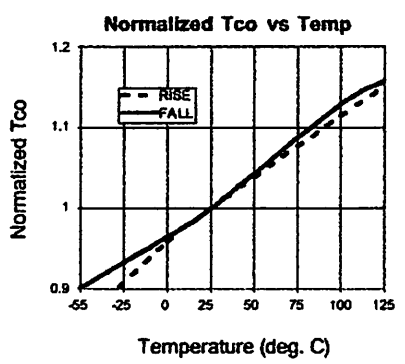
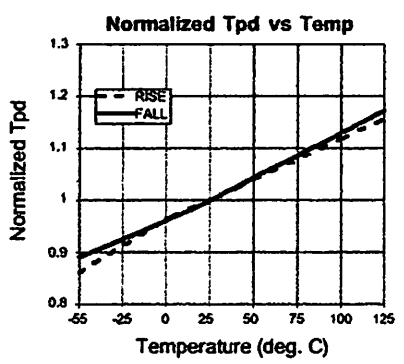
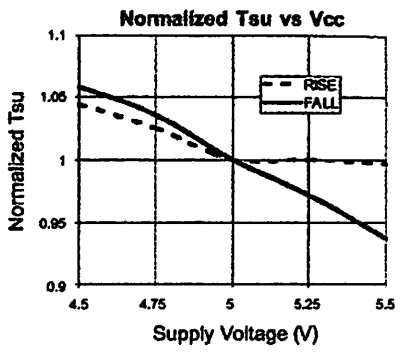
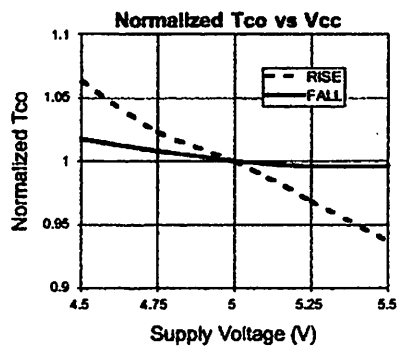
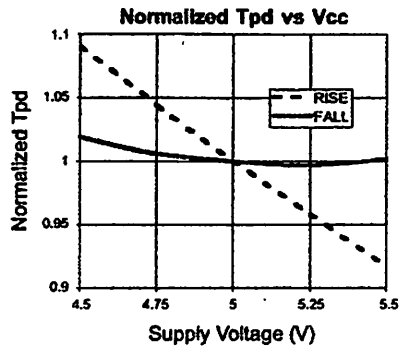
Circuitry within the GAL22V10 provides a reset signal to all registers during power-up. All internal registers will have their Q outputs set low after a specified time (t_{pr} , $1\mu s$ MAX). As a result, the state on the registered output pins (if they are enabled) will be either high or low on power-up, depending on the programmed polarity of the output pins. This feature can greatly simplify state machine design by providing a known state on power-up. The timing diagram for power-up is shown below. Because of the asyn-

chronous nature of system power-up, some conditions must be met to guarantee a valid power-up reset of the GAL22V10. First, the V_{cc} rise must be monotonic. Second, the clock input must be at static TTL level as shown in the diagram during power up. The registers will reset within a maximum of t_{pr} time. As in normal system operation, avoid clocking the device until all input and feedback path setup times have been met. The clock must also meet the minimum pulse width requirements.

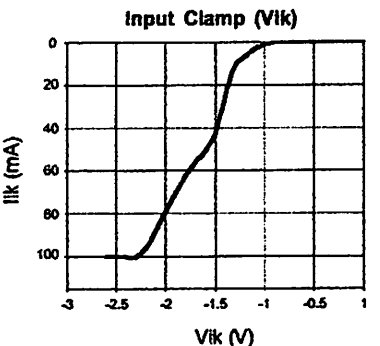
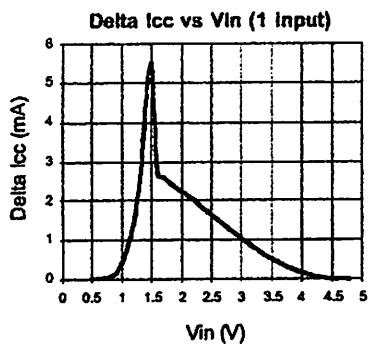
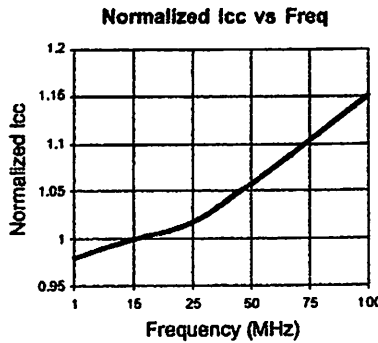
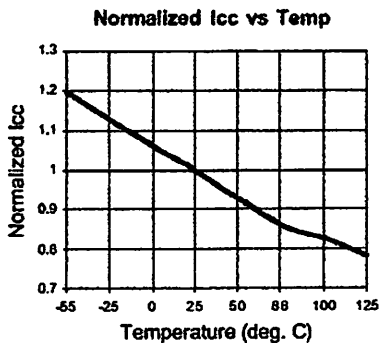
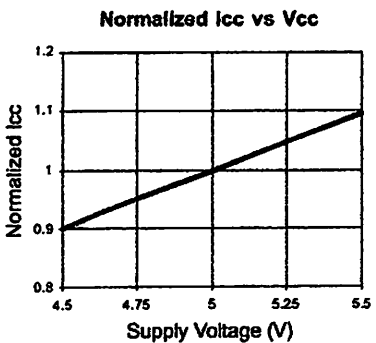
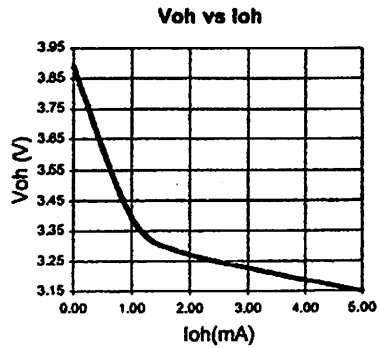
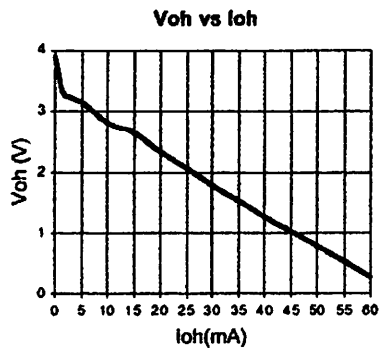
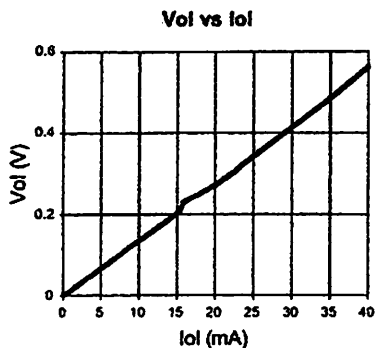
Input/Output Equivalent Schematics



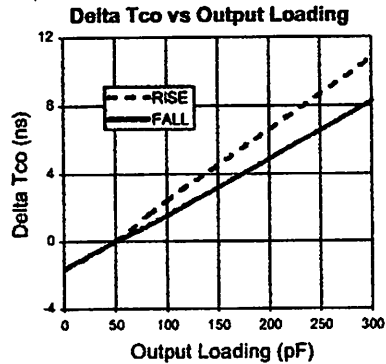
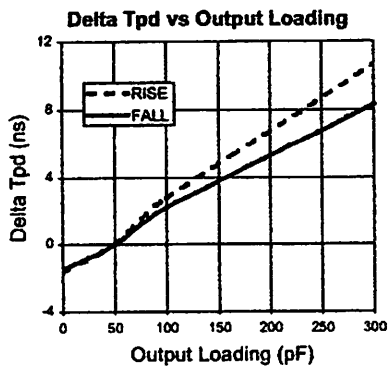
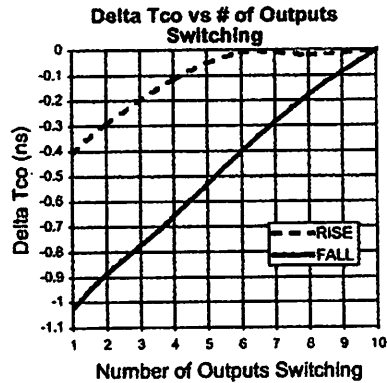
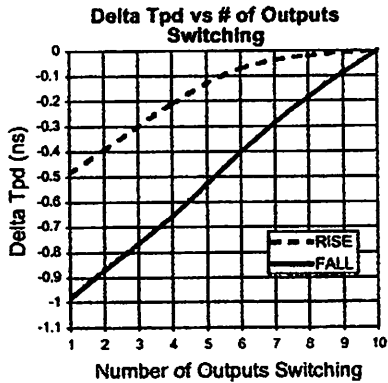
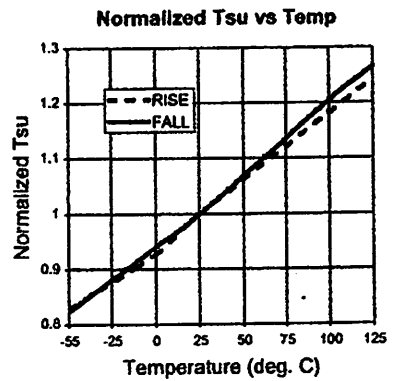
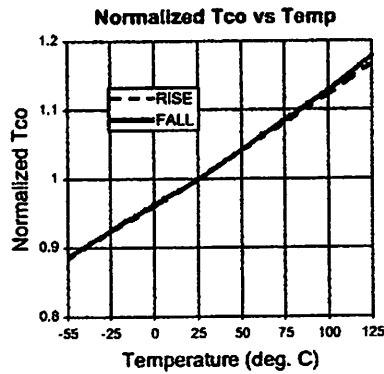
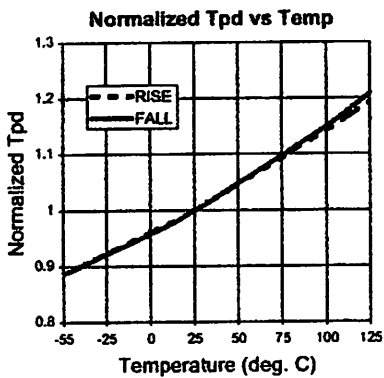
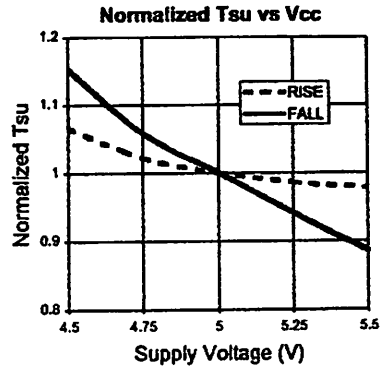
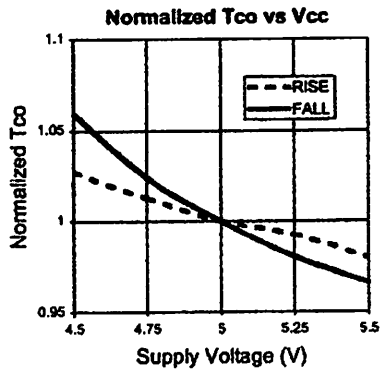
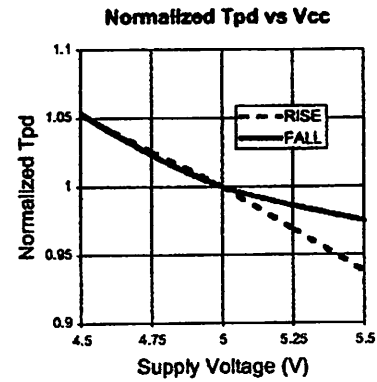
GAL22V10D-4/-5/-7/-10L (PLCC): Typical AC and DC Characteristic Diagrams



GAL22V10D-4/-5/-7/-10L (PLCC): Typical AC and DC Characteristic Diagrams

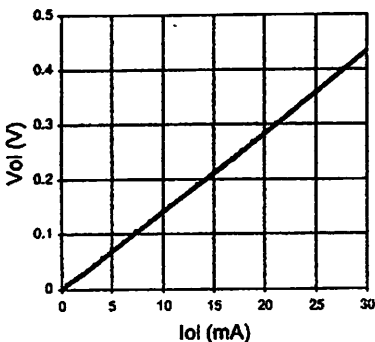


GAL22V10D-7/10L (PDIP): Typical AC and DC Characteristic Diagrams

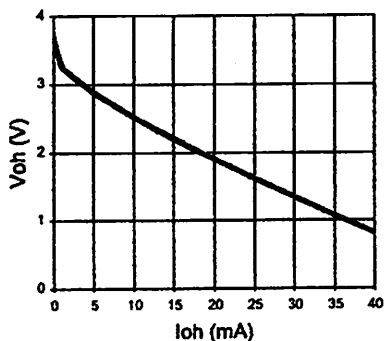


AL22V10D-7/10L (PDIP): Typical AC and DC Characteristic Diagrams

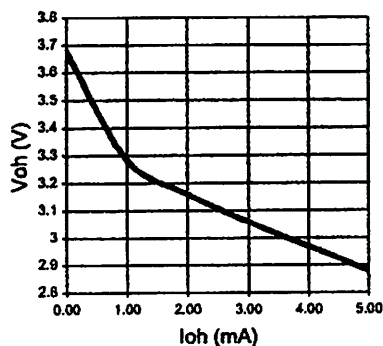
V_{ol} vs I_{ol}



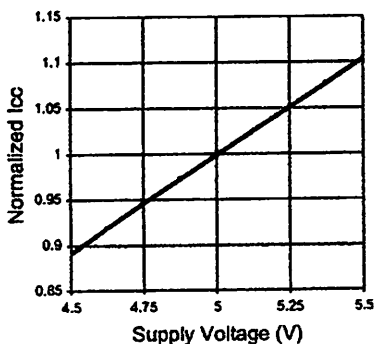
V_{oh} vs I_{oh}



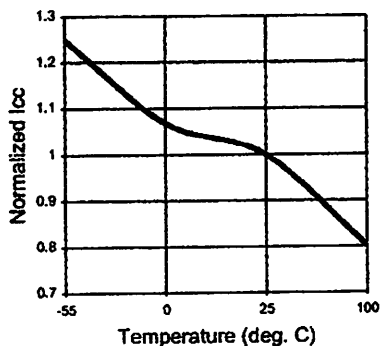
V_{oh} vs I_{oh}



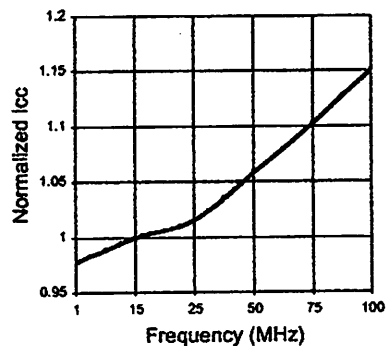
Normalized I_{cc} vs V_{cc}



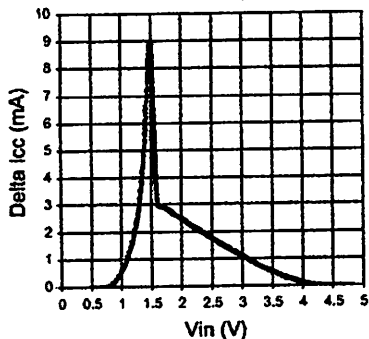
Normalized I_{cc} vs Temp



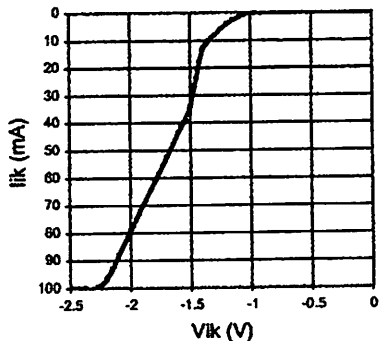
Normalized I_{cc} vs Freq



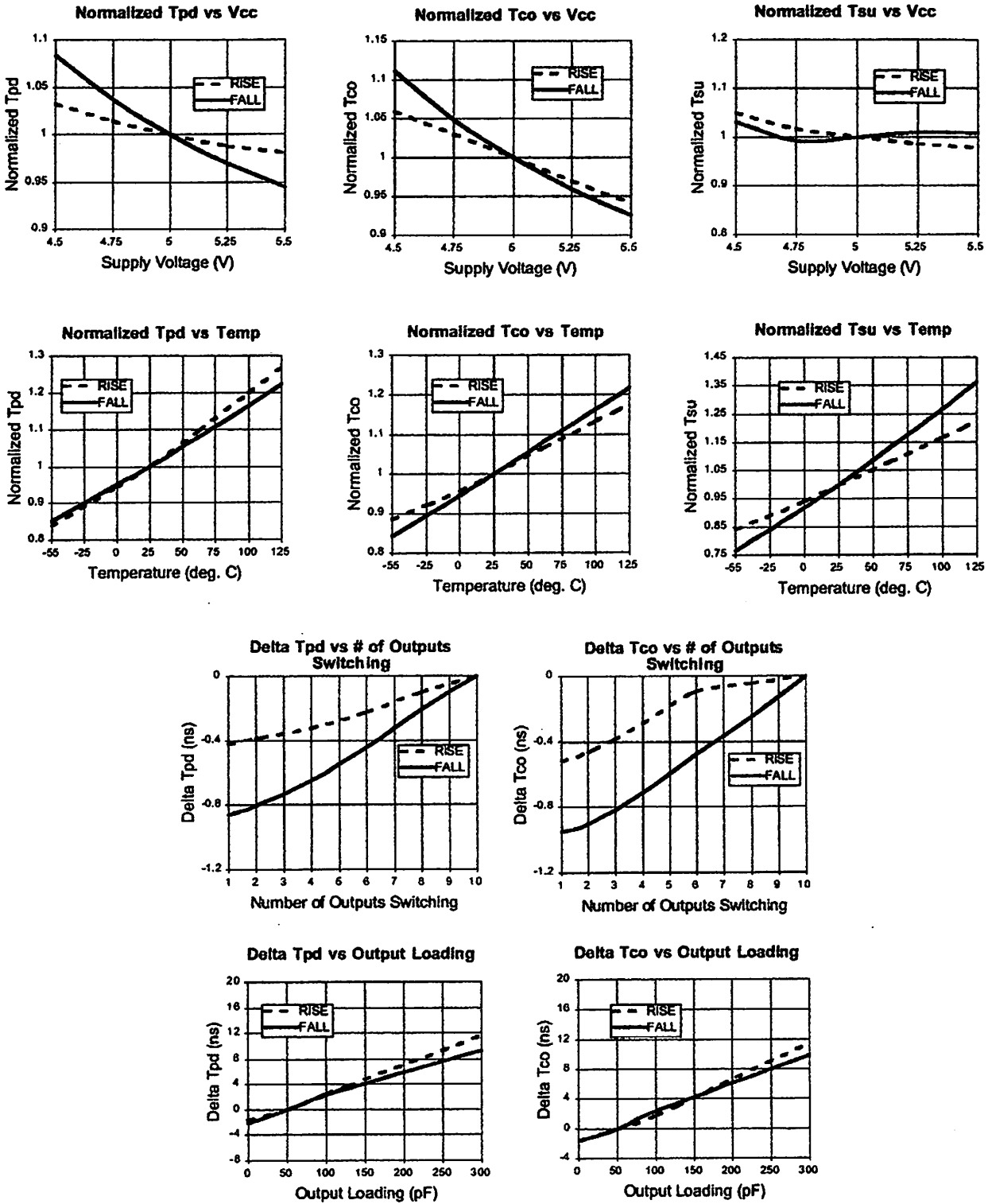
Delta I_{cc} vs V_{in} (1 Input)



Input Clamp (I_{ik})

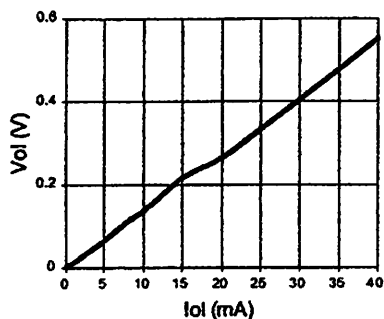


GAL22V10D-10Q and Slower (L & Q): Typical AC and DC Characteristic Diagrams

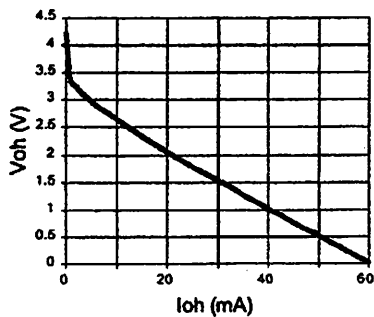


GAL22V10DQ-10 and Slower (L & Q): Typical AC and DC Characteristic Diagrams

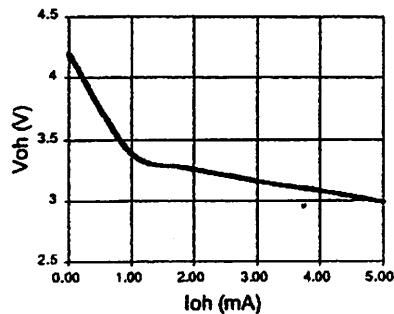
Vol vs Iol



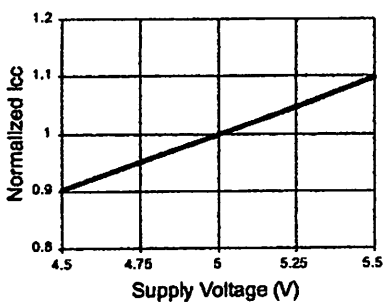
Voh vs Ioh



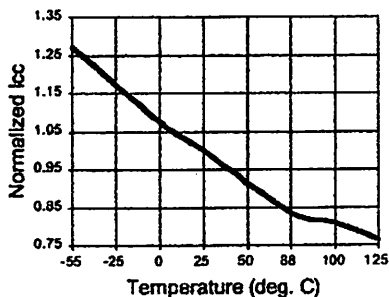
Voh vs Ioh



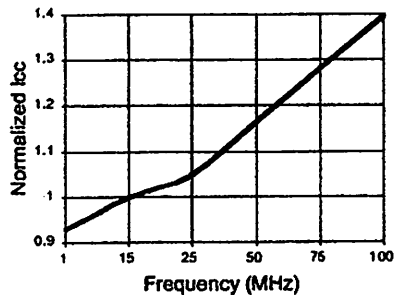
Normalized Icc vs Vcc



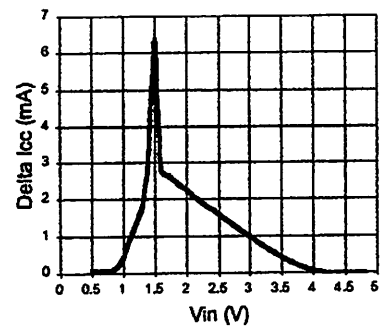
Normalized Icc vs Temp



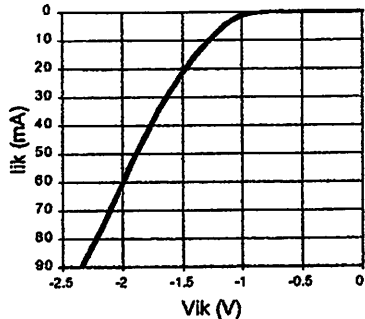
Normalized Icc vs Freq



Delta Icc vs Vin (1 Input)

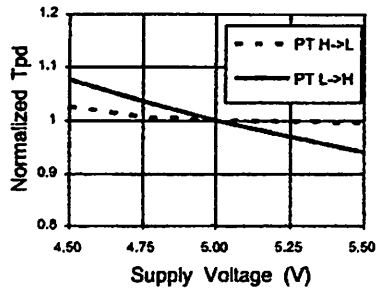


Input Clamp (Vik)

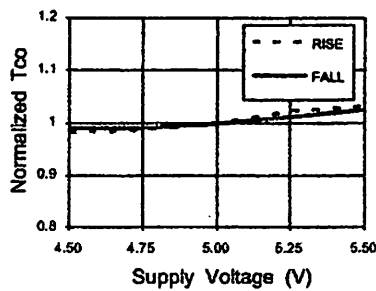


GAL22V10C-5/-7/-10: Typical AC and DC Characteristic Diagrams

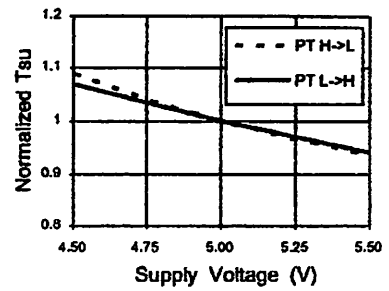
Normalized Tpd vs Vcc



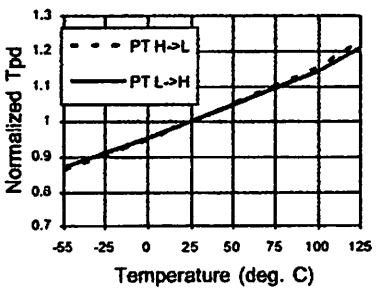
Normalized Tco vs Vcc



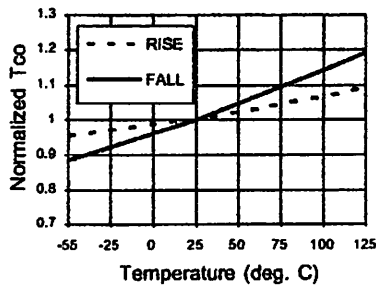
Normalized Tsu vs Vcc



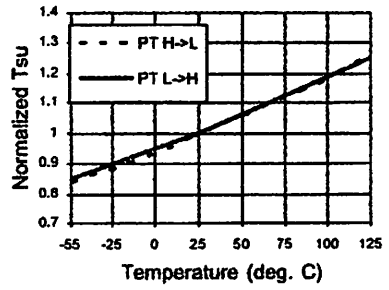
Normalized Tpd vs Temp



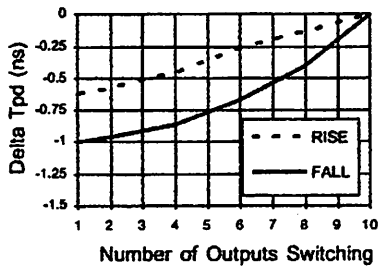
Normalized Tco vs Temp



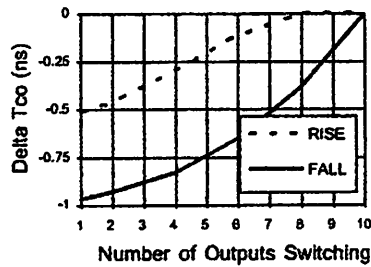
Normalized Tsu vs Temp



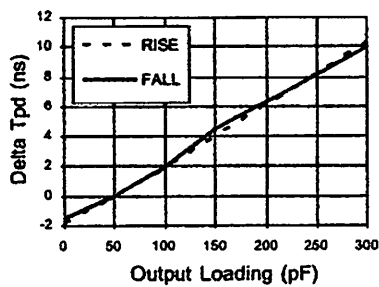
Delta Tpd vs # of Outputs Switching



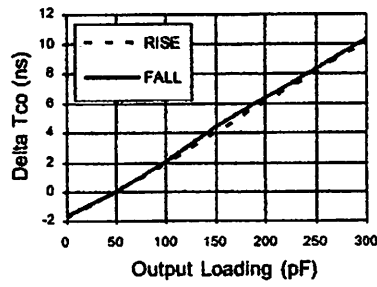
Delta Tco vs # of Outputs Switching



Delta Tpd vs Output Loading

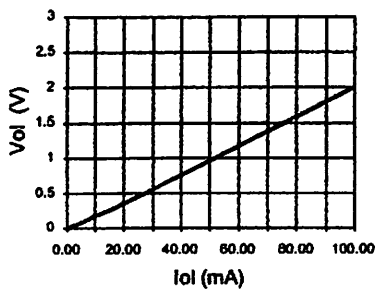


Delta Tco vs Output Loading

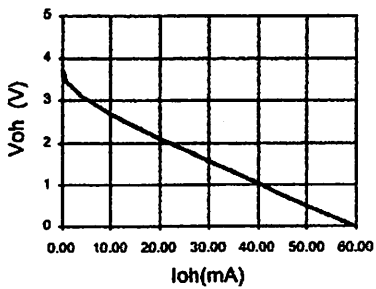


GAL22V10C-5/-7/-10: Typical AC and DC Characteristic Diagrams

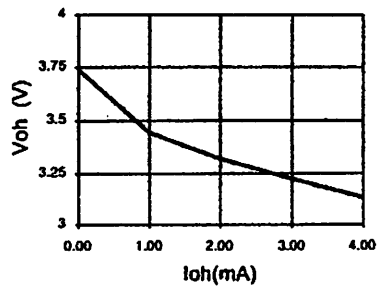
Vol vs Iol



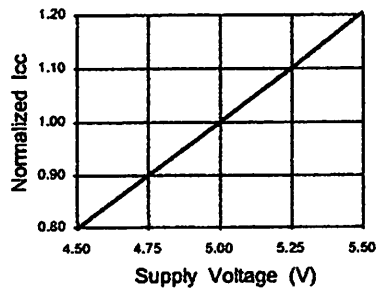
Voh vs Ioh



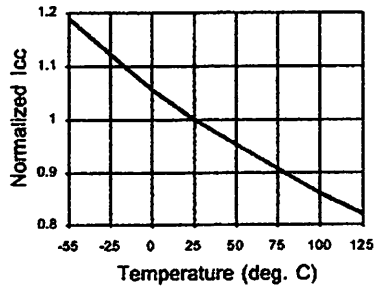
Voh vs Ioh



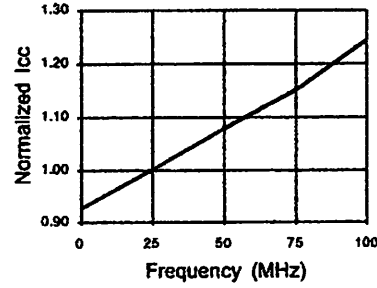
Normalized Icc vs Vcc



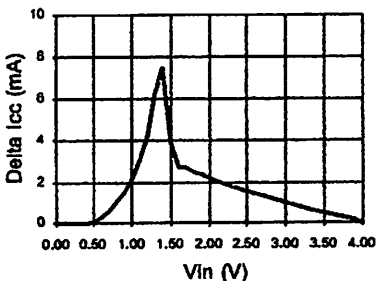
Normalized Icc vs Temp



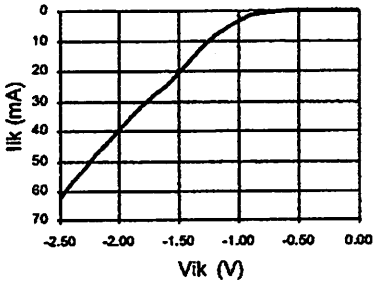
Normalized Icc vs Freq.



Delta Icc vs Vin (1 Input)

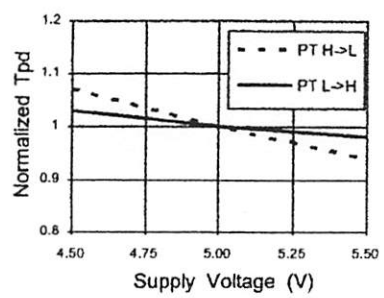


Input Clamp (Iik)

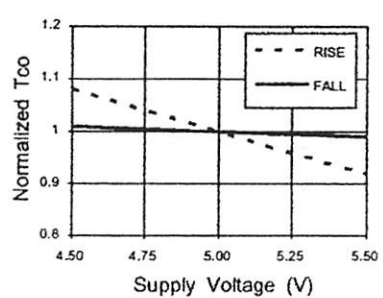


GAL22V10B-7/-10/-15/-25L: Typical AC and DC Characteristic Diagrams

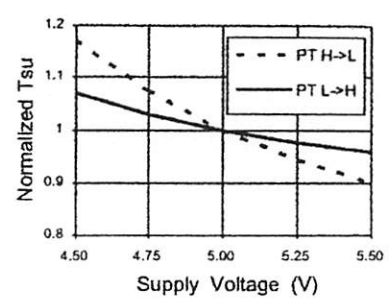
Normalized Tpd vs Vcc



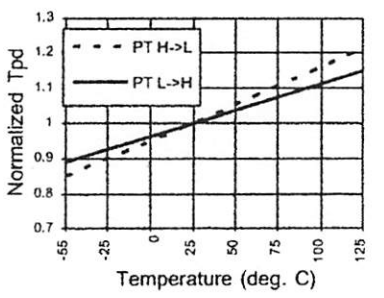
Normalized Tco vs Vcc



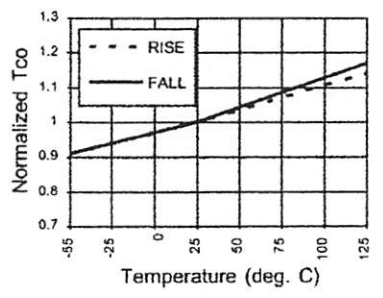
Normalized Tsu vs Vcc



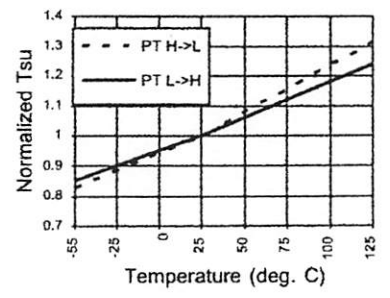
Normalized Tpd vs Temp



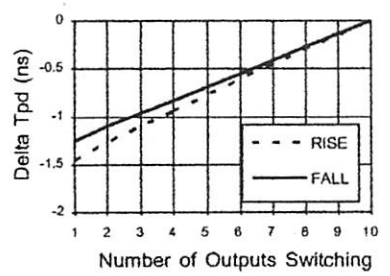
Normalized Tco vs Temp



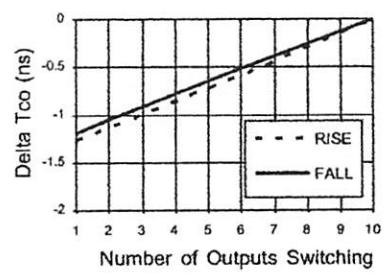
Normalized Tsu vs Temp



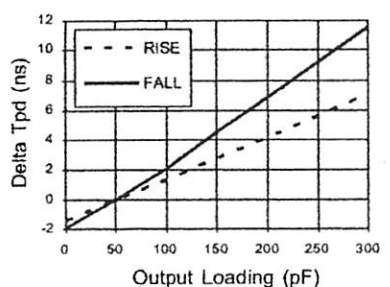
Delta Tpd vs # of Outputs Switching



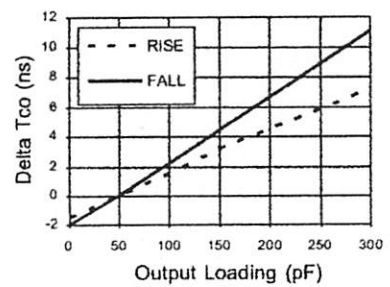
Delta Tco vs # of Outputs Switching



Delta Tpd vs Output Loading

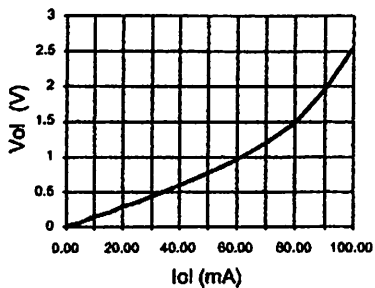


Delta Tco vs Output Loading

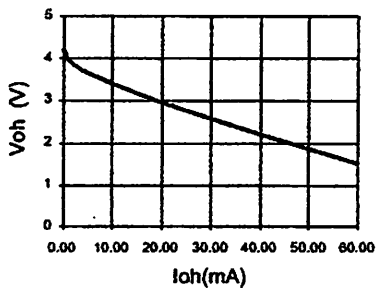


GAL22V10B-7/-10/-15/-25L: Typical AC and DC Characteristic Diagrams

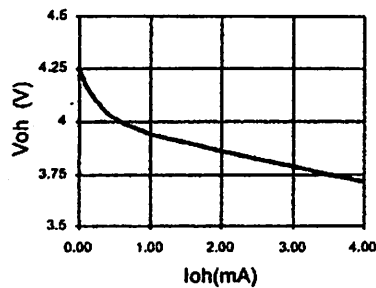
Vol vs Iol



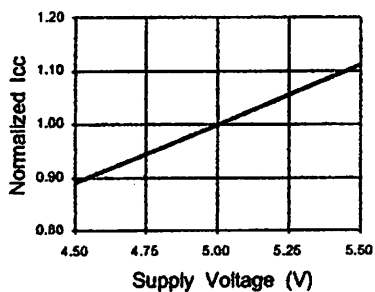
Voh vs Ioh



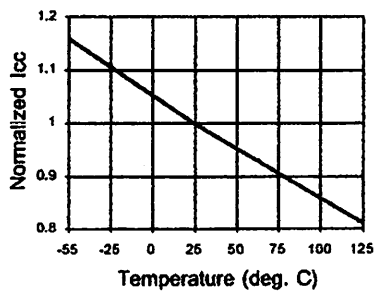
Voh vs Ioh



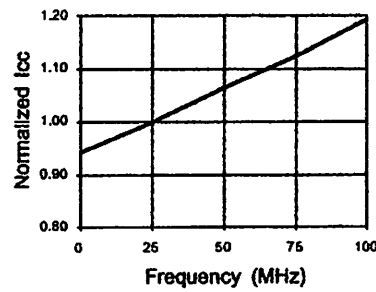
Normalized Icc vs Vcc



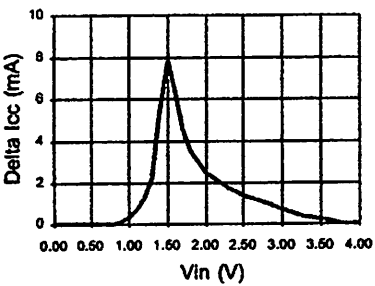
Normalized Icc vs Temp



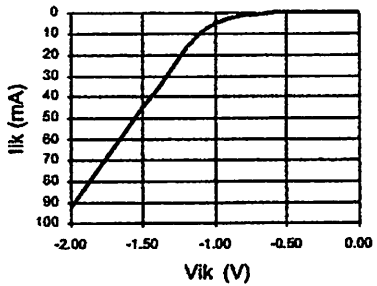
Normalized Icc vs Freq.



Delta Icc vs Vin (1 input)

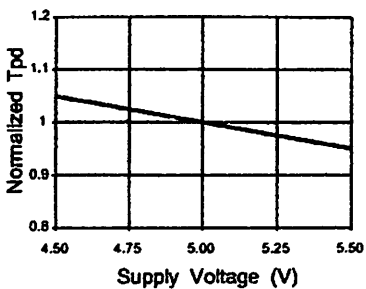


Input Clamp (Vik)

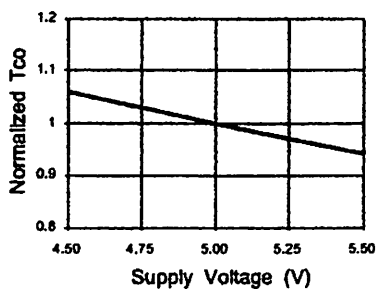


GAL22V10B-15/-25Q: Typical AC and DC Characteristic Diagrams

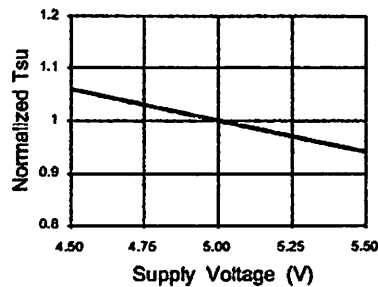
Normalized Tpd vs Vcc



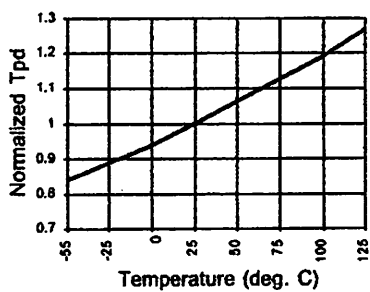
Normalized Tco vs Vcc



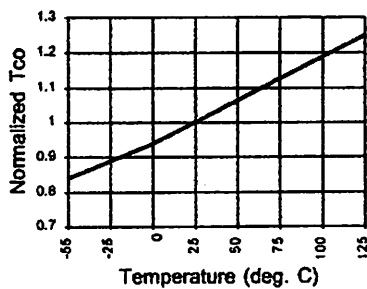
Normalized Tsu vs Vcc



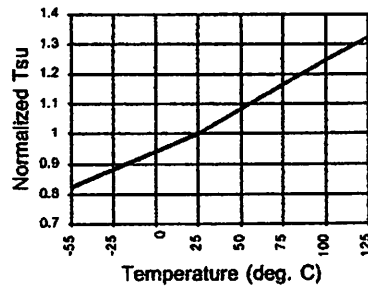
Normalized Tpd vs Temp



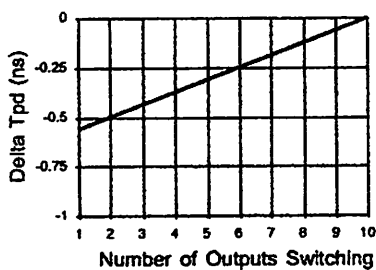
Normalized Tco vs Temp



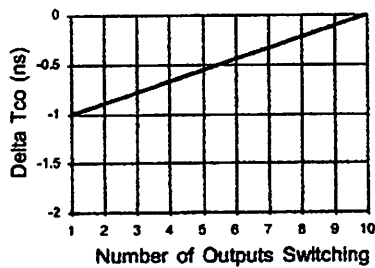
Normalized Tsu vs Temp



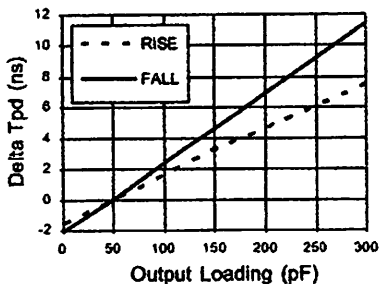
Delta Tpd vs # of Outputs Switching



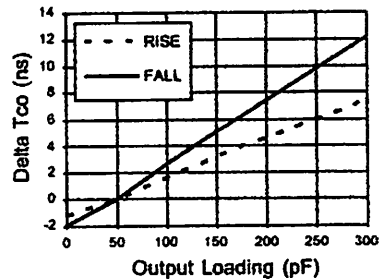
Delta Tco vs # of Outputs Switching



Delta Tpd vs Output Loading

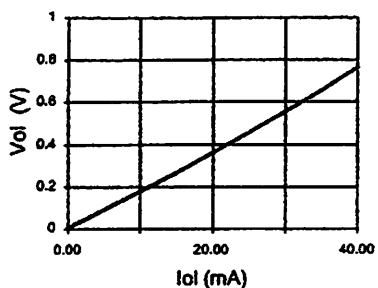


Delta Tco vs Output Loading

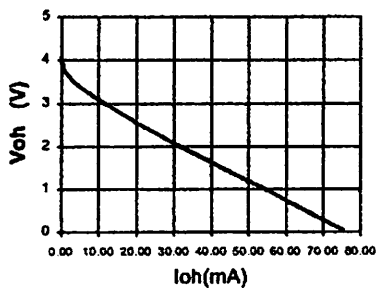


GAL22V10B-15/-25Q: Typical AC and DC Characteristic Diagrams

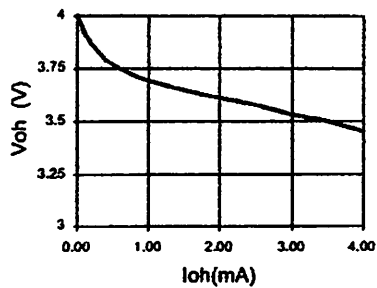
Vol vs Iol



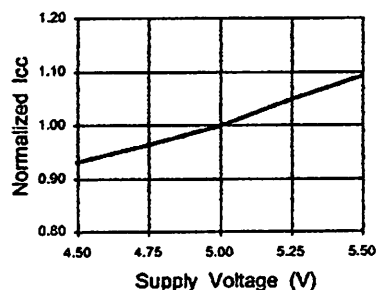
Voh vs Ioh



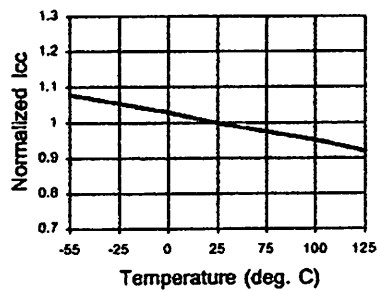
Voh vs Ioh



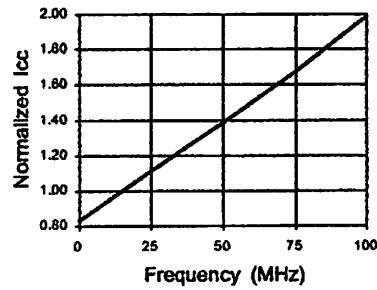
Normalized Icc vs Vcc



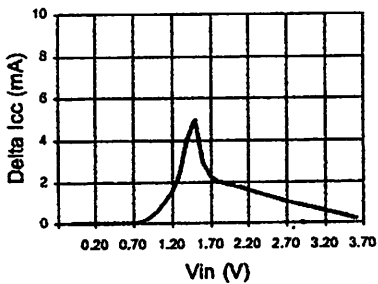
Normalized Icc vs Temp



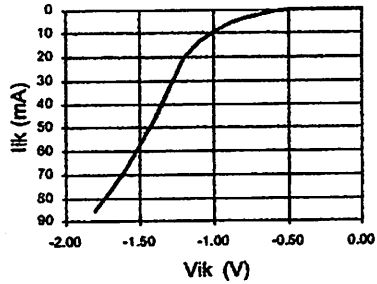
Normalized Icc vs Freq.



Delta Icc vs Vin (1 Input)



Input Clamp (Iik)





DUAL DECADE COUNTER; DUAL 4-STAGE BINARY COUNTER

The SN54/74LS390 and SN54/74LS393 each contain a pair of high-speed stage ripple counters. Each half of the LS390 is partitioned into a divide-by-two section and a divide-by-five section, with a separate clock input for each section. The two sections can be connected to count in the 8.4.2.1 CD code or they can count in a biquinary sequence to provide a square wave (0% duty cycle) at the final output.

Each half of the LS393 operates as a Modulo-16 binary divider, with the last three stages triggered in a ripple fashion. In both the LS390 and the LS393, the flip-flops are triggered by a HIGH-to-LOW transition of their CP inputs. Each half of each circuit type has a Master Reset input which responds to a HIGH signal by forcing all four outputs to the LOW state.

Dual Versions of LS290 and LS293

LS390 has Separate Clocks Allowing +2, +2.5, +5

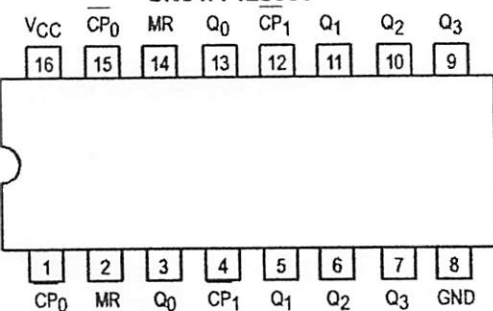
Individual Asynchronous Clear for Each Counter

Typical Max Count Frequency of 50 MHz

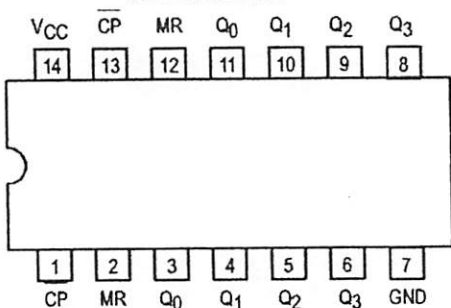
Input Clamp Diodes Minimize High Speed Termination Effects

CONNECTION DIAGRAM DIP (TOP VIEW)

SN54/74LS390



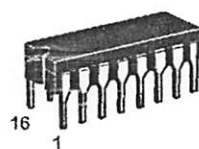
SN54/74LS393



NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

SN54/74LS390 SN54/74LS393

DUAL DECADE COUNTER; DUAL 4-STAGE BINARY COUNTER LOW POWER SCHOTTKY



J SUFFIX
CERAMIC
CASE 620-09



N SUFFIX
PLASTIC
CASE 648-08



D SUFFIX
SOIC
CASE 751B-03



J SUFFIX
CERAMIC
CASE 632-08



N SUFFIX
PLASTIC
CASE 646-06



D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

SN54LSXXXJ	Ceramic
SN74LSXXXN	Plastic
SN74LSXXXD	SOIC

SN54/74LS390 • SN54/74LS393

PIN NAMES

\overline{CP}	Clock (Active LOW going edge) Input to +16 (LS393)
\overline{CP}_0	Clock (Active LOW going edge) Input to +2 (LS390)
\overline{CP}_1	Clock (Active LOW going edge) Input to +5 (LS390)
MR	Master Reset (Active HIGH) Input
Q ₀ -Q ₃	Flip-Flop outputs (Note b)

LOADING (Note a)

HIGH	LOW
0.5 U.L.	1.0 U.L.
0.5 U.L.	1.0 U.L.
0.5 U.L.	1.5 U.L.
0.5 U.L.	0.25 U.L.
10 U.L.	5 (2.5) U.L.

NOTES:

a) 1 TTL Unit Load (U.L.) = 40 μ A HIGH/1.6 mA LOW.

b) The Output LOW drive factor is 2.5 U.L. for Military (54) and 5 U.L. for Commercial (74) Temperature Ranges.

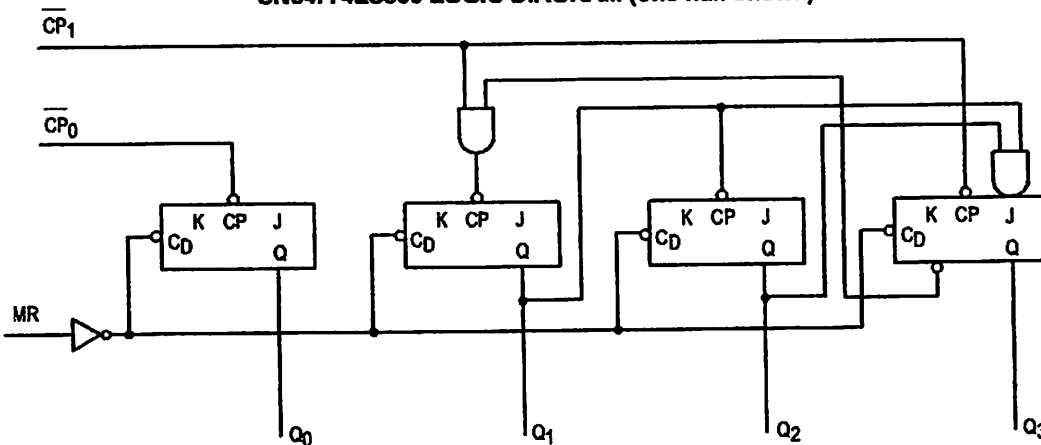
FUNCTIONAL DESCRIPTION

Each half of the SN54/74LS393 operates in the Modulo 16 binary sequence, as indicated in the +16 Truth Table. The first flip-flop is triggered by HIGH-to-LOW transitions of the CP input signal. Each of the other flip-flops is triggered by a HIGH-to-LOW transition of the Q output of the preceding flip-flop. Thus state changes of the Q outputs do not occur simultaneously. This means that logic signals derived from combinations of these outputs will be subject to decoding spikes and, therefore, should not be used as clocks for other counters, registers or flip-flops. A HIGH signal on MR forces all outputs to the LOW state and prevents counting.

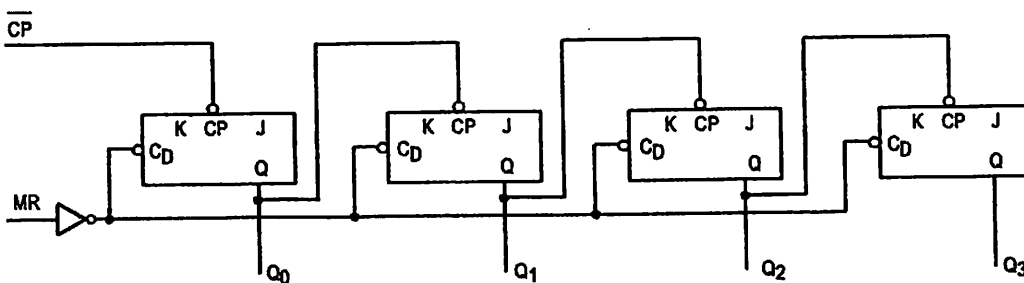
Each half of the LS390 contains a +5 section that is independent except for the common MR function. The +5

section operates in 4.2.1 binary sequence, as shown in the +5 Truth Table, with the third stage output exhibiting a 20% duty cycle when the input frequency is constant. To obtain a +10 function having a 50% duty cycle output, connect the input signal to CP₁ and connect the Q₃ output to the CP₀ input; the Q₀ output provides the desired 50% duty cycle output. If the input frequency is connected to CP₀ and the Q₀ output is connected to CP₁, a decade divider operating in the 8.4.2.1 BCD code is obtained, as shown in the BCD Truth Table. Since the flip-flops change state asynchronously, logic signals derived from combinations of LS390 outputs are also subject to decoding spikes. A HIGH signal on MR forces all outputs LOW and prevents counting.

SN54/74LS390 LOGIC DIAGRAM (one half shown)



SN54/74LS393 LOGIC DIAGRAM (one half shown)



FAST AND LS TTL DATA

SN54/74LS390 • SN54/74LS393

SN54/74LS390 BCD
TRUTH TABLE
(Input on CP0; Q0 CP1)

COUNT	OUTPUTS			
	Q3	Q2	Q1	Q0
0	L	L	L	L
1	L	L	L	H
2	L	L	L	L
3	L	L	L	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

SN54/74LS390 +5
TRUTH TABLE
(Input on CP1)

COUNT	OUTPUTS			
	Q3	Q2	Q1	Q0
0	L	L	L	L
1	L	L	H	L
2	L	L	H	H
3	L	L	H	L
4	H	L	L	L

SN54/74LS390 +10 (50% @ Q0)
TRUTH TABLE
(Input on CP1, Q3 to CP0)

COUNT	OUTPUTS			
	Q3	Q2	Q1	Q0
0	L	L	L	L
1	L	L	H	L
2	L	L	H	L
3	L	H	L	L
4	H	L	L	L
5	L	L	L	H
6	L	L	H	H
7	L	L	H	H
8	L	L	H	H
9	H	L	L	H

SN54/74LS393
TRUTH TABLE

COUNT	OUTPUTS			
	Q3	Q2	Q1	Q0
0	L	L	L	L
1	L	L	L	H
2	L	L	L	L
3	L	L	L	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	L	L
11	H	L	L	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

H = HIGH Voltage Level
L = LOW Voltage Level

GUARANTEED OPERATING RANGES

Symbol	Parameter	Min	Typ	Max	Unit
VCC	Supply Voltage	4.5 4.75	5.0 5.0	5.5 5.25	V
TA	Operating Ambient Temperature Range	-55 0	25 25	125 70	°C
IOH	Output Current — High			-0.4	mA
IOL	Output Current — Low			4.0 8.0	mA

SN54/74LS390 • SN54/74LS393

CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits			Unit	Test Conditions	
			Min	Typ	Max			
	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
	Input Clamp Diode Voltage			-0.65	-1.5	V	V _{CC} = MIN, I _{IN} = -18 mA	
	Output HIGH Voltage	54	2.5	3.5		V	V _{CC} = MIN, I _{OH} = MAX, V _{IN} = V _{IH} or V _{IL} per Truth Table	
		74	2.7	3.5		V		
	Output LOW Voltage	54, 74		0.25	0.4	V	I _{OL} = 4.0 mA	V _{CC} = V _{CC} MIN, V _{IN} = V _{IL} or V _{IH} per Truth Table
		74		0.35	0.5	V	I _{OL} = 8.0 mA	
	Input HIGH Current				20	μA	V _{CC} = MAX, V _{IN} = 2.7 V	
						0.1	mA	V _{CC} = MAX, V _{IN} = 7.0 V
	Input LOW Current	MR			-0.4	mA	V _{CC} = MAX, V _{IN} = 0.4 V	
		CP, CP ₀			-1.6	mA		
		CP ₁			-2.4	mA		
	Short Circuit Current (Note 1)		-20		-100	mA	V _{CC} = MAX	
	Power Supply Current				26	mA	V _{CC} = MAX	

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

CHARACTERISTICS (T_A = 25°C, V_{CC} = 5.0 V)

Symbol	Parameter		Limits			Unit	Test Conditions	
			Min	Typ	Max			
MAX	Maximum Clock Frequency CP ₀ to Q ₀		25	35		MHz	C _L = 15 pF	
MAX	Maximum Clock Frequency CP ₁ to Q ₁		20			MHz		
LH HL	Propagation Delay, CP to Q ₀	LS393		12 13	20 20	ns		
LH HL			CP ₀ to Q ₀	LS390		12 13		
LH HL	CP to Q ₃	LS393		40 40	60 60	ns		
LH HL			CP ₀ to Q ₂	LS390		37 39		
LH HL	CP ₁ to Q ₁	LS390		13 14	21 21	ns		
LH HL			CP ₁ to Q ₂	LS390		24 26		
LH HL	CP ₁ to Q ₃	LS390		13 14	21 21	ns		
HL			MR to Any Output	LS390/393		24		

SN54/74LS390 • SN54/74LS393

C SETUP REQUIREMENTS ($T_A = 25^\circ\text{C}$, $V_{CC} = 5.0\text{V}$)

Symbol	Parameter		Limits			Unit	Test Conditions
			Min	Typ	Max		
t_W	Clock Pulse Width	LS393	20			ns	$V_{CC} = 5.0\text{V}$
t_W	CP_0 Pulse Width	LS390	20			ns	
t_W	CP_1 Pulse Width	LS390	40			ns	
t_W	MR Pulse Width	LS390/393	20			ns	
t_{rec}	Recovery Time	LS390/393	25			ns	

AC WAVEFORMS

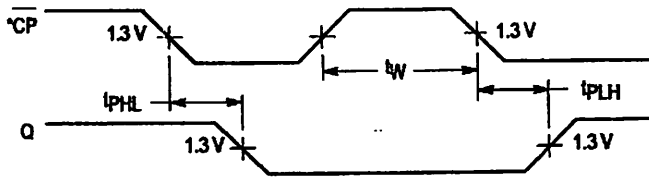


Figure 1

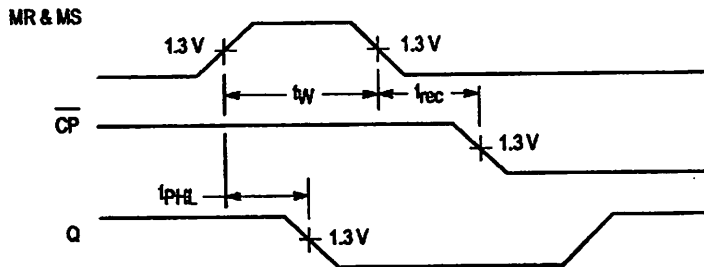


Figure 2

*The number of Clock Pulses required between t_{PHL} and t_{PLH} measurements can be determined from the appropriate Truth Table.

LM555/NE555/SA555

Single Timer

Features

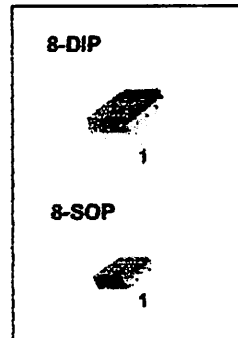
- High Current Drive Capability (200mA)
- Adjustable Duty Cycle
- Temperature Stability of 0.005%/°C
- Timing From μ Sec To Hours
- Turn Off Time Less Than 2 μ Sec

Applications

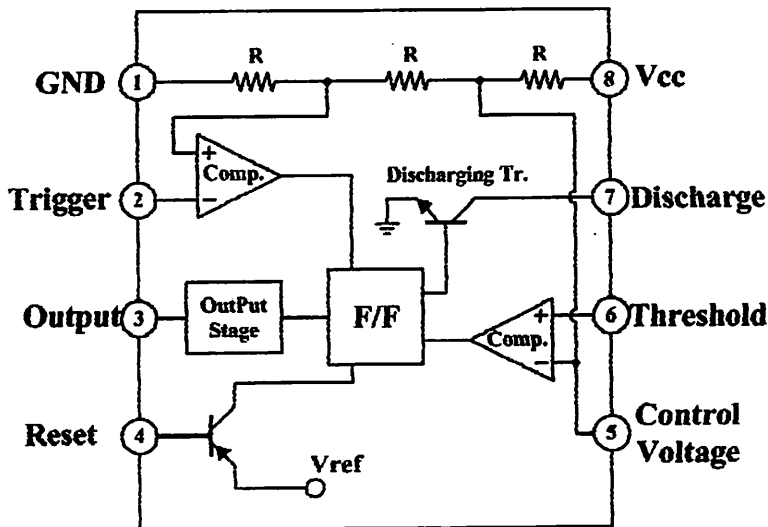
- Precision Timing
- Pulse Generation
- Time Delay Generation
- Sequential Timing

Description

LM555/NE555/SA555 is a highly stable controller capable of producing accurate timing pulses. With monostable operation, the time delay is controlled by one external resistor and one capacitor. With astable operation, the frequency and duty cycle are accurately controlled with two external resistors and one capacitor.



Internal Block Diagram



Rev. 1.0.1

Absolute Maximum Ratings (TA = 25°C)

Parameter	Symbol	Value	Unit
Supply Voltage	VCC	16	V
Lead Temperature (soldering 10sec)	TLEAD	300	°C
Power Dissipation	PD	600	mW
Operating Temperature Range LM555/NE555 SA555	TOPR	0 ~ +70 -40 ~ +85	°C
Storage Temperature Range	TSTG	-65 ~ +150	°C

Electrical Characteristics

(TA = 25°C, VCC = 5 ~ 15V, unless otherwise specified)

Parameter	Symbol	Conditions	Min.	Typ.	Max.	Unit
Supply Voltage	VCC		4.5	-	16	V
Supply Current *1 (low stable)	ICC	VCC = 5V, RL = ∞	-	3	6	mA
		VCC = 15V, RL = ∞	-	7.5	15	mA
Timing Error *2 (Monostable) Initial Accuracy Drift with Temperature Drift with Supply Voltage	ACCUR Δt/ΔT Δt/ΔVCC	RA = 1KΩ to 100KΩ C = 0.1μF	-	1.0 50 0.1	3.0 - 0.5	% ppm/°C %/V
Timing Error *2 (astable) Initial Accuracy Drift with Temperature Drift with Supply Voltage	ACCUR Δt/ΔT Δt/ΔVCC	RA = 1KΩ to 100KΩ C = 0.1μF	-	2.25 150 0.3	-	% ppm/°C %/V
Control Voltage	VC	VCC = 15V	9.0	10.0	11.0	V
		VCC = 5V	2.6	3.33	4.0	V
Threshold Voltage	VTH	VCC = 15V	-	10.0	-	V
		VCC = 5V	-	3.33	-	V
Threshold Current *3	ITH	-	-	0.1	0.25	μA
Trigger Voltage	VTR	VCC = 5V	1.1	1.67	2.2	V
		VCC = 15V	4.5	5	5.6	V
Trigger Current	ITR	VTR = 0V	-	0.01	2.0	μA
Reset Voltage	VRST	-	0.4	0.7	1.0	V
Reset Current	IRST	-	-	0.1	0.4	mA
Low Output Voltage	VOL	VCC = 15V ISINK = 10mA ISINK = 50mA	-	0.06 0.3	0.25 0.75	V V
		VCC = 5V ISINK = 5mA	-	0.05	0.35	V
High Output Voltage	VOH	VCC = 15V ISOURCE = 200mA ISOURCE = 100mA	12.75	12.5 13.3	-	V V
		VCC = 5V ISOURCE = 100mA	2.75	3.3	-	V
Rise Time of Output	tR	-	-	100	-	ns
Fall Time of Output	tF	-	-	100	-	ns
Discharge Leakage Current	ILKG	-	-	20	100	nA

Notes:

- Supply current when output is high is typically 1mA less at VCC = 5V
- Tested at VCC = 5.0V and VCC = 15V
- This will determine maximum value of RA + RB for 15V operation, the max. total R = 20MΩ, and for 5V operation the max. total R = 6.7MΩ

Application Information

Table 1 below is the basic operating table of 555 timer:

Table 1. Basic Operating Table

Threshold Voltage (V _{th})(PIN 6)	Trigger Voltage (V _{tr})(PIN 2)	Reset(PIN 4)	Output(PIN 3)	Discharging Tr. (PIN 7)
Don't care	Don't care	Low	Low	ON
$V_{th} > 2V_{cc} / 3$	$V_{th} > 2V_{cc} / 3$	High	Low	ON
$V_{cc} / 3 < V_{th} < 2V_{cc} / 3$	$V_{cc} / 3 < V_{th} < 2V_{cc} / 3$	High	-	-
$V_{th} < V_{cc} / 3$	$V_{th} < V_{cc} / 3$	High	High	OFF

When low signal input is applied to the reset terminal, the timer output remains low regardless of the threshold voltage or the trigger voltage. Only when high signal is applied to the reset terminal, timer's output changes according to threshold voltage and trigger voltage.

When the threshold voltage exceeds 2/3 of the supply voltage while the timer output is high, the timer's internal discharge Tr. turns on, lowering the threshold voltage to below 1/3 of the supply voltage. During this time, the timer output is maintained low. Later, if a low signal is applied to the trigger voltage so that it becomes 1/3 of the supply voltage, the timer's internal discharge Tr. turns off, increasing the threshold voltage and driving the timer output again at high.

1. Monostable Operation

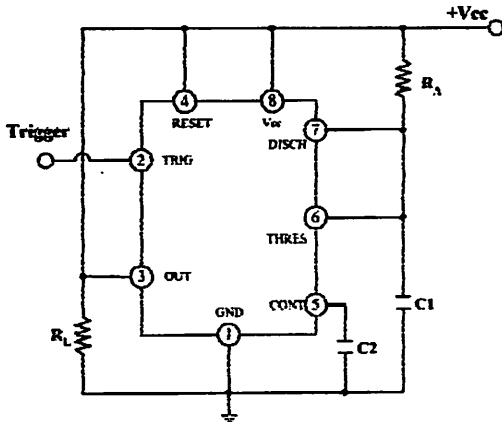


Figure 1. Monoatable Circuit

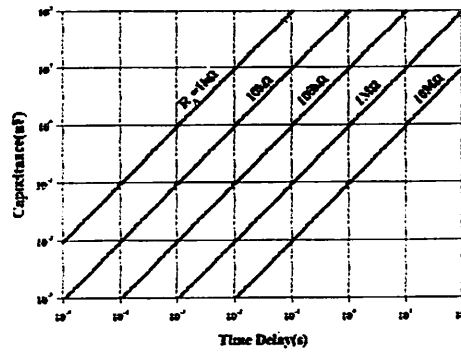


Figure 2. Resistance and Capacitance vs. Time delay(t_d)

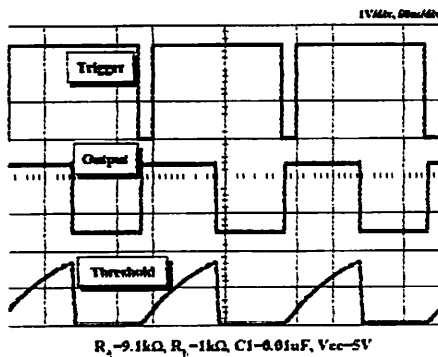


Figure 3. Waveforms of Monostable Operation

Figure 1 illustrates a monostable circuit. In this mode, the timer generates a fixed pulse whenever the trigger voltage falls below $V_{cc}/3$.

When the trigger pulse voltage applied to the #2 pin falls below $V_{cc}/3$ while the timer output is low, the timer's internal flip-flop turns the discharging Tr. off and causes the timer output to become high by charging the external capacitor C1 and setting the flip-flop output at the same time.

The voltage across the external capacitor C1, V_{C1} increases exponentially with the time constant $\tau = R_A * C$ and reaches $2V_{cc}/3$ at $t_d = 1.1R_A * C$. Hence, capacitor C1 is charged through resistor R_A . The greater the time constant $R_A C$, the longer it takes for the V_{C1} to reach $2V_{cc}/3$. In other words, the time constant $R_A C$ controls the output pulse width.

When the applied voltage to the capacitor C1 reaches $2V_{cc}/3$, the comparator on the trigger terminal resets the flip-flop, turning the discharging Tr. on. At this time, C1 begins to discharge and the timer output converts to low.

In this way, the timer operating in monostable repeats the above process. Figure 2 shows the time constant relationship based on R_A and C. Figure 3 shows the general waveforms during monostable operation.

It must be noted that, for normal operation, the trigger pulse voltage needs to maintain a minimum of $V_{cc}/3$ before the timer output turns low. That is, although the output remains unaffected even if a different trigger pulse is applied while the output is high, it may be affected and the waveform not operate properly if the trigger pulse voltage at the end of the output pulse remains at below $V_{cc}/3$. Figure 4 shows such timer output abnormality.

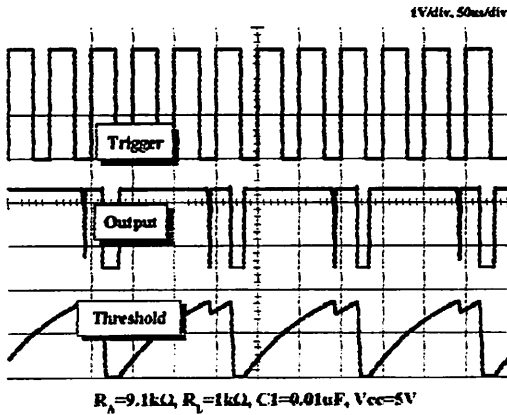


Figure 4. Waveforms of Monostable Operation (abnormal)

2. Astable Operation

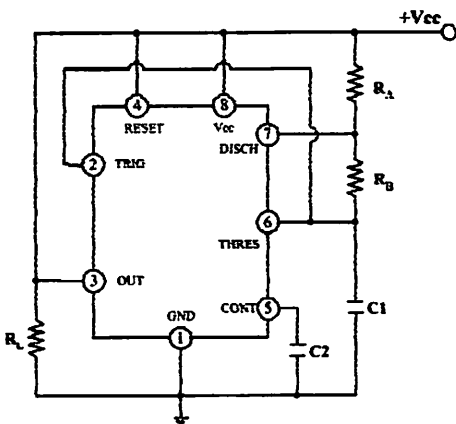


Figure 5. Astable Circuit

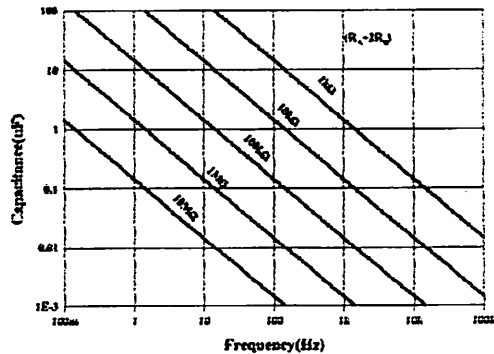


Figure 6. Capacitance and Resistance vs. Frequency

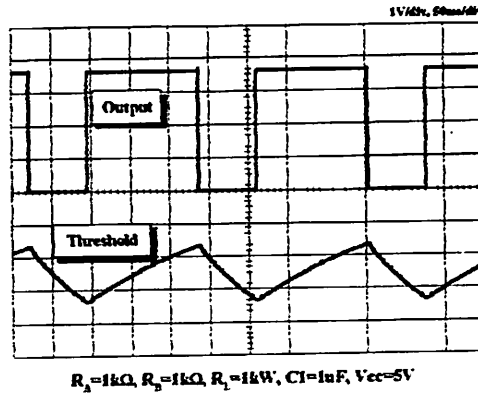
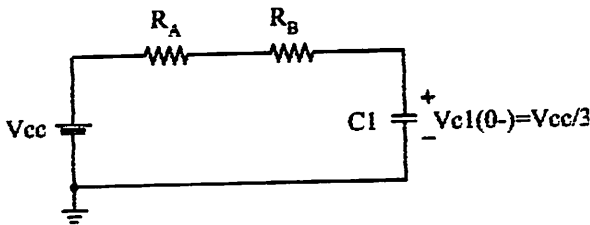


Figure 7. Waveforms of Astable Operation

An astable timer operation is achieved by adding resistor R_B to Figure 1 and configuring as shown on Figure 5. In astable operation, the trigger terminal and the threshold terminal are connected so that a self-trigger is formed, operating as a multi vibrator. When the timer output is high, its internal discharging Tr turns off and the V_{C1} increases by exponential function with the time constant $(R_A + R_B) \cdot C$.

When the V_{C1} , or the threshold voltage, reaches $2V_{CC}/3$, the comparator output on the trigger terminal becomes high, resetting the F/F and causing the timer output to become low. This in turn turns on the discharging Tr and the $C1$ discharges through the discharging channel formed by R_B and the discharging Tr . When the V_{C1} falls below $V_{CC}/3$, the comparator output on the trigger terminal becomes high and the timer output becomes high again. The discharging Tr turns off and the V_{C1} rises again.

In the above process, the section where the timer output is high is the time it takes for the V_{C1} to rise from $V_{CC}/3$ to $2V_{CC}/3$, and the section where the timer output is low is the time it takes for the V_{C1} to drop from $2V_{CC}/3$ to $V_{CC}/3$. When timer output is high, the equivalent circuit for charging capacitor $C1$ is as follows:



$$C_1 \frac{dv_{c1}}{dt} = \frac{V_{CC} - V(0-)}{R_A + R_B} \quad (1)$$

$$V_{C1}(0+) = V_{CC}/3 \quad (2)$$

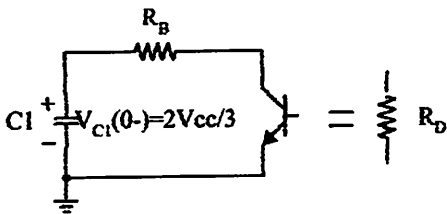
$$V_{C1}(t) = V_{CC} \left(1 - \frac{2}{3} e^{-\left(\frac{t}{(R_A + R_B)C_1} \right)} \right) \quad (3)$$

Since the duration of the timer output high state (t_H) is the amount of time it takes for the $V_{C1}(t)$ to reach $2V_{CC}/3$,

$$V_{C1}(t) = \frac{2}{3}V_{CC} = V_{CC} \left(1 - \frac{2}{3} e^{-\left(\frac{t_H}{(R_A + R_B)C_1}\right)} \right) \quad (4)$$

$$t_H = C_1(R_A + R_B) \ln 2 = 0.693(R_A + R_B)C_1 \quad (5)$$

The equivalent circuit for discharging capacitor C1 when timer output is low as follows:



$$C_1 \frac{dv_{C1}}{dt} + \frac{1}{R_A + R_B} V_{C1} = 0 \quad (6)$$

$$V_{C1}(t) = \frac{2}{3}V_{CC} e^{-\frac{t}{(R_A + R_D)C_1}} \quad (7)$$

Since the duration of the timer output low state (t_L) is the amount of time it takes for the $V_{C1}(t)$ to reach $V_{CC}/3$,

$$\frac{1}{3}V_{CC} = \frac{2}{3}V_{CC} e^{-\frac{t_L}{(R_A + R_D)C_1}} \quad (8)$$

$$t_L = C_1(R_B + R_D) \ln 2 = 0.693(R_B + R_D)C_1 \quad (9)$$

Since R_D is normally $R_B \gg R_D$ although related to the size of discharging T_r ,
 $t_L = 0.693R_B C_1$ (10)

Consequently, if the timer operates in astable, the period is the same with $T = t_H + t_L = 0.693(R_A + R_B)C_1 + 0.693R_B C_1 = 0.693(R_A + 2R_B)C_1$ because the period is the sum of the charge time and discharge time. And since frequency is the reciprocal of the period, the following applies.

$$\text{frequency, } f = \frac{1}{T} = \frac{1.44}{(R_A + 2R_B)C_1} \quad (11)$$

3. Frequency divider

By adjusting the length of the timing cycle, the basic circuit of Figure 1 can be made to operate as a frequency divider. Figure 8. illustrates a divide-by-three circuit that makes use of the fact that retriggering cannot occur during the timing cycle.

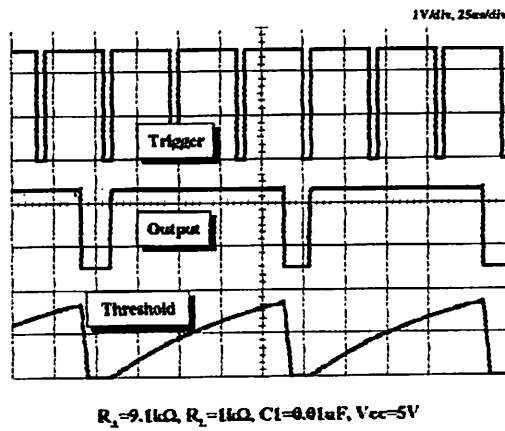


Figure 8. Waveforms of Frequency Divider Operation

4. Pulse Width Modulation

The timer output waveform may be changed by modulating the control voltage applied to the timer's pin 5 and changing the reference of the timer's internal comparators. Figure 9. illustrates the pulse width modulation circuit. When the continuous trigger pulse train is applied in the monostable mode, the timer output width is modulated according to the signal applied to the control terminal. Sine wave as well as other waveforms may be applied as a signal to the control terminal. Figure 10 shows an example of pulse width modulation waveform.

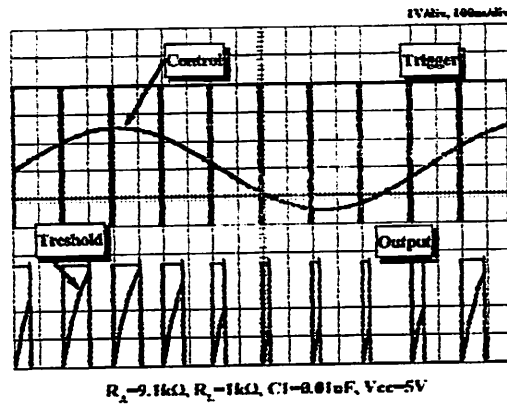
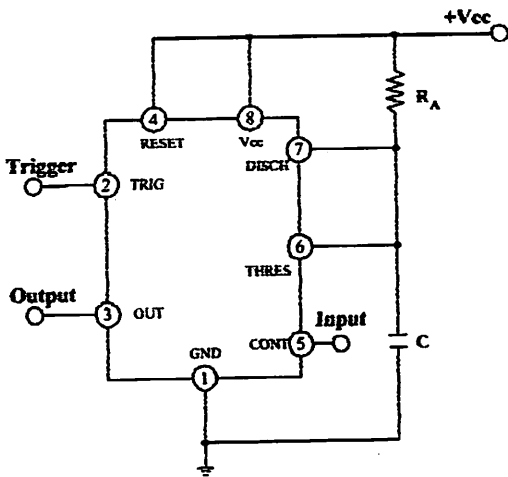


Figure 9. Circuit for Pulse Width Modulation

Figure 10. Waveforms of Pulse Width Modulation

5. Pulse Position Modulation

If the modulating signal is applied to the control terminal while the timer is connected for astable operation as in Figure 11, the timer becomes a pulse position modulator.

In the pulse position modulator, the reference of the timer's internal comparators is modulated which in turn modulates the timer output according to the modulation signal applied to the control terminal.

Figure 12 illustrates a sine wave for modulation signal and the resulting output pulse position modulation : however, any wave shape could be used.

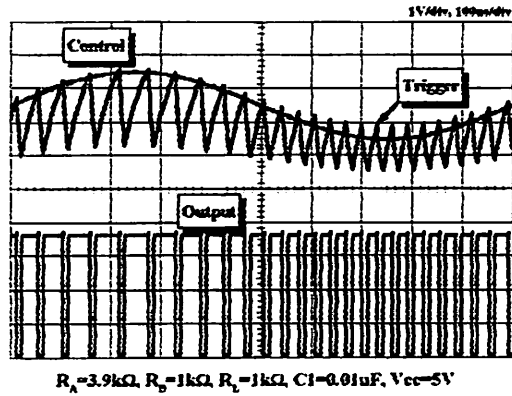
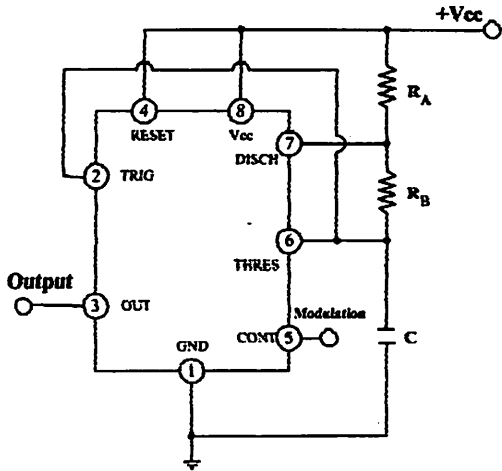


Figure 11. Circuit for Pulse Position Modulation

Figure 12. Waveforms of pulse position modulation

6. Linear Ramp

When the pull-up resistor R_A in the monostable circuit shown in Figure 1 is replaced with constant current source, the V_C increases linearly, generating a linear ramp. Figure 13 shows the linear ramp generating circuit and Figure 14 illustrates the generated linear ramp waveforms.

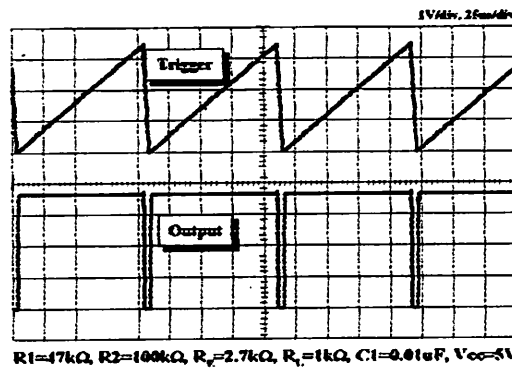
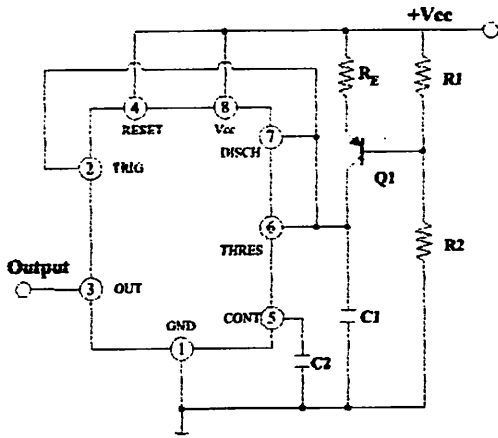


Figure 13. Circuit for Linear Ramp

Figure 14. Waveforms of Linear Ramp

In Figure 13, current source is created by PNP transistor $Q1$ and resistor $R1$, $R2$, and R_E .

$$I_C = \frac{V_{CC} - V_E}{R_E} \quad (12)$$

Here, V_E is

$$V_E = V_{BE} + \frac{R_2}{R_1 + R_2} V_{CC} \quad (13)$$

For example, if $V_{CC}=15V$, $R_E=20k\Omega$, $R_1=5k\Omega$, $R_2=10k\Omega$ and $V_{BE}=0.7V$.

$$V_E = 0.7V + 10V = 10.7V$$

$$I_C = (15 - 10.7) / 20k = 0.215mA$$

When the trigger is started in a timer configured as shown in Figure 13, the current flowing to capacitor C1 becomes a constant current generated by PNP transistor and resistors. Hence, the VC is a linear ramp function as shown in Figure 14. The gradient S of the linear ramp function is defined as follows:

$$S = \frac{V_{p-p}}{T} \quad (14)$$

Here the V_{p-p} is the peak-to-peak voltage.

If the electric charge amount accumulated in the capacitor is divided by the capacitance, the VC comes out as follows:

$$V=Q/C \quad (15)$$

The above equation divided on both sides by T gives us

$$\frac{V}{T} = \frac{Q/T}{C} \quad (16)$$

and may be simplified into the following equation.

$$S=I/C \quad (17)$$

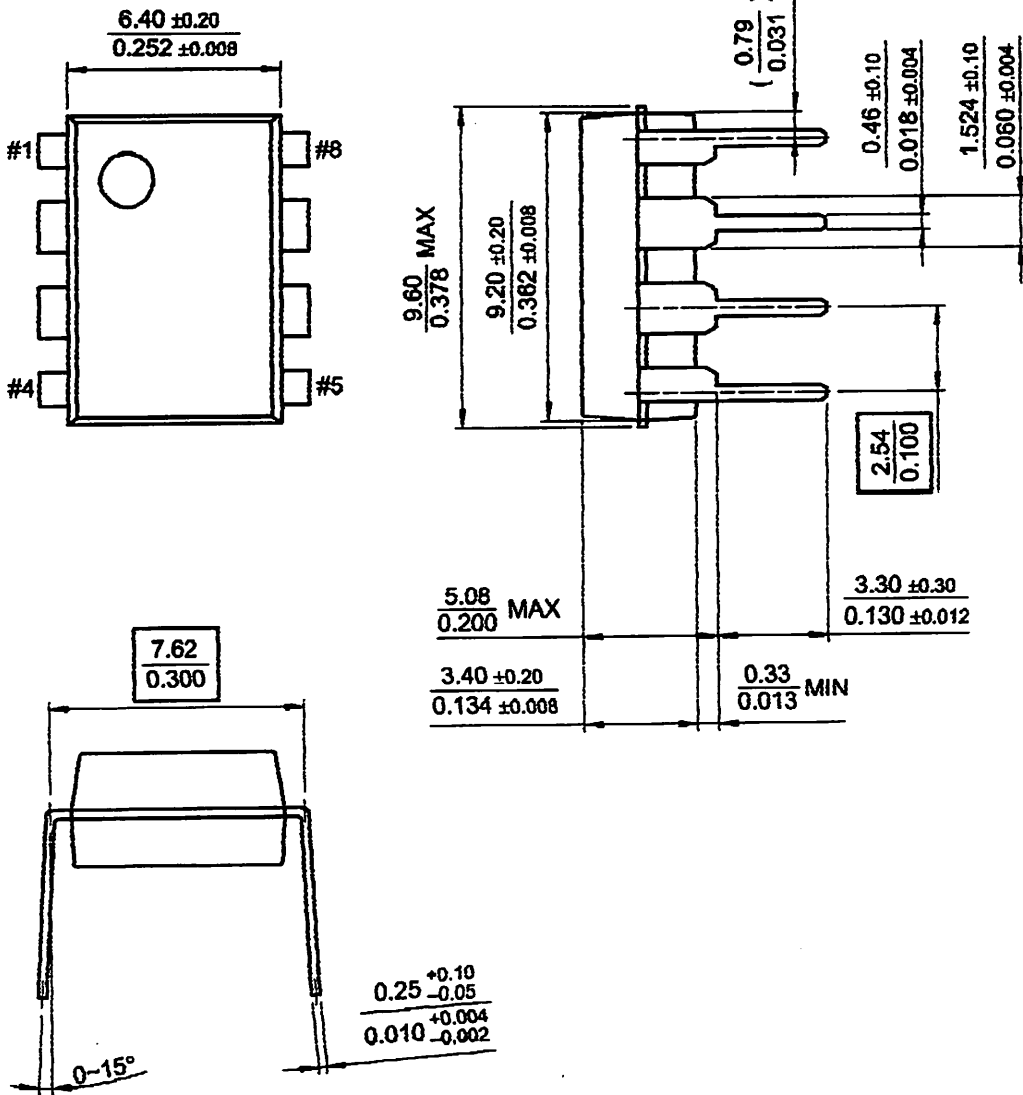
In other words, the gradient of the linear ramp function appearing across the capacitor can be obtained by using the constant current flowing through the capacitor.

If the constant current flow through the capacitor is 0.215mA and the capacitance is 0.02uF, the gradient of the ramp function at both ends of the capacitor is $S=0.215m/0.022u=9.77V/ms$.

Mechanical Dimensions

Package

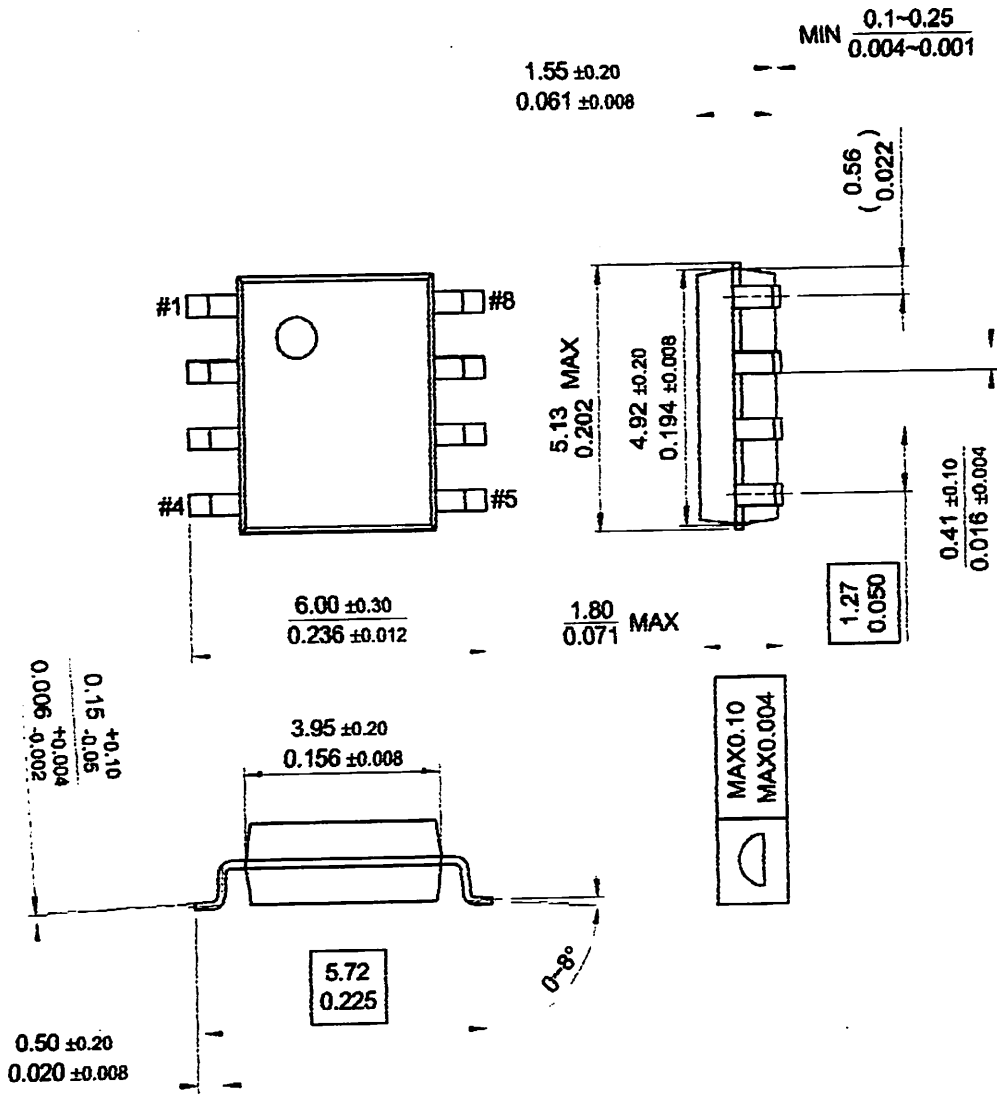
8-DIP



Mechanical Dimensions (Continued)

Package

8-SOP



Ordering Information

Product Number	Package	Operating Temperature
LM555CN	8-DIP	0 ~ +70°C
LM555CM	8-SOP	
Product Number	Package	Operating Temperature
NE555N	8-DIP	0 ~ +70°C
NE555D	8-SOP	
Product Number	Package	Operating Temperature
SA555	8-DIP	-40 ~ +85°C
SA555D	8-SOP	

DISCLAIMER

FAIRCHILD SEMICONDUCTOR RESERVES THE RIGHT TO MAKE CHANGES WITHOUT FURTHER NOTICE TO ANY PRODUCTS HEREIN TO IMPROVE RELIABILITY, FUNCTION OR DESIGN. FAIRCHILD DOES NOT ASSUME ANY LIABILITY ARISING OUT OF THE APPLICATION OR USE OF ANY PRODUCT OR CIRCUIT DESCRIBED HEREIN; NEITHER DOES IT CONVEY ANY LICENSE UNDER ITS PATENT RIGHTS, NOR THE RIGHTS OF OTHERS.

LIFE SUPPORT POLICY

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF FAIRCHILD SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury of the user.
2. A critical component in any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.



BCD TO 7-SEGMENT DECODER/DRIVER

The SN54/74LS47 are Low Power Schottky BCD to 7-Segment Decoder/Drivers consisting of NAND gates, input buffers and seven AND-OR-INVERT gates. They offer active LOW, high sink current outputs for driving indicators directly. Seven NAND gates and one driver are connected in pairs to make BCD data and its complement available to the seven decoding AND-OR-INVERT gates. The remaining NAND gate and three input buffers provide lamp test, blanking input/ripple-blanking output and ripple-blanking input.

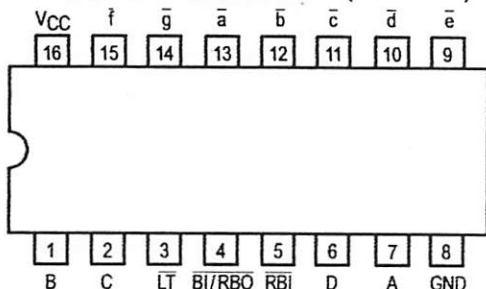
The circuits accept 4-bit binary-coded-decimal (BCD) and, depending on the state of the auxiliary inputs, decodes this data to drive a 7-segment display indicator. The relative positive-logic output levels, as well as conditions required at the auxiliary inputs, are shown in the truth tables. Output configurations of the SN54/74LS47 are designed to withstand the relatively high voltages required for 7-segment indicators.

These outputs will withstand 15 V with a maximum reverse current of 250 μ A. Indicator segments requiring up to 24 mA of current may be driven directly from the SN74LS47 high performance output transistors. Display patterns for BCD input counts above nine are unique symbols to authenticate input conditions.

The SN54/74LS47 incorporates automatic leading and/or trailing-edge zero-blanking control (RBI and RBO). Lamp test (LT) may be performed at any time which the BI/RBO node is a HIGH level. This device also contains an overriding blanking input (BI) which can be used to control the lamp intensity by varying the frequency and duty cycle of the BI input signal or to inhibit the outputs.

- Lamp Intensity Modulation Capability (BI/RBO)
- Open Collector Outputs
- Lamp Test Provision
- Leading/Trailing Zero Suppression
- Input Clamp Diodes Limit High-Speed Termination Effects

CONNECTION DIAGRAM DIP (TOP VIEW)



PIN NAMES

A, B, C, D	BCD Inputs
RBI	Ripple-Blanking Input
LT	Lamp-Test Input
BI/RBO	Blanking Input or Ripple-Blanking Output
a, to g	Outputs

LOADING (Note a)

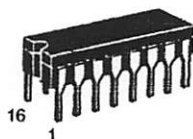
	HIGH	LOW
A, B, C, D	0.5 U.L.	0.25 U.L.
RBI	0.5 U.L.	0.25 U.L.
LT	0.5 U.L.	0.25 U.L.
BI/RBO	0.5 U.L.	0.75 U.L.
Ripple-Blanking Output	1.2 U.L.	2.0 U.L.
a, to g	Open-Collector	15 (7.5) U.L.

NOTES:

- a) 1 Unit Load (U.L.) = 40 μ A HIGH, 1.6 mA LOW.
 b) Output current measured at $V_{OUT} = 0.5$ V
 The Output LOW drive factor is 7.5 U.L. for Military (54) and 15 U.L. for Commercial (74) Temperature Ranges.

SN54/74LS47

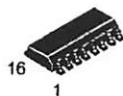
BCD TO 7-SEGMENT
DECODER/DRIVER
LOW POWER SCHOTTKY



J SUFFIX
CERAMIC
CASE 620-09



N SUFFIX
PLASTIC
CASE 648-08

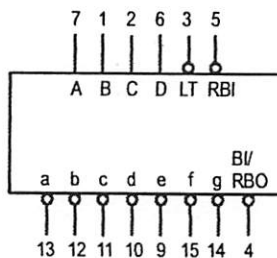


D SUFFIX
SOIC
CASE 751B-03

ORDERING INFORMATION

SN54LSXXJ	Ceramic
SN74LSXXN	Plastic
SN74LSXXD	SOIC

LOGIC SYMBOL

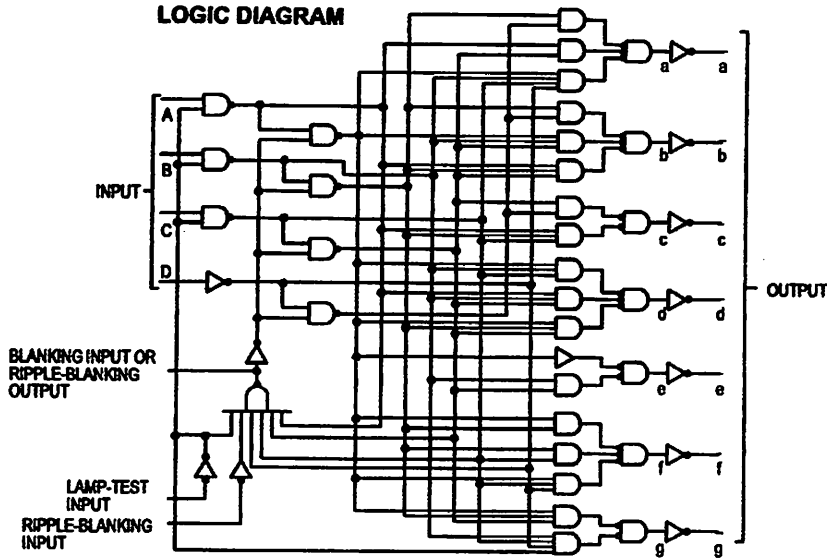


VCC = PIN 16
GND = PIN 8

FAST AND LS TTL DATA

SN54/74LS47

LOGIC DIAGRAM



NUMERICAL DESIGNATIONS — RESULTANT DISPLAYS

TRUTH TABLE

DECIMAL OR FUNCTION	INPUTS					OUTPUTS							NOTE		
	LT	RBI	D	C	B	A	BI/RBO	a	b	c	d	e		f	g
0	H	H	L	L	L	L	H	L	L	L	L	L	L	H	A
1	H	X	L	L	L	H	H	H	L	L	H	H	H	H	A
2	H	X	L	L	H	L	H	L	L	H	L	L	H	L	
3	H	X	L	L	H	H	H	L	L	L	L	H	H	L	
4	H	X	L	H	L	L	H	H	L	L	H	H	L	L	
5	H	X	L	H	L	H	H	L	H	L	L	H	L	L	
6	H	X	L	H	H	L	H	H	H	L	L	L	L	L	
7	H	X	L	H	H	H	H	L	L	L	H	H	H	H	
8	H	X	H	L	L	L	H	L	L	L	L	L	L	L	
9	H	X	H	L	L	H	H	L	L	L	H	H	L	L	
10	H	X	H	L	H	L	H	H	H	H	L	L	H	L	
11	H	X	H	L	H	H	H	H	L	L	L	H	H	L	
12	H	X	H	H	L	L	H	H	L	H	H	H	L	L	
13	H	X	H	H	L	H	H	L	H	H	L	H	L	L	
14	H	X	H	H	H	L	H	H	H	H	L	L	L	L	
15	H	X	H	H	H	H	H	H	H	H	H	H	H	H	
BI	X	X	X	X	X	X	L	H	H	H	H	H	H	H	B
RBI	H	L	L	L	L	L	L	H	H	H	H	H	H	H	C
LT	L	X	X	X	X	X	H	L	L	L	L	L	L	L	D

H = HIGH Voltage Level
L = LOW Voltage Level
X = Immaterial

NOTES:

- (A) BI/RBO is wire-AND logic serving as blanking input (BI) and/or ripple-blanking output (RBO). The blanking out (BI) must be open or held at a HIGH level when output functions 0 through 15 are desired, and ripple-blanking input (RBI) must be open or at a HIGH level if blanking of a decimal 0 is not desired. X = input may be HIGH or LOW.
- (B) When a LOW level is applied to the blanking input (forced condition) all segment outputs go to a LOW level regardless of the state of any other input condition.
- (C) When ripple-blanking input (RBI) and inputs A, B, C, and D are at LOW level, with the lamp test input at HIGH level, all segment outputs go to a HIGH level and the ripple-blanking output (RBO) goes to a LOW level (response condition).
- (D) When the blanking input/ripple-blanking output (BI/RBO) is open or held at a HIGH level, and a LOW level is applied to lamp test input, all segment outputs go to a LOW level.

SN54/74LS47

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V _{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T _A	Operating Ambient Temperature Range	54 74	-55 0	25 25	125 70	°C
I _{OH}	Output Current — High $\overline{BI}/R\overline{BO}$	54, 74			-50	μA
I _{OL}	Output Current — Low $\overline{BI}/R\overline{BO}$ $\overline{BI}/R\overline{BO}$	54 74			1.6 3.2	mA
V _{O (off)}	Off-State Output Voltage \overline{a} to \overline{g}	54, 74			15	V
I _{O (on)}	On-State Output Current \overline{a} to \overline{g} \overline{a} to \overline{g}	54 74			12 24	mA

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
V _{IH}	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Theshold Voltage for All Inputs
V _{IL}	Input LOW Voltage	54 74		0.7 0.8	V	Guaranteed Input LOW Threshold Voltage for All Inputs
V _{IK}	Input Clamp Diode Voltage		-0.65	-1.5	V	V _{CC} = MIN, I _{IN} = -18 mA
V _{OH}	Output HIGH Voltage, $\overline{BI}/R\overline{BO}$	2.4	4.2		V	V _{CC} = MIN, I _{OH} = -50 μA, V _{IN} = V _{IN} or V _{IL} per Truth Table
V _{OL}	Output LOW Voltage $\overline{BI}/R\overline{BO}$	54, 74 74	0.25 0.35	0.4 0.5	V	I _{OL} = 1.6 mA I _{OL} = 3.2 mA V _{CC} = MIN, V _{IN} = V _{IN} or V _{IL} per Truth Table
I _{O (off)}	Off-State Output Current a thru g			250	μA	V _{CC} = MAX, V _{IN} = V _{IN} or V _{IL} per Truth Table, V _{O (off)} = 15 V
V _{O (on)}	On-State Output Voltage a thru g	54, 74 74	0.25 0.35	0.4 0.5	V	I _{O (on)} = 12 mA I _{O (on)} = 24 mA V _{CC} = MAX, V _{IN} = V _{IH} or V _{IL} per Truth Table
I _{IH}	Input HIGH Current			20 0.1	μA mA	V _{CC} = MAX, V _{IN} = 2.7 V V _{CC} = MAX, V _{IN} = 7.0 V
I _{IL}	Input LOW Current $\overline{BI}/R\overline{BO}$ Any Input except $\overline{BI}/R\overline{BO}$			-1.2 -0.4	mA	V _{CC} = MAX, V _{IN} = 0.4 V
I _{OS $\overline{BI}/R\overline{BO}$}	Output Short Circuit Current (Note 1)	-0.3		-2.0	mA	V _{CC} = MAX, V _{OUT} = 0 V
I _{CC}	Power Supply Current		7.0	13	mA	V _{CC} = MAX

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (T_A = 25°C)

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
t _{PHL}	Propagation Delay, Address			100	ns	V _{CC} = 5.0 V C _L = 15 pF
t _{PLH}	Input to Segment Output			100	ns	
t _{PHL}	Propagation Delay, $\overline{RB1}$ Input			100	ns	
t _{PLH}	To Segment Output			100	ns	

AC WAVEFORMS

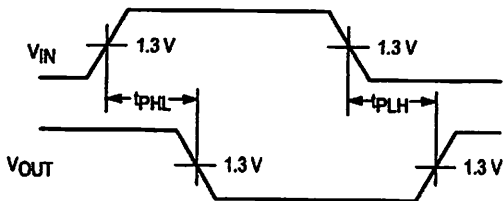


Figure 1

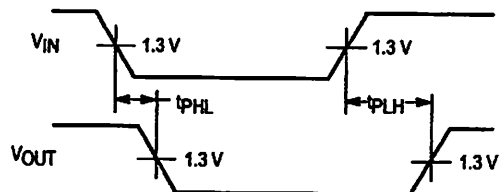


Figure 2

FAST AND LS TTL DATA

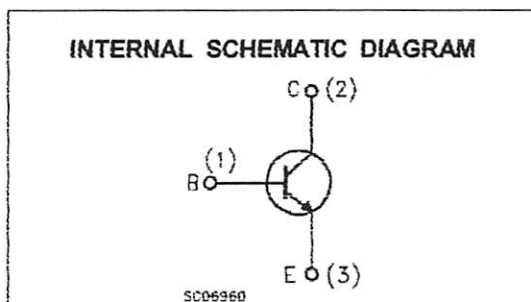
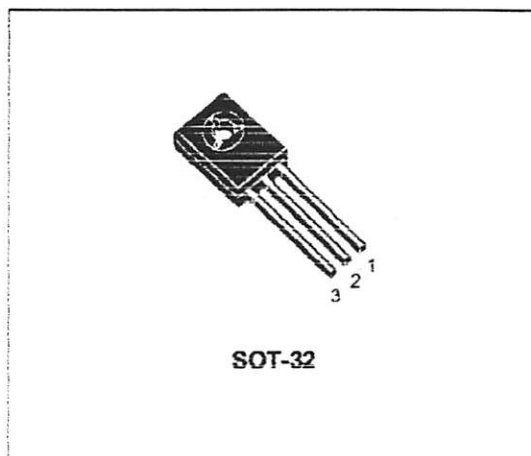
NPN SILICON TRANSISTOR

■ SGS-THOMSON PREFERRED SALESTYPES

DESCRIPTION

The BD135, BD137 and BD139 are silicon epitaxial planar NPN transistors in Jedec SOT-32 plastic package, designed for audio amplifiers and drivers utilizing complementary or quasi complementary circuits.

The complementary PNP types are the BD136, BD138 and BD140.



ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter	Value			Unit
		BD135	BD137	BD139	
V_{CBO}	Collector-Base Voltage ($I_E = 0$)	45	60	80	V
V_{CEO}	Collector-Emitter Voltage ($I_B = 0$)	45	60	80	V
V_{EBO}	Emitter-Base Voltage ($I_C = 0$)	5			V
I_C	Collector Current	1.5			A
I_{CM}	Collector Peak Current	3			A
I_B	Base Current	0.5			A
P_{tot}	Total Dissipation at $T_c \leq 25^\circ\text{C}$	12.5			W
P_{tot}	Total Dissipation at $T_{amb} \leq 25^\circ\text{C}$	1.25			W
T_{stg}	Storage Temperature	-65 to 150			$^\circ\text{C}$
T_j	Max. Operating Junction Temperature	150			$^\circ\text{C}$

BD135/BD137/BD139

THERMAL DATA

$R_{thj-case}$	Thermal Resistance Junction-case	Max	10	$^{\circ}C/W$
----------------	----------------------------------	-----	----	---------------

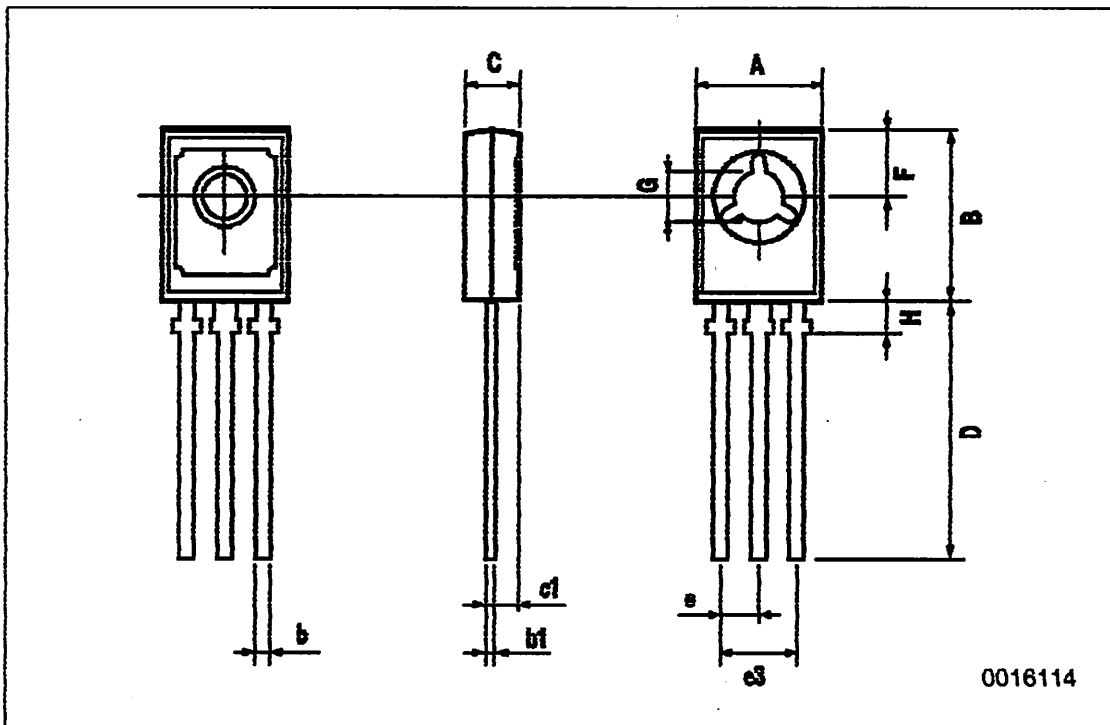
ELECTRICAL CHARACTERISTICS ($T_{case} = 25^{\circ}C$ unless otherwise specified)

Symbol	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
I_{cbo}	Collector Cut-off Current ($I_E = 0$)	$V_{CB} = 30 V$ $V_{CB} = 30 V \quad T_C = 125^{\circ}C$			0.1 10	μA μA
I_{EBO}	Emitter Cut-off Current ($I_C = 0$)	$V_{EB} = 5 V$			10	μA
$V_{CE(sus)}^*$	Collector-Emitter Sustaining Voltage	$I_C = 30 mA$ for BD135 for BD137 for BD139	45 60 80			V V V
$V_{CE(sat)}^*$	Collector-Emitter Saturation Voltage	$I_C = 0.5 A \quad I_B = 0.05 A$			0.5	V
V_{BE}^*	Base-Emitter Voltage	$I_C = 0.5 A \quad V_{CE} = 2 V$			1	V
h_{FE}^*	DC Current Gain	$I_C = 5 mA \quad V_{CE} = 2 V$ $I_C = 0.5 A \quad V_{CE} = 2 V$ $I_C = 150 mA \quad V_{CE} = 2 V$	25 25 40		250	
h_{FE}	h_{FE} Groups	$I_C = 150 mA \quad V_{CE} = 2 V$ for BD139 group 10	63		160	

* Pulsed: Pulse duration = 300 μs , duty cycle 1.5 %

SOT-32 MECHANICAL DATA

DIM.	mm			inch		
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.
A	7.4		7.8	0.291		0.307
B	10.5		10.8	0.413		0.445
b	0.7		0.9	0.028		0.035
b1	0.49		0.75	0.019		0.030
C	2.4		2.7	0.04		0.106
c1		1.2			0.047	
D		15.7			0.618	
e		2.2			0.087	
e3		4.4			0.173	
F		3.8			0.150	
G	3		3.2	0.118		0.126
H			2.54			0.100



Information furnished is believed to be accurate and reliable. However, SGS-THOMSON Microelectronics assumes no responsibility for the consequences of use of such information nor for any infringement of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of SGS-THOMSON Microelectronics. Specifications mentioned in this publication are subject to change without notice. This publication supersedes and replaces all information previously supplied. SGS-THOMSON Microelectronics products are not authorized for use as critical components in life support devices or systems without express written approval of SGS-THOMSON Microelectronics.

© 1995 SGS-THOMSON Microelectronics - All Rights Reserved

SGS-THOMSON Microelectronics GROUP OF COMPANIES

Australia - Brazil - France - Germany - Hong Kong - Italy - Japan - Korea - Malaysia - Malta - Morocco - The Netherlands -
Singapore - Spain - Sweden - Switzerland - Taiwan - Thailand - United Kingdom - U.S.A