

**INSTITUT TEKNOLOGI NASIONAL MALANG  
FAKULTAS TEKNOLOGI INDUSTRI  
JURUSAN TEKNIK ELEKTRO S-I  
KONSENTRASI TEKNIK ELEKTRONIKA**



**SKRIPSI**



**PERENCANAAN DAN PEMBUATAN SISTEM KONTROL AUTO  
INSPECTION TABUNG GELAS TL ( TABULAR LAMP ) PADA  
INDUSTRI LAMPU BERBASIS VHDL**

**Disusun  
Oleh**

**CROS SANDRA ALFA AGUS ASMARA  
NIM. 99.17.240**

**MARET 2005**

REPUBLICAN PARTY  
NATIONAL COMMITTEE  
1600 K STREET, N.W.  
WASHINGTON, D.C.

1954

REPUBLICAN PARTY  
NATIONAL COMMITTEE  
1600 K STREET, N.W.  
WASHINGTON, D.C.

1954

1954

REPUBLICAN PARTY

1954

1954

# LEMBAR PERSETUJUAN

PERENCANAAN DAN PEMBUATAN SISTEM KONTROL AUTO  
INSPECTION TABUNG GELAS TL ( TABULAR LAMP ) PADA  
INDUSTRI LAMPU BERBASIS VHDL

## SKRIPSI

*Disusun Dan Diajukan Sebagai Salah Satu Syarat Untuk Memperoleh Gelar  
Sarjana Teknik Elektronika Strata Satu (S-1)*

Disusun oleh:

**CROS SANDRA ALFA AGUS ASMARA**

NIM: 99 17 240

Diperiksa dan Disetujui

Dosen Pembimbing I

(Ir.Soetikno)

NIP.130445231

Diperiksa dan Disetujui

Dosen Pembimbing II

(Joseph Dedy Irawan, ST.MT)

NIP.1039800324

Mengetahui,

**Ketua Jurusan Teknik Elektro S-1**

Ir. FX.Yudi Limpraptono, MT

NIP. 1039500274

INSTITUT TEKNOLOGI NASIONAL  
FAKULTAS TEKNOLOGI INDUSTRI  
JURUSAN TEKNIK ELEKTRO S-1  
KONSENTRASI TEKNIK ELEKTRONIKA

## LEMBAR PERSEMBAHAN

***"Janganlah hendaknya kerajinanmu kendor, biarlah rohmu menyala-nyala dan layanilah TUHAN. Bersukacitalah dalam pengharapan, sabarlah dalam kesesakan, dan bertekunlah dalam DOA"***

***Roma 12:11-12***

Puji Tuhan akhirnya skripsi ini selesai juga. Puji dan hormat serta syukur buat Juru selamatku **YESUS KRISTUS**, Kaulah Tuhan dan ALLAHku yang ajaib tanpa campur tanganMU mustahil semua ini kulalui **"THANKS GOD"** Kupersembahkan sebuah Skripsi ini buat orang yang aku cintai dan aku sayangi.

Spesial untuk kedua orang tuaku **"makasih Papa...makasih Mama...."** dengan dukunganmu dalam segala hal dan kasih sayangmu akhirnya aku bisa selesai kuliah juga, dan adik-adikku Dian, Pandu, dan si bandel Teta makasih atas dukungan kalian semua.

Buat bapak yang sudah ada di rumah Tuhan **"bahagiaku untukmu"**

Ibu trimakasih atas kasih dan sayangmu serta doamu

**"akhirnya selesai juga bu"**

Buat MyDias makasih atas suport yang senantiasa menemaniku walaupun itu dari kejauhan, karena janjimu yang **"yaaah sedikit mleset gitu, tapi tetap oks kok"**

**"Aku kan yakin bila kaupun yakin"**

Makasih buat teman-teman semua : bang Bondan makasihyee udah kasih tau bikin programnya, Doni, Wawan, Cahyo, Eko "lulus itu enak ya tapi lebih enak lagi klo kerja oyii..", serta lainnya yang gak sempet disebut makasih ya atas dukunganya.

Dan tak lupa untuk semua dosen di ITN yang telah membagi ilmunya buat mahasiswanya serta staf yang lain yang telah membantu semua proses ini.




INSTITUT TEKNOLOGI NASIONAL  
Jl. Bendungan Sigura-gura No. 2  
MALANG

## BERITA ACARA UJIAN SKRIPSI FAKULTAS TEKNOLOGI INDUSTRI

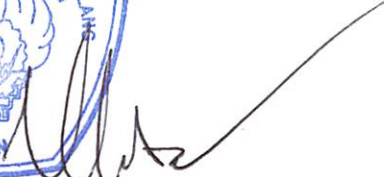
Nama Mahasiswa : CROS SANDRA ALFA AGUS ASMARA  
NIM : 99.17.240  
Jurusan : Teknik Elektro S-1  
Konsentrasi : Teknik Elektronika  
Judul Skripsi : Perencanaan Dan Pembuatan Sistem Kontrol  
Auto Inspection Tabung Gelas TL (Tabular  
Lamp) Pada Industri Lampu Berbasis VHDL

Dipertahankan dihadapan Team Penguji Skripsi Jenjang Strata Satu (S-1)  
pada :

Hari : Kamis  
Tanggal : 31 Maret 2005  
Dengan Nilai : 78,55 (B) 





### Panitia Ujian Skripsi

  
Ir. Mochtar Asroni, MSME  
Ketua

  
Ir. F. Yudi Limpraptono, MT  
Sekretaris

### Anggota Penguji

  
Ir. Mohammad Luqman, MT  
Penguji Pertama

  
Ir. Eko Nurcahyo  
Penguji Kedua

## **ABSTRAKSI**

### **PERENCANAAN DAN PEMBUATAN SISTEM KONTROL AUTO INSPECTION TABUNG GELAS TL ( TABULAR LAMP ) PADA INDUSTRI LAMPU BERBASIS VHDL**

( Cros Sandra Alfa A.A, 9917240, Teknik Elektro/Teknik Elektronika S-1, 64 hal)

( Dosen Pembimbing I : Ir. Soetikno )

( Dosen Pembimbing II : Joseph Dedy Irawan,ST MT )

Kata kunci : VHDL, PLD, Warp2 Release 5.2, Galaxi, Aktive-HDL FSM, Aktive-HDL Simulator, IC GAL 22V10.

Bidang Industri merupakan bidang yang banyak berhubungan dengan teknologi elektronika, dimana teknik elektronika dapat berperan besar dalam memenuhi kebutuhan sistem kontrol mesin-mesin pada dunia industri khususnya dalam hal ini industri yang berkaitan langsung dengan produksi tabung gelas untuk lampu, adanya sistem kontrol diharapkan dapat mengurangi kekurangan telitian proses pengecekan cacat produksi suatu barang yang biasanya dikerjakan secara manual sehingga cacat produksi suatu barang dapat ditekan sekecil mungkin, seperti alat auto inspection berdasarkan pengukuran diameter luar dari tabung gelas pada pembuatan tabung gelas Tabular Lamp (TL) pada industri lampu agar didapat ukuran diameter luar dari tabung gelas TL dengan kualitas yang sesuai dengan setandartnya sehingga didapat kualitas produksi sesuai yang diharapkan. Hal diatas akan diaplikasikan dengan menggunakan teknologi VHDL dengan software Warp2 Release 5.2 dengan IC GAL 22V10.

## KATA PENGANTAR

Dengan memanjatkan puji syukur kehadiran Tuhan YME, yang telah memberikan rahmat dan karunia-Nya pada penulis, sehingga penulis dapat menyelesaikan skripsi ini yang merupakan salah satu persyaratan dalam menyelesaikan studi program strata satu (S-1) jurusan Teknik Elektro/Program Studi Teknik Elektronika, Fakultas Teknologi Industri, Institut Teknologi Nasional Malang.

Sebelum dan selama penulisan skripsi, penulis telah mendapatkan bantuan dan bimbingan dari berbagai pihak. Untuk itu pada kesempatan ini penulis menyampaikan terima kasih yang sebesar-besarnya kepada:

1. Bapak Dr.Ir. Abraham Lomi, MSEE, selaku Rektor ITN Malang.
2. Bapak Ir. Mochtar Asroni, MSME, selaku Dekan FTI ITN Malang.
3. Bapak Ir. Yudi Limpraptono, MT, selaku Ketua Jurusan Teknik Elektro (S1) ITN Malang.
4. Bapak Ir. Soetikno, selaku dosen pembimbing I dalam penulisan skripsi ini.
5. Bapak Joseph Dedy Irawan, ST.MT, selaku dosen pembimbing II dalam penulisan skripsi ini.
6. Semua pihak yang tidak dapat penulis sebutkan satu per satu, yang telah membantu dalam penyelesaian skripsi ini.

Semoga segala bantuan dan bimbingan yang diberikan mendapat balasan dari Tuhan YME. Akhirnya penulis berharap semoga laporan ini bermanfaat bagi pembaca sekalian, khususnya bagi mahasiswa jurusan Teknik Elektronika.

Malang, Maret 2005

Penulis

## DAFTAR ISI

<b>HALAMAN JUDUL</b> .....	<b>i</b>
<b>LEMBAR PERSETUJUAN</b> .....	<b>ii</b>
<b>LEMBAR BERITA ACARA UJIAN SKRIPSI</b> .....	<b>iii</b>
<b>ABSTRAKSI</b> .....	<b>iv</b>
<b>KATA PENGANTAR</b> .....	<b>v</b>
<b>DAFTAR ISI</b> .....	<b>vi</b>
<b>DAFTAR GAMBAR</b> .....	<b>ix</b>
<b>DAFTAR TABEL</b> .....	<b>x</b>
<b>BAB I PENDAHULUAN</b> .....	<b>1</b>
1.1. Latar Belakang .....	1
1.2. Rumusan Masalah .....	2
1.3. Tujuan.....	3
1.4. Batasan Masalah.....	4
1.5. Metodologi .....	5
1.6. Sistematika .....	6
<b>BAB II LANDASAN TEORI</b> .....	<b>7</b>
2.1. VHDL .....	7
2.1.1. Sekilas VHDL .....	7
2.1.2. Kelebihan VHDL .....	8
2.1.3. Programmable Array Logic GAL 22V10 .....	11
2.1.4. Pemrograman Dengan Software Warp 5.2.....	12
2.1.5. Entity Deklaration .....	14
2.1.6. Architercture Boddy .....	15
2.1.7. Declaration Component.....	18
2.1.8. Concurent Statement .....	19
2.1.9. Sequential Statement .....	21
2.2. Pewaktu LM 555 .....	24
2.3. Osilator Jembatan Wien .....	26



2.4. Tranduser Induktansi.....	27
2.5. ADC 0804.....	29
2.6. Infra Red.....	30
2.7. Photo Diode.....	31
2.8. Standarisasi Diameter Tabung gelas TL .....	32

### **BAB III PERENCANAAN DAN PEMBUATAN ALAT..... 33**

3.1. Perencanaan Hardware.....	33
3.1.1. Rangkaian Clock .....	36
3.1.2. Blok rangkaian Tranduser .....	37
3.1.3. Rangkaian Osilator Jembatan Wien .....	37
3.1.4. Rangkaian Buffer .....	38
3.1.5. Tranduser Induktansi.....	39
3.1.6. Rangkaian Penurun Tegangan .....	40
3.1.7. Rangkaian Penyearah Gelombang Penuh.....	40
3.1.8. Analog to Digital Converter (ADC).....	41
3.1.9. Rangkaian Sensor Posisi (Infra Red dan Limit Switch) .....	43
3.1.10. Rangkaian Drever Motor DC Untuk Konveyor dan Penyeleksi tabung TL .....	45
3.1.11. Rangkaian IC GAL 22V10.....	46
3.2. Perancangan Software .....	47

### **BAB IV PENGUJIAN DAN ANALISIS ..... 49**

4.1. Pengujian Perangkat Keras .....	49
4.1.1. Pengujian Rangkaian Tranduser Induktansi.....	50
4.1.2. Pengujian Rangkaian ADC 0804 .....	53
4.1.3. Pengujian Rangkaian Sensor Posisi .....	54
4.1.4. Pengujian Drever Motor DC dan Lampu Indikator Penginspeksian Tabung TL .....	55
4.1.5. Kecepatan Proses Pedeteksian Diameter TL.....	56

4.2. Pengujian Perangkat Lunak.....	58
-------------------------------------	----

**BABA V PENUTUP ..... 62**

5.1. Kesimpulan.....	62
----------------------	----

5.2. Saran-saran.....	63
-----------------------	----

**DAFTAR PUSTAKA**

**LAMPIRAN**

## DAFTAR GAMBAR

Gambar 2.1	Beberapa contoh kelas dalam design description pada VHDL.....	9
Gambar 2.2	Kemudahan yang disediakan VHDL.....	10
Gambar 2.3	Konfigurasi kaki IC GAL 22V10 .....	12
Gambar 2.4	Hubungan antara entity design dan architecture body .....	13
Gambar 2.5	Blok diagram internal LM 555.....	25
Gambar 2.6	Rangkaian jembatan wien.....	26
Gambar 2.7	Bentuk fisik tranduser induktansi.....	27
Gambar 2.8	Konvigurasi pin ADC 0804.....	30
Gambar 2.9	Cara memberi tegangan pada infra red.....	31
Gambar 2.10	Cara memberi tegangan pada photo diode .....	32
Gambar 3.1	Diagram blok keseluruhan rangkaian.....	34
Gambar 3.2	Desain Mekanik Alat.....	35
Gambar 3.3	Rangkaian clock .....	36
Gambar 3.4	Blok diagram rangkaian tranduser induktansi.....	37
Gambar 3.5	Rangkaian osilator jembatan wien.....	37
Gambar 3.6	Rangkaian Buffer .....	38
Gambar 3.7	Rangkaian tranduser induktansi .....	39
Gambar 3.8	Rangkaian penurun tegangan .....	40
Gambar 3.9	Penyearah gelombang penuh.....	41
Gambar 3.10	Rangkaian ADC 0804.....	41
Gambar 3.11	Rangkaian sensor infra red dan limit switch .....	44
Gambar 3.12	Driver motor DC.....	45
Gambar 3.13	Rangkaian IC GAL22V10.....	46
Gambar 3.14	Flochart alur kerja dari alat.....	48
Gambar 3.15	Hasil simulasi project 1 untuk TL terinspeksi.....	58
Gambar 3.16	Hasil simulasi project 1 untuk TL tak terinspeksi.....	59
Gambar 3.17	Hasil simulasi project 2 untuk TL terinspeksi.....	60
Gambar 3.18	Hasil simulasi project 1 untuk TL tak terinspeksi.....	61

## DAFTAR TABEL

Tabel 4.1	Hasil pengujian tegangan output osilator .....	50
Tabel 4.2	Hasil pengujian tegangan output tranduser induktansi .....	51
Tabel 4.3	Hasil pengujian rangkain penurun tegangan .....	52
Tabel 4.4	Hasil pengujian ADC .....	53
Tabel 4.5	Pengujian sensor posisi untuk photo diode .....	54
Tabel 4.6	Pengujian sesor posisi untuk limit switch .....	55
Tabel 4.7	Hasil pengujian driver motor DC .....	56
Tabel 4.8	Kecepatan Proses Kerja Alat.....	57
Tabel 4.8	Hasil pengujian lampu indikator penginspeksian tabung gelas TL .....	57

# **BAB I**

## **PENDAHULUAN**

### **1.1. Latar Belakang**

Perkembangan teknologi khususnya teknologi yang berhubungan dengan elektronika telah mengalami perkembangan yang sangat pesat seiring dengan kemajuan zaman, dewasa ini perkembangan teknologi elektronika dapat diaplikasikan dan dimanfaatkan dalam berbagai bidang. Bidang Industri merupakan bidang yang banyak berhubungan dengan teknologi elektronika, sehingga teknik elektronika dapat berperan besar dalam memenuhi kebutuhan sistem kontrol mesin-mesin pada dunia industri khususnya dalam hal ini industri yang berkaitan langsung dengan produksi tabung gelas untuk lampu, adanya sistem kontrol diharapkan dapat mengurangi kecurangan telitian proses pengecekan cacat produksi suatu barang yang biasanya dikerjakan secara manual sehingga cacat produksi suatu barang dapat ditekan sekecil mungkin, seperti alat auto inspection berdasarkan pengukuran diameter luar dari tabung gelas pada pembuatan tabung gelas Tabular Lamp (TL) pada industri lampu agar didapat ukuran diameter luar dari tabung gelas TL dengan kualitas yang sesuai dengan standarnya sehingga didapat kualitas produksi sesuai yang diharapkan.

Untuk mendapatkan ukuran diameter luar tabung gelas yang sesuai dengan standart yang telah ditentukan maka perlu diadakan pengecekan lebih lanjut, auto inspection yang dimaksud adalah pengecekan ukuran diameter luar dari produksi tabung gelas lampu TL dan memisahkan antara produksi tabung

yang memenuhi syarat dengan yang tidak memenuhi syarat guna mendapatkan kualitas produksi tabung gelas yang berkualitas dan sesuai standart yang telah ditentukan pada produksi tersebut.

Menanggapi permasalahan tersebut diatas maka dalam perencanaan skripsi kali ini penulis akan merencanakan sebuah sistem elektronik yang dapat mendeteksi dan menginspeksi hasil prduksi tabung gelas yang cacat (tidak memenuhi ukuran diameter luar yang telah ditentukan atau tidak sesuai dengan standart yang telah ditentukan), sehingga hanya didapat hasil produksi tabung gelas lampu TL sesuai yang diinginkan, dengan menggunakan teknologi elektronika berbasis VHDL. Dengan adanya sistem kontrol ini diharapkan akan menghemat biaya produksi, mempercepat produksi dan dapat juga menghemat sumber daya manusia.

## **1.2. Rumusan Masalah**

Dari latar belakang di atas, didapatkan rumusan masalah sebagai berikut :

- a. Bagaimana merancang dan membuat suatu sistem kontrol auto inspection tabung gelas TL (Tabular Lamp), berdasarkan pendeteksian diameter luar dari tabung tersebut, pada penyusunan skripsi agar sesuai dengan yang diinginkan.
- b. Bagaimana merancang dan membuat Finite State Machine (FSM) dengan menggunakan Aktive-HDL FSM agar dapat dioperasikan

sebagai pengontrol sistem auto inspection tabung gelas tabular lamp tersebut.

- c. Bagaimana mengaplikasikan suatu Sistem Kontrol PLD dan bagaimana agar alat tersebut dapat bekerja sesuai dengan yang diharapkan.

Sehubungan dengan permasalahan di atas, maka dalam Skripsi ini dipilih

judul :

***“PERENCANAAN DAN PEMBUATAN SISTEM KONTROL AUTO  
INSPECTION TABUNG GELAS TL (TABULAR LAMP) PADA INDUSTRI  
LAMPU BERBASIS VHDL”***

### **1.3. Tujuan**

Adapun tujuan perancangan dan pembuatan alat ini adalah :

- a. Mempelajari implementasi Sistem Kontrol PLD dengan menggunakan IC GAL 22V10.
- b. Mengaplikasikan Sistem Kontrol PLD untuk membuat alat yang dapat mendeteksi adanya cacat (berdasarkan pendeteksian diameter luar ) pada proses produksi tabung gelas TL (Tabular Lamp) sehingga dapat meminimalisir kerugian hasil produksi dan meningkatkan kualitas produksi tabung gelas TL (Tabular Lamp) sehingga dapat memenuhi standart yang telah ditentukan, dari beberapa sample (tabung lampu TL sesuai setandart diambil dari tabung TL 10 watt merk National dan sebagai contoh tabung TL

yang tidak memenuhi syarat diambil dari beberapa pipa PVC dengan ukuran yang berbeda, hal ini disebabkan karena penulis mengalami kesulitan dalam mencari bahan yang sesungguhnya yang terbuat dari kaca .

#### **1.4. Batasan Masalah**

Agar permasalahan dalam tugas akhir ini tidak berkembang, karena keterbatasan pengetahuan, waktu, dan biaya, maka pembatasan masalah dibatasi pada :

- a. Sistem kontrol PLD yang diimplementasikan dengan menggunakan IC GAL 22V10.
- b. Perencanaan hardware dan software menggunakan teknologi berbasis PLD yang menggunakan bahasa pemrograman VHDL, rangkaian sensor, rangkaian osilator, rangkaian buffer, rangkaian penurun tegangan, rangkaian penyearah, rangkaian analog to digital conversion (ADC), dan rangkaian driver motor DC.
- c. Auto inspection hanya mendeteksi tabung dengan pengecekan yang didasarkan pada ukuran diameter luar dari tabung gelas Tabular Lamp.
- d. Jenis tabung gelas TL (Tabular Lamp) yang digunakan hanya untuk TL 10 watt.
- e. Penyeleksian dan pengecekan TL hanya dilakukan berdasarkan pengambilan contoh (sample).



- f. Tidak membahas power supply yang digunakan.

## **1.5. Metodologi**

Metode yang digunakan dalam perencanaan dan pembuatan laporan tugas akhir ini adalah :

### **a. Studi Literatur**

Dengan mempelajari teori mengenai VHDL serta teori-teori lain yang menunjang perancangan dan pembuatan alat.

### **b. Perancangan Alat**

Melaksanakan perancangan sistem sebagai perwujudan dan penyusunan tugas akhir.

### **c. Pembuatan Alat**

Membuat sistem sesuai dengan perancangan yang telah dibuat.

### **d. Pengujian Alat**

Melakukan pengujian alat, apakah sesuai dengan perancangan dan jika perlu melakukan perbaikan-perbaikan agar sesuai dengan yang diinginkan.

## **1.6. Sistematika**

Adapun sistematika dari penyusunan laporan skripsi ini adalah :

### **BAB I PENDAHULUAN**

Berisi latar belakang, rumusan masalah, tujuan, pembatasan masalah, metodologi penulisan, serta sistematika penyusunan dan pembuatan alat.

### **BAB II TEORI PENUNJANG**

Berisi tentang teori – teori dasar yang memiliki relevansi sebagai dasar perencanaan dan pembuatan.

### **BAB III PERCANAAN DAN PEMBUATAN**

Berisi tentang perencanaan hardware dan software.

### **BAB IV PENGUJIAN ALAT**

Berisi tentang data hasil pengujian peralatan yang telah dibuat secara keseluruhan.

### **BAB V PENUTUP**

Berisi kesimpulan dan saran dari skripsi ini

## BAB II

### LANDASAN TEORI

#### 2.1. VHDL

##### 2.1.1. Sekilas VHDL

VHDL (*Very High Speed Integrated Circuit Hardware Description Language*) merupakan suatu bahasa pemrograman tingkat tinggi yang digunakan untuk memprogram suatu IC digital PLD (*Programmable Logic Device*), digunakan untuk menggambarkan perangkat keras untuk tujuan simulasi, pemodelan, tes perancangan, dan dokumentasi dari suatu sistem digital. Bahasa ini merupakan format yang kompleks dan mencukupi untuk representatif dari fungsi dan detail hubungan dalam suatu sistem digital. Beberapa HDL terdiri dari beberapa sumber yang sederhana dan notasi yang dapat menggantikan diagram skematik dari suatu rangkaian digital, sementara HDL ini dapat berupa program simulasi yang dapat digunakan untuk verifikasi, desain, atau untuk membentuk perangkat keras secara otomatis. HDL memiliki aturan-aturan tersendiri seperti sistematika program sampai dengan syntax yang digunakan. Teknologi PLD ini terbagi berdasarkan jumlah gate yang ada, yaitu :

- < 500 gate SPLD (*Simple Programmable Logic Device*)
- > 500 - < 5000 gate CPLD (*Complex Programmable Logic Device*)
- > 5000 - < 10000 gate FPGA (*Field Programmable Gate Array*)
- > 10000 - < 20000 gate ASIC (*Application Specific Integrated Circuit*)

Departemen Pertahanan Amerika Serikat pada musim panas tahun 1981 mensponsori workshop untuk HDL di Wood Hole. Pada tahun 1983 departemen tersebut menetapkan bahasa standar VHDL (*VHSIC Hardware Description Language*), berdasarkan rekomendasi dari workshop di Wood Hole tersebut. Di tahun 1986, VHDL diajukan sebagai standar IEEE. Setelah melalui berbagai revisi, VHDL disetujui sebagai standar IEEE 1076 pada bulan Desember 1987. Di tahun 1988, MilStd 454 meminta agar semua ASIC (*Application Specific Integrated Circuit*) dideskripsikan sebagai VHDL, sehingga pada tahun 1993, IEEE 1076 diperbaharui menjadi IEEE 1164. Kemudian di tahun 1996, IEEE 1076.3 dijadikan standar sintesa VHDL.

### 2.1.2. Kelebihan VHDL

Setiap desainer teknis di dalam industri elektronika sudah seharusnya mempelajari HDL untuk tetap dapat berkompetisi dengan yang lain. Dengan VHDL, dapat dibuat dan disintesa suatu rangkaian dengan ribuan gerbang logika dalam waktu yang lebih singkat, jika dibandingkan dengan mendesain suatu rangkaian yang sama dengan menggunakan skematik atau persamaan Boolean yang membutuhkan waktu berbulan-bulan. Kelebihan-kelebihan VHDL adalah sebagai berikut :

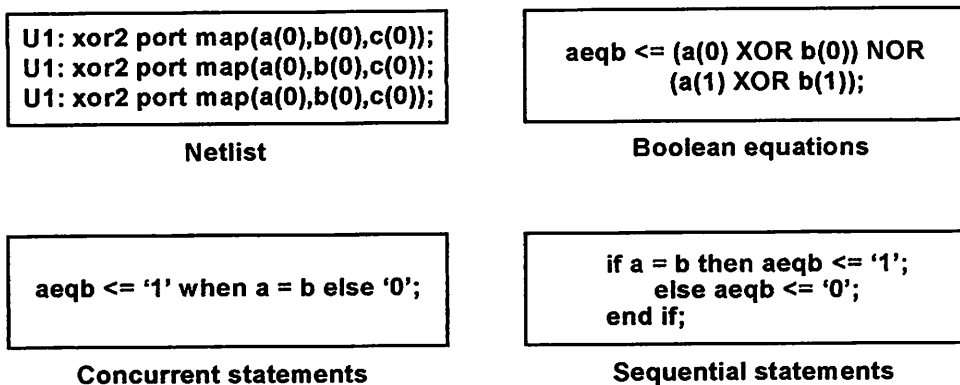
#### a. Power and Flexibility

VHDL memiliki susunan bahasa yang kokoh, dan dapat dituliskan kode deskripsi secara ringkas untuk kontrol logika yang kompleks. VHDL juga memiliki tingkatan desain deskripsi yang beragam untuk implementasi desain kontrol. Juga mendukung berbagai *design*

*libraries* dan perakitan komponen dan memberikan *design hierarchies* yang dapat digunakan baik untuk desain maupun simulasi.

#### b. Device Independent Design

VHDL memungkinkan untuk mendesain suatu alat tanpa harus memilih terlebih dahulu pada peralatan apa desain tersebut diimplementasikan. Dengan gambaran, desain tersebut dapat ditargetkan pada beberapa *design architecture*. Dengan VHDL, dapat dikerjakan juga beberapa macam deskripsi desain sehingga menghasilkan sebuah perakitan yang optimal.



**Gambar 2.1**

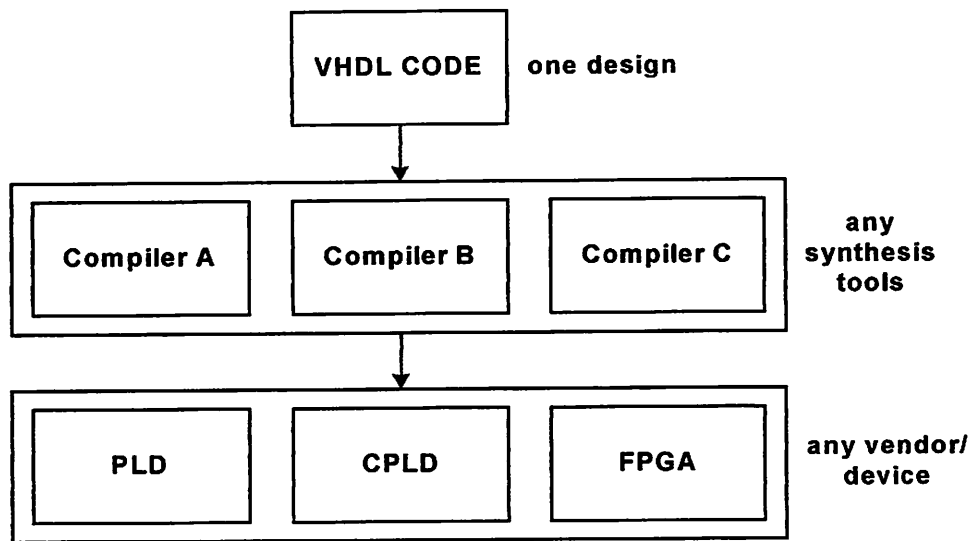
**Beberapa contoh kelas dalam design description pada VHDL<sup>[1]</sup>**

#### c. Portability

VHDL memungkinkan untuk mensimulasikan desain deskripsi yang disintesis. Mensimulasikan beberapa ribu gerbang desain deskripsi dengan VHDL sebelum mensintesisnya dapat menghemat waktu pengerjaan, kekurangan-kekurangan pada desain yang ditemukan pada tingkatan tersebut dapat diperbaiki sebelum memasuki implementasi

<sup>[1]</sup> Kevin Skahill, VHDL For Programmable Logic, Cypress Semiconductor, 1996, page : 5

tingkatan desain. Karena VHDL merupakan standar, tiap desain dapat digunakan pada berbagai jenis simulator, berbagai alat sintesa, dan berbagai platform. Ini berarti bahwa desain VHDL dideskripsikan dapat digunakan pada multi proyek.



**Gambar 2.2**

**Kemudahan yang disediakan VHDL antara compiler dan alat yang di desain terpisah<sup>[2]</sup>**

d. Benchmarking Capabilities

VHDL memungkinkan untuk menentukan dan mengukur suatu desain dengan arsitek *device* dan peralatan pensintesa yang berbeda, tidak perlu memilih terlebih dahulu apakah menggunakan PLD, CPLD, atau FPGA. Desain dan sintesa dilakukan terlebih dahulu, baru kemudian dipilih IC apa yang cocok dengan hasil evaluasi desain tersebut.

e. Waktu jual yang cepat dan harga yang terjangkau

<sup>[2]</sup> Kevin Skahill, VHDL For Programmable Logic, Cypress Semiconductor, 1996, page : 6

Dengan VHDL, maka kecepatan proses dapat ditingkatkan dan biaya untuk sebuah desain dapat ditekan. Sebuah IC PLD dapat menggantikan banyak IC logika biasa, bahkan IC ASIC dapat menggantikan sampai 100000 buah gerbang. IC ini dikatakan *programmable* karena fungsi-fungsi khusus IC untuk pemakaian tertentu ditentukan oleh pemilihan pemutusan oleh beberapa gerbang pada saat yang lain dibiarkan tetap terhubung. Proses pemutusan sekring dapat dilakukan oleh si pembuat sesuai dengan instruksi pelanggan sendiri. Hal ini yang disebut dengan programming.

f. Piranti antarmuka

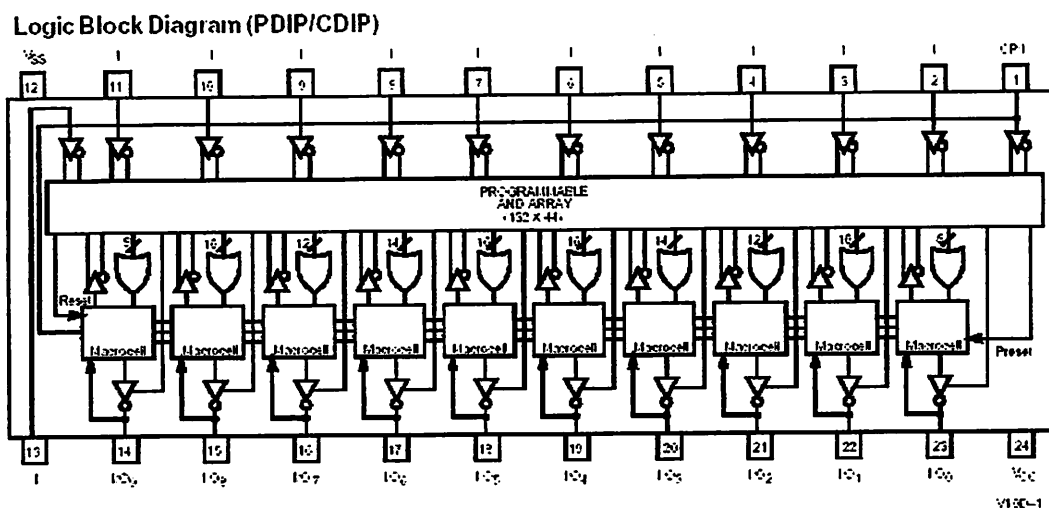
Pada pengendali proses transmisi data serial dengan menggunakan Programmable Array Logic GAL 22V10, semua kerja alat ditentukan oleh keadaan dari output IC PAL. Untuk menghasilkan tegangan supply yang stabil dan sesuai yang diharapkan, maka harus dipasang rangkaian regulator sebagai penstabilnya.

### 2.1.3. Programmable Array Logic GAL 22V10

Selain Cypress dan Atmel, jenis IC ini juga diproduksi oleh Lattice Semiconductor dengan nama Generic Array Logic GAL 22V10. IC ini dapat dihapus programnya secara elektrik. IC ini diimplementasikan dengan Sun of Product (Standart Logic AND Line DC), struktur logika dan macrocell yang dapat diprogram.

Dengan jumlah pin 24, dengan perincian sebagai berikut :

- Untuk input, pin 2-11 dan pin 13
- Untuk input/output, pin 14-23
- Untuk Vss, pin 24
- Untuk CP/1, pin 1



Gambar 2.3

### Konfigurasi Kaki IC GAL 22V10<sup>[3]</sup>

IC ini memiliki OLMC (*Output Logic Macro Cell*) yang dapat dikonfigurasi dengan memprogram fungsi-fungsi yang dapat dibuat pada OLMC. Macrocell ini adalah kombinasional dan sequensial dengan feedback, register atau feedback I/O.

#### 2.1.4. Pemrograman Dengan Software WARP 5.2

Pemrograman dengan menggunakan WARP 5.2 harus memenuhi kaidah pemrograman yang telah ditetapkan oleh vendor yang bersangkutan, tetapi pada umumnya mengacu pada standar internasional IEEE. Walaupun berbeda vendor,

<sup>[3]</sup> Lattice Semiconductor, GAL22V10, Lattice Semiconductor Corporation, 2002, page : 1



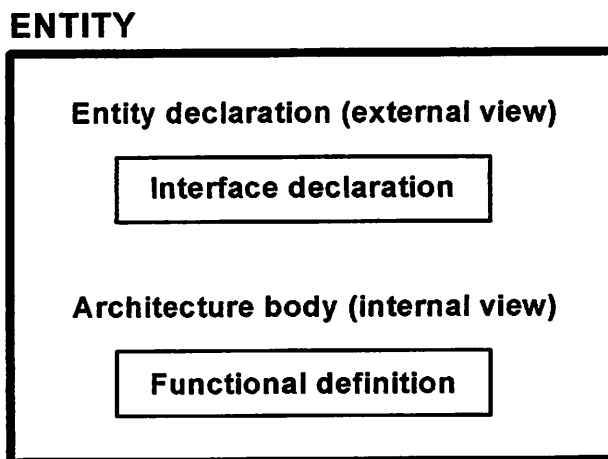
namun bahasa pemrograman relatif sama. Berikut ini gambaran umum mengenai teknik pemrograman VHDL.

Dalam pembuatan desain VHDL, bergantung pada alat bantu (tools) yang digunakan, antar perusahaan satu dengan yang lain berbeda-beda, ada alat bantu yang dapat menghasilkan kode VHDL dari rangkaian dan ada juga yang tidak. Tetapi pada dasarnya, kode VHDL merupakan kode berbasis teks, yang dapat dibuat dengan menggunakan berbagai macam program kata (*word processor*) seperti notepad, edit, word star, dan microsoft word.

Azas bangunan dari desain entity VHDL terdiri dari dua unsur, yaitu :

1. *Entity declaration*
2. *Architecture body*

Desain entity merupakan abstraksi dari suatu desain yang menggambarkan suatu sistem secara lengkap.



**Gambar 2.4**

**Hubungan antar entity design dengan architecture body<sup>[4]</sup>**

<sup>[4]</sup> J.F. Wakerly, Digital design Principles And Practice 3<sup>rd</sup> Edition, Prentice Hall, page : 269

### 2.1.5. Entity Declaration

*Entity declaration* menggambarkan I/O dari desain entity. *Entity declaration* analog dengan skematik simbol yang menjelaskan hubungan komponen dalam suatu desain. Sinyal I/O di *entity declaration* didefinisikan sebagai port yang analog dengan pin dari skematik simbol.

Struktur penulisan *entity declaration* harus mengandung unsur *name* dan *port declaration*, sedangkan *port declaration* menjelaskan nama-nama pin I/O rangkaian digital dari suatu desain. *Direction mode* menjelaskan kondisi I/O dan *data type* menjelaskan tipe data yang digunakan (sesuai dengan standar IEEE 1076/1164).

Ada empat macam *direction mode*, yaitu :

1. **IN** merupakan *unidirection* data input (aliran data berasal dari luar *entity* masuk ke dalam *entity*).
2. **OUT** merupakan *unidirection* data output (aliran data berasal dari dalam *entity* menuju luar *entity*).
3. **BUFFER** merupakan data output dengan internal feedback. Digunakan sebagai *port* dan *driver* dengan *architecture*, serupa dengan mode OUT tetapi juga berfungsi sebagai *feedback* bukan *bidirection port*.
3. **INOUT** merupakan *bidirection signal*. Sinyal *driver* dapat berasal dari dalam atau luar *entity*, penggunaan mode INOUT ini hanya untuk sinyal yang benar-benar *bidirectional*. Karena jika tidak, akan mengurangi kemampuan membaca kode sehingga sulit untuk menentukan sumber sinyal.

Ada dua macam *data type* yang digunakan berdasarkan standar IEEE, yaitu :

1. Berdasarkan standar IEEE 1076/93, yaitu : *boolean*, *bit*, *bit\_vector* dan *integer*.
2. Berdasarkan standar IEEE 1164, yaitu : *std\_ulogic*, *std\_logic* dan *std\_logic\_vector*.

### Struktur penulisan *Entity declaration*

Entity *entity\_name* is

Port (

[signal]{identifier{,identifier}:[mode]signal\_type

[signal]{identifier{,identifier}:[mode]signal\_type});

End [Entity][*entity\_name*];

**contoh :**

Entity *adder* is

Port (

a,b : in std\_logic\_vector(3 downto 0);

cin : in std\_logic;

sum : out\_std\_logic\_vector (3 downto 0);

cout : out std\_logic);

End *adder*;

#### 2.1.6. Architecture Body

*Architecture body* dalam sebuah *entity* berfungsi untuk mendeskripsikan apa yang akan dilakukan atau proses apa yang akan dikerjakan oleh perangkat keras yang di desain.

*Architecture body* berhubungan erat dengan *entity declaration* di dalam desain *entity* VHDL. *Architecture body* menggambarkan fungsi dari *entity* yang sekaligus menjelaskan fungsi *entity* tersebut. Jika *entity declaration* dimisalkan sebagai kotak hitam yang diketahui input dan outputnya, sedangkan apa yang ada di dalam kotak hitam tersebut tidak diketahui, maka *architecture body* adalah isi dari kotak hitam tersebut.

Sedangkan di dalam *architecture body* ada beberapa jenis *description*, yaitu :

### 1. *Structural description*

Perencanaan didasarkan pada pemakaian komponen (*logical gate*) pada library dan hubungan antar komponen-komponen tersebut (*a set of interconnected component*).

### 2. *Data flow description*

Perencanaan didasarkan pada proses *data transfer* (dari sinyal atau dari input ke output tanpa *statement sequential*) yang merupakan sekumpulan dari *concurrent assigment statement*. Perbedaan utama antara data flow dengan behavioral adalah yang satu menggunakan proses, yang lain tidak menggunakan proses. Penulisan persamaan pada data flow lebih ringkas dan mudah, yaitu menggunakan *conditional signal assigment (when-else) statement*. Penulisan data flow dengan menggunakan *concurrent assigment* lebih disukai daripada penulisan data flow yang menggunakan proses dan data flow yang menggunakan *sequential statement*.

### 3. *Behavioral description*

Perencanaan didasarkan pada proses pengerjaan statement antar input dan output secara *sequential / continous / step by step* dengan menggunakan *statement sequential (a set of sequential statement)*. Keuntungan dari *behavioral description* yang merupakan *high level description* adalah tidak perlu memfokuskan *gate level* pada desain implementasi, tetapi difokuskan pada usaha mengakuratkan model fungsi. Proses statement dimulai dengan sebuah label yang diikuti dengan tanda ':' kemudian kata '*process*' dan *sensitivity list* dan dibawahnya diikuti dengan *sequential statement*. Setelah bagian *sequential statement* selesai diakhiri dengan '*end process*' dan *label process*.

Yang termasuk *sequential statement*, antara lain :

- a. *Process statement*
- b. *If-then-else statement*
- c. *Case-when statement*
- d. *For-loop statement*
- e. *While-loop statement*

#### **Struktur penulisan *Architecture body***

Architecture *architecture\_name of entity\_name* is

```
Type_declaration
| signal_declaration
| constant_declaration
| alias_declaration
| subprogram_declaration
```

Begin

```
{process_statement
| concurrent_signal_assignment_statement
| component_instantiation_statement
| generate-statement
```

End [Architecture][*architecture\_name*];

### 2.1.7. Declaration Components

Library adalah suatu tempat directory yang dipanggil pada saat melakukan *compile* format desain unit yang mungkin berupa sebuah *vendor specific format*. Digunakan dua library dalam desain, yaitu :

- *IEEE library*

*IEEE library* tempat menyimpan desain unit IEEE standar seperti *package std\_1164* dan *numeric\_std*. Dalam perintah tersebut digunakan *library clause : library IEEE*.

- *Work library*

*Work library* tempat menyimpan desain unit yang dirancang, setelah merancang sebuah desain unit dan desain tersebut ingin digunakan kembali, maka desain tersebut dapat ditempatkan ke dalam *work library*, untuk keperluan desain yang lebih besar lagi.

Packages adalah desain unit yang dapat digunakan untuk membuat *type*, *component*, *function*, dan *declaration* untuk mendesain unit lain. Sebuah *package* terdiri dari sebuah *package declaration* dan *option package body*. Penulisannya adalah : *use library\_name.package\_name.item;*

*Package declaration* digunakan untuk medeklarasikan item-item seperti *signal*, *type*, dan *component*.

*Signal* menyatakan *wire-wire* yang menghubungkan antar komponen. *Type* mendefinisikan *state* pada *state machine*. Dan *component* digunakan untuk memanggil *library component*. *Entity declaration*, *architecture body*, dan *package declaration* semuanya adalah desain unit yang digabung dalam satu file. Karena *entity declaration* dan *package declaration* merupakan desain unit utama, maka dipisah dalam *library* dan *use*.

### 2.1.8. Concurrent Statement

*Concurrent statement* merupakan pernyataan yang selalu digunakan dalam *architecture data flow*, yang tidak mementingkan urutan pengerjaan. Semua penugasan dalam *architecture* ini dieksekusi secara bersamaan. Dibawah ini merupakan beberapa perintah jenis *concurrent*.

#### 1. Boolean equation

**Deskripsi :**

relation { **and** relation }

| relation { **or** relation }

| relation { **xor** relation }

| relation { **nand** relation }

|relation { **nor** relation }

**contoh :**

```
Architecture boole is
begin
    v <= (a and b and c) or d;
    w <= a or b or c;
    x <= a xor b xor c;
    y <= a nand b nand c;
    z <= a nor b;
end boole;
```

## 2. When-else conditional signal statement

**Deskripsi :**

{expression **when** condition **else**} expression;

**contoh :**

```
Architecture whenelse is
begin
    x <= '1' when b = c else '0'
    y <= j when state = idle else
        k when state = first_state else
        k when state = second_state else
        m when others;
end whenelse;
```



### 2.1.9. Sequential Statement

Berbeda dengan perintah jenis *concurrent*, perintah ini dikerjakan secara berurutan. Perintah ini selalu digunakan dalam *architecture behavioral* yang mempunyai pengerjaan sama dengan pengerjaan bahasa pemrograman tingkat tinggi. Suatu ciri khas yang dimiliki *behavioral description* adalah *process statement*, yang diikuti oleh *sensitivity list*. *Sensitivity list* mendefinisikan sinyal mana yang akan menyebabkan proses dieksekusi. Di bawah ini merupakan beberapa perintah *sequential*. Kemiripan *behavioral description* dengan bahasa pemrograman tingkat tinggi menyebabkan *behavioral description* relatif jauh lebih mudah dipahami.

#### 1. Process Statement

##### Deskripsi :

[process\_label:]

**process** (sensitivity\_list)

{type\_declaration

| constant\_declaration

| variable\_declaration

| alias\_declaration

**begin**

{wait\_statement

| signal\_assignment\_statement

| variable\_assignment\_statement

| if\_statement

```
| case_statement
```

```
| loop_statement
```

```
end process [process_label];
```

**contoh :**

```
new_process:
```

```
process (rst,clk)
```

```
    constant latch:std_logic_vector (7 downto 0) := "00000000"
```

```
begin
```

```
    wait until clk='1';
```

```
    if (rst='1') then
```

```
        q <= latch;
```

```
    elsif (en='1') then
```

```
        q <= data;
```

```
    else
```

```
        q <= q;
```

```
    end if;
```

```
end new_process;
```

## 2. If-then-else Statement

**Deskripsi :**

```
if condition then sequence_of_statements
```

```
{elsif condition then sequence_of_statement}
```

```
[else sequence_of_statement]
```

```
end if;
```

**contoh :**

```

if (count: ="00") then
    a <= b;
elsif (count: ="10") then
    a <= c;
else
    a <= d;
end if;

```

### 3. Case-when Statement

**Deskripsi :**

**case expression is**

```

    (when identifier | expression | discrete_range | others =>
        sequence_of_statement)

```

**end case;**

**contoh :**

```

case count is
    when "00" =>
        a <= b;
    when "10" =>
        a <= c;
    when others =>
        a <= d;

```

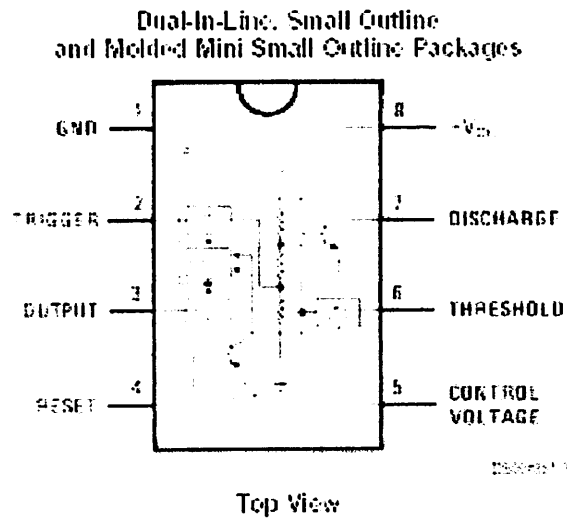
**end case;**

## 2.2. Pewaktu LM555

IC LM555 memiliki berbagai macam fungsi antara lain: sebagai pewaktu (clock), pembagi frekuensi, PWM (Pulse Width Modulation), Pulse position Modulation, dan linier ramp. Sebagai pewaktu, IC LM555 mempunyai dua cara kerja, yaitu sebagai multivibrator astabil (bergerak bebas) dan sebagai multivibrator mono stabil (satu-tembakan).

Jika pewaktu tersebut bekerja sebagai sebuah multivibrator astabil, maka keluarannya beralih dari tingkat yang tinggi ke tempat yang rendah dan kembali lagi. Lamanya kondisi 'high' dan kondisi 'low' ditentukan oleh sebuah jaringan kapasitor-tahanan yang dihubungkan dari luar pewaktu tersebut.

Jika pewaktu tersebut bekerja sebagai sebuah multivibrator satu tembakan, tegangan keluarannya rendah sampai sebuah pulsa pemicu yang menuju negative diterapkan pada pewaktu tersebut, kemudian keluarannya beralih menjadi 'high'. Lamanya kondisi 'high' ini ditentukan oleh sebuah tahanan dan kapasitor yang dihubungkan ke pewaktu tersebut. Setelah selang penentuan waktu, keluarannya akan kembali "low".



**Gambar 2.5**

### Blok Diagram Internal LM555

Tegangan yang diberikan untuk IC ini berkisar antara +5V dan +18V. Untuk terminal reset (pin 4) memungkinkan LM555 menjadi tidak mampu dan menolak isyarat-isyarat perintah pada masukan pemacu. Jika tidak digunakan terminal reset harus dihubungkan ke  $V_{cc}$ . Jika di-ground maka output (pin 3) dan terminal pengosongan (pin 7) akan low. Terminal pengosongan (pin 7) difungsikan untuk mengosongkan kapasitor penentuan waktu luar ketika keluarannya 'low'. Jika keluarannya 'high', pin 7 bekerja sebagai hubungan terbuka dan memungkinkan kapasitor mengisi. Terminal tegangan pengendalian (pin 5) dihubungkan dengan sebuah kapasitor filter ( $\mu\text{f}$ ) menuju ground. Kapasitor tersebut melewatkan gangguan atau tegangan riak dari over supply untuk memperkecil akibat –akibatnya pada tegangan ambang. Selain itu pewaktu LM555 ini memiliki dua tingkat operasi yang mungkin dan dua tingkat ingatan yang mungkin. Kedua jenis tingkat tersebut ditentukan oleh masukan pemacu (pin

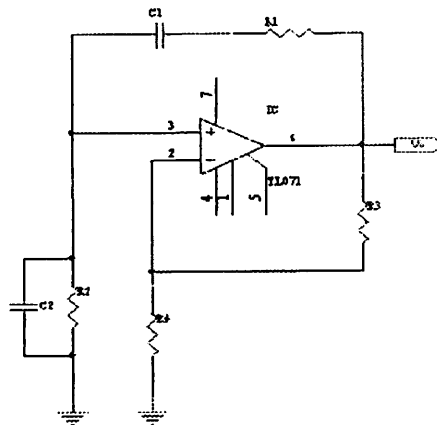
2) dan masukan ambang (pin 6). Hasil dari tingkat operasi tersebut diperlihatkan pada terminal keluaran atau (pin 3) dan terminal pembuangan atau (pin 7).

Untuk rangkaian multivibrator astabil, frekuensi osilasi dapat dicari dengan rumus :

$$f = \frac{1}{T} = \frac{1,44}{(R_a + 2R_b)C_1}$$

### 2.3. Osilator Jembatan Wien

Osilator jembatan wien merupakan piranti elektronik yang menghasilkan keluaran isyarat tegangan berupa sinusioda terhadap waktu. Osilator Jembatan Wien terdiri atas jaringan umpan balik dari sebuah penguat inverting yang dirangkai oleh sebuah penguat operasional amplifaier sebagai penguat aktifnya, rangkaian dasar osilator jembatan wien ditunjukkan pada gambar berikut dibawah.



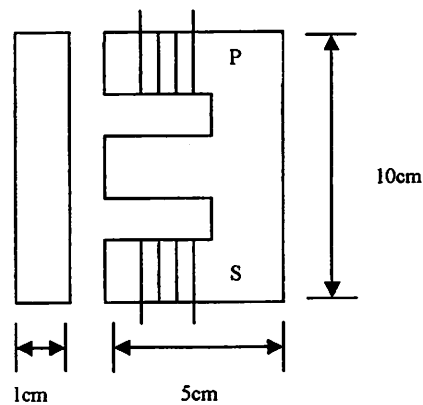
**Gambar 2.6**

**Rangkaian Jembatan Wien**

Osilator dapat berisolasi fase apabila C1R1 dan R3C2 sama selanjutnya dari osilator dapat dihitung. Dalam keadaan setimbang  $R1=R2$  dan  $C1=C2$  dan  $R4=2R3$  dan frekuensi osilasinya adalah:

$$f = \frac{1}{2\pi R.C}$$

#### 2.4. Tranduser Induktansi



**Gambar 2.7**

#### **Bentuk Fisik Tranduser Induktansi**

Sensitivitas sensor akan meningkat apabila fluks yang dihasilkan kumparan primer dari sensor semakin besar.

$$Hl = \mathfrak{F} = \phi \mathfrak{R} = \frac{Bl}{\mu} = \frac{\phi l}{\mu \omega . A}$$

dimana: H = intensitas medan magnet

$\mathfrak{F}$  = gaya gerak magnet

$\mu$  = permeabilitas

$$\mu_0 = 4\pi \times 10^{-7}$$

$l$  = panjang besi

(sumber, *Elektromagnetika, Joseph A. Edminister*)

Bila lilitan pada kumparan primer diberi sumber arus bolak-balik maka fluks yang akan dibangkitkan pada inti besi sebesar  $\Phi_{mm}$ .

$$\Phi_{mm} = B_m \times A$$

dimana :

$B_m$  = Kerapatan fluks maksimum

$A$  = Luas penampang inti ( $m^2$ )

Fluks sebesar  $\Phi_{mm}$  akan melingkari menghubungkan sisi belilitan primer dengan belitan sekunder serta menimbulkan tegangan induksi baik pada sisi primer E1 dan sisi belitan E2 dan memenuhi persamaan :

$$E_p = 4,44 \times f \times N_p \times \phi_{mm} \times 10^{-8} \text{ Volt}$$

$$E_s = 4,44 \times f \times N_s \times \phi_{mm} \times 10^{-8} \text{ Volt}$$

Dimana :

$E_p$  = tegangan induksi yang dibangkitkan pada belitan primer

$E_s$  = tegangan induksi yang dibangkitkan pada belitan sekunder

$N_1$  = banyaknya lilitan pada sisi primer

$N_2$  = banyaknya lilitan pada sisi sekunder

$\phi_{mm}$  = fluks maksimum dalam besaran Maxwell

Banyaknya lilitan antara kumparan sekunder pada inti besi akan menimbulkan fluks bolak balik, fluks akan melingkari dari kumparan primer ke



kumparan sekunder dan timbullah perubahan tegangan pada sisi kumparan sekunder dan berlaku persamaan sebagai berikut :

$$\frac{E1}{E2} = \frac{V1}{V2} = \frac{N1}{N2}$$

Dimana :

V1 = tegangan sumber primer

E1 = tegangan induksi belitan primer

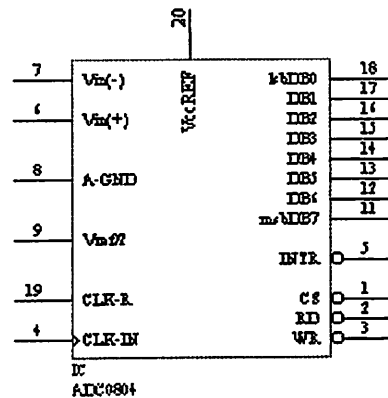
V2 = tegangan sumber sekunder

E2 = tegangan induksi belitan sekunder

Pada bentuk fisik diatas, bila inti besi I semakin dekat dari inti bentuk E maka terjadi kenaikan tegangan pada sisi sekunder dan sebaliknya semakin jauh jarak antara kedua inti besi tersebut maka tegangan sekunder akan semakin kecil.  
(sumber, *Pengantar Teknik Tenaga Listrik, Ir. Hamzah Ibrahim*)

## 2.5. ADC 0804

ADC 0804 merupakan IC CMOS yang dapat mengkonversikan tegangan masukan analog menjadi keluaran digital dengan tingkat resolusi 8-bit. Mode kerja yang banyak dipakai pada ADC 0804 adalah mode *free-running*. Dengan mode ini ADC akan bekerja secara terus menerus. Mode tersebut dihasilkan dengan cara menghubungkan pin 5 INTR dengan pin 3 WR pada mode CS = '0'. Saat proses konversi tersebut CS harus diberi signal 'low', WR diberi signal rendah sesaat, dan INTR akan sibuk sampai kondisi EOC (End Of Conversion). Dan pada proses pembacaan CS dan RD harus diberi signal 'low'.



**Gambar 2.8**

### Konfigurasi Pin ADC 0804

ADC 0804 telah dilengkapi dengan internal clock (self-clocking) dengan menambahkan komponn eksternal R dan C, antara pin 4 (CLK-IN) dengan pin 19 (CLK-R) yang telah dilengkapi dengan gerbang Schmitt-trigger. Frekuensi clock yang terjadi dapat dihitung dengan rumus :

$$f_{clock} = \frac{1}{1,1.R.C}$$

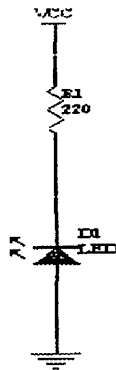
## 2.6. Infra-Red

LED Infra-Red digunakan untuk menghasilkan emisi infra merah, diman emisi tersebut tergantung dari bahan yang menyusunnya. Untuk LED Infra-Red berbahan Galium Arsenid (GaAs) mempunyai panjang gelombang antara 900-940 nm, sedangkan untuk LED Infra-Red berbahan Galium Alumunium Arsenid (GaAIAs) memiliki pangjang gelombang 880 nm.

Umumnya setelah LED menyala, tegangan pada LED bertahan stabil pada 1,2 volt. Arus yang diperbolehkan lewat pada LED adalah antara 10-100mA.

Agar LED tidak rusak oleh arus yang dikeluarkan sumber, maka perlu diberikan perlawanan R. tersebut dapat dicari dengan rumus :

$$R = \frac{V_{cc} - V_{inf ra}}{I_{inf ra}}$$

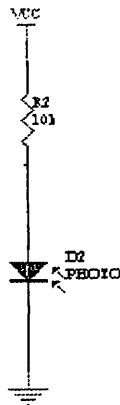


**Gambar 2.9**

### **Cara Memberi Tegangan Pada Infra Red**

#### **2.7. Photodioda**

Bentuk dari photodioda mirip dengan LED Infra-red. Komponen ini peka terhadap cahaya. Bila photodiode diberi cahaya, maka perlawanannya akan turun. Makin kuat cahayanya makin kecil harga perlawanannya. Namun bila tidak ada cahaya yang mengenainya dan dioda tersebut diberi tegangan muka terbalik maka perlawanannya akan sangat besar.



**Gambar 2.10**

**Cara Memberi Tegangan Pada Photodioda**

**2.8. Standarisasi diameter tabung gelas TL**

Untuk standarisasi produksi tabung gelas TL diambil dari dokumen produsen lampu PT Matshuhita Lighting Indonesia (MLI) di Pasuruan

Standart diameter hasil produksi tabung kaca bening TL untuk jenis produksi gelas TL ukuran 10 Watt/220V National produk Glass Factory adalah sebagai berikut:

- a. Tipe S (*Small*) tabung gelas Tabular Lamp berdiameter luar 32 mm.
- b. Tipe SS (*Super Small*) tabung gelas Tabular Lamp berdiameter luar 28 mm khusus untuk pembuatan flare dan mount.

***Laporan PKN, Dok PT. MLI***

Pada perancangan dan pembuatan sistem control auto inpection tabung gelas TL kali ini penulis hanya menggunakan acuan standart diameter luar tabung gelas Tipe SS (*Super Small*) berdiameter luar 28 mm.

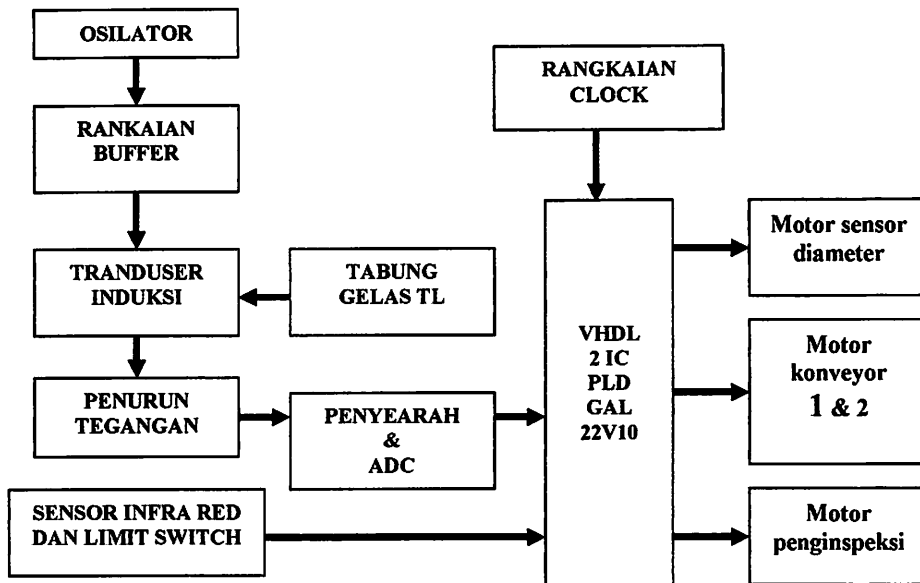
## **BAB III**

### **PERENCANAAN DAN PEMBUATAN ALAT**

#### **3.1. Perencanaan Hardware**

Perencanaan hardware disini meliputi mekanik sebagai media proses kerja alat dan beberapa rangkaian yang digunakan sebagai sistem kontrol proses kerja dari alat tersebut, yaitu:

- a. Rangkaian Clock
- b. Rangkaian driver transduser induktansi meliputi:
  - Rangkaian osilator jembatan wien
  - Rangkaian buffer
  - Transduser induktansi
  - Rangkaian penurun tegangan
  - Rangkaian penyearah gelombang penuh
- c. Rangkaian ADC 0804
- d. Rangkaian sensor posisi meliputi:
  - Rangkaian sensor infra red
  - Rangkaian sensor limit switch
- e. Rangkaian driver motor DC
- f. Rangkaian IC GAL22V10



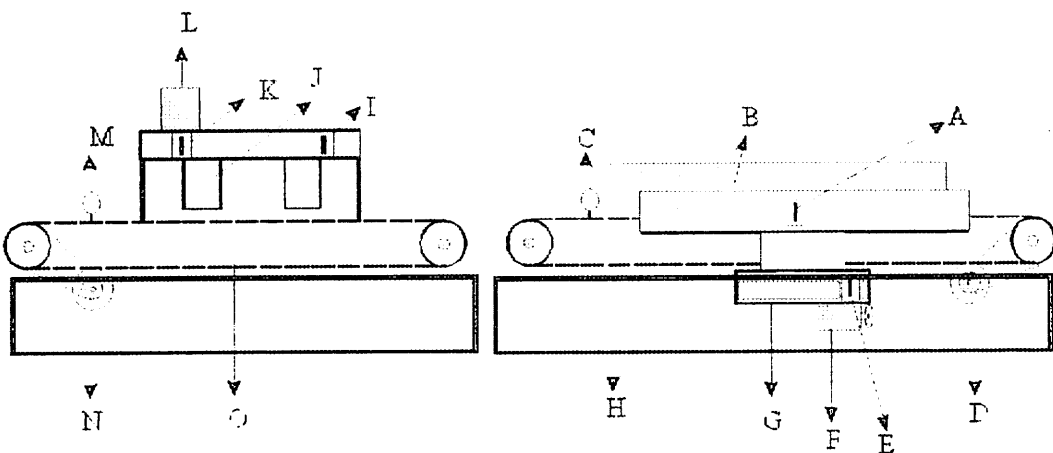
**Gambar 3.1**

**Diagram blok keseluruhan rangkaian**

***Fungsi dari masing-masing blok pada diagram diatas adalah sebagai berikut :***

1. ***Osilator*** menghasilkan sinyal sinus dan digunakan untuk mensuplay tegangan tranduser induktansi (sensor diameter) pada sisi lilitan primer.
2. ***Rangkaian buffer*** difungsikan untuk menghindarkan pembebanan yang berlebihan pada output osilator akibat beban tranduser induktansi.
3. ***Tranduser Induktansi*** digunakan sebagai pendeteksi diameter tabung gelas TL apakah sesuai dengan yang telah ditentukan atau tidak.
4. ***Rangkaian penurun tegangan*** digunakan untuk menurunkan nilai tegangan output dari tranduser induktansi pada sisi lilitan sekunder.
5. ***Penyearah gelombang penuh*** digunakan untuk mengubah arus AC dari tranduser menjadi arus DC sebagai input ADC 0804.

6. *ADC* difungsikan untuk mengubah tegangan analog menjadi digital sebagai input IC GAL22V10.
7. *Sensor infra red dan limit switch* sebagai sensor posisi tabung gelas TL dan sensor gerak dari inti besi I dari transduser dan sensor gerak motor penginspeksi serta sensor gerak motor konveyor 1 dan 2.



**Gambar 3.2**  
**Desain Mekanik Alat**

**Keterangan Gambar Mekanik**

- A : Limit switch 1
- B : Media pendeteksi diameter TL
- C : Infra Red 1
- D : Motor dc konveyor 1
- E : Limit Switch 2
- F : Motor dc penggerak inti besi I transduser induktansi
- G : Transduser Induktansi
- H : Konveyor 1
- I : Limit Switch 3
- J : Media penyeleksi TL
- K : Limit Switch 4
- L : Motor dc penggerak penyeleksi
- M : Infra Red 2
- N : Motor dc konveyor 2
- O : Konveyor 2

### 3.1.1. Rangkaian Clock

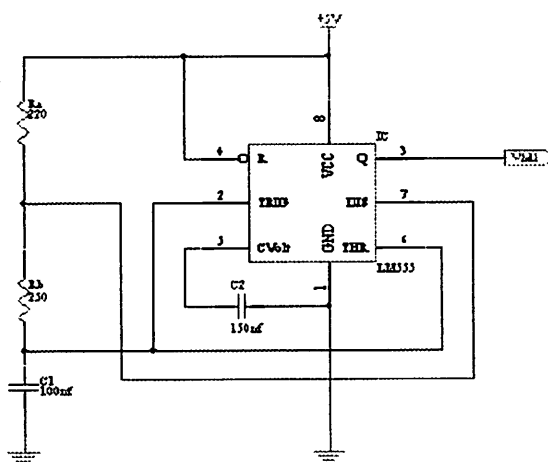
Rangkaian pembangkit pulsa (clock) untuk IC VHDL menggunakan IC pewaktu tunggal LM555. Karena alat ini tidak memerlukan respon frekwensi yang cepat, maka frekuensi yang dipakai adalah rendah dimaksudkan untuk mendapatkan hasil penyeleksian diameter tb TL dapat seakurat mungkin sesuai dengan yang diharapkan. Frekuensi yang digunakan yaitu 20 Hz dan dapat dicari dengan perhitungan :

$$f = \frac{1,44}{[R_A + (2R_B)] \times C_1}$$

$$R_B = \frac{\left( \frac{1,44}{f \times C_1} - R_1 \right)}{2}$$

$$= \frac{\left( \frac{1,44}{20 \times 100 \cdot 10^{-6}} - 220 \right)}{2}$$

$$R_B = \frac{500}{2} = 250\Omega$$

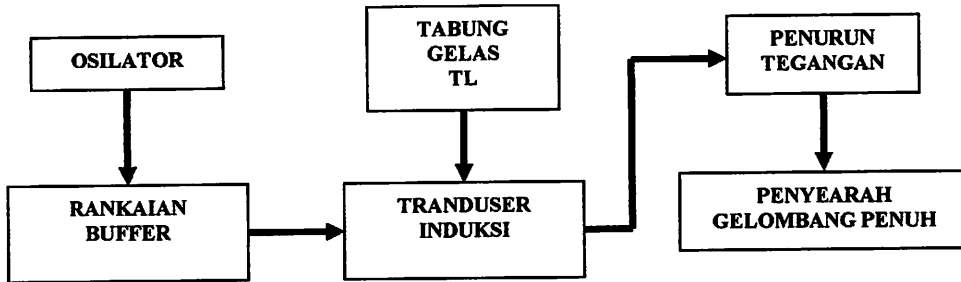


**Gambar3.3**

**Rangkaian Clock**



### 3.1.2. Blok Rangkaian Tranduser

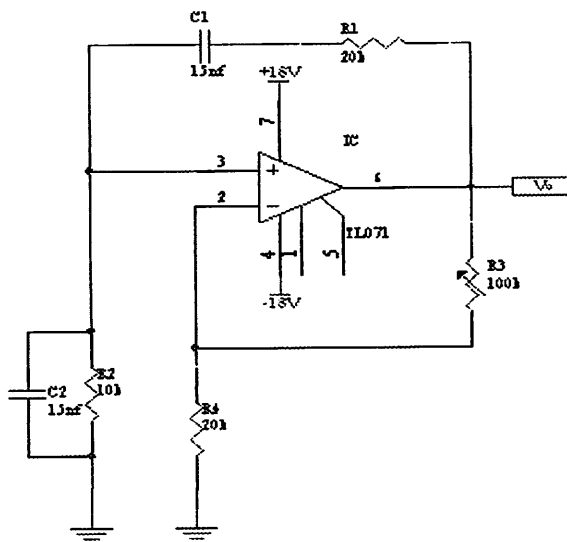


Gambar 3.4

### Blok Diagram Tranduser Induktansi

### 3.1.3. Rangkaian Osilator Jembatan Wien

Osilator jembatan Wien ini terdiri dari jaringan umpan balik dan sebuah penguat non inverting, adapun penguat yang dipakai menggunakan IC TL071.



Gambar 3.5

### Rangkaian Osilator Jembatan Wien

Osilator dapat berisolasi fase apabila  $C1R1$  dan  $R2C2$  dalam keadaan setimbang selanjutnya analisa dari osilator dapat dihitung, dalam keadaan setimbang  $R1=R2$  dan  $C1=C2=C$  dan  $R4=2R3$  dan frekuensi osilasinya adalah:

$$f = \frac{1}{2\pi R1.C}$$

sehingga untuk frekuensi 1KHz dengan nilai  $C=15$  nf maka diperoleh:

$$R1 = \frac{1}{2\pi \cdot 10^3 \cdot 15 \cdot 10^{-9}} = 10,61k\Omega$$

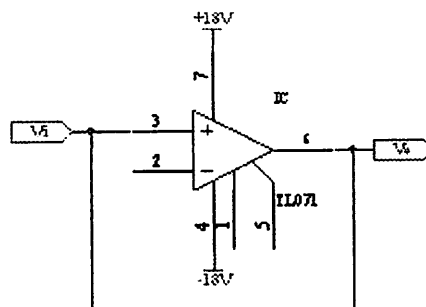
sehingga nilai  $R1$  yang dipilih adalah  $10k\Omega$  yang ada dipasar.

Keluaran gelombang sinus jembatan Wien diset sebesar  $17,6V_{AC}$

Dengan memutar variabel resistor dan kemudian dihubungkan dengan rangkaian buffer untuk menghindari pembebanan yang berlebihan pada osilator oleh beban.

#### 3.1.4. Rangkaian Buffer

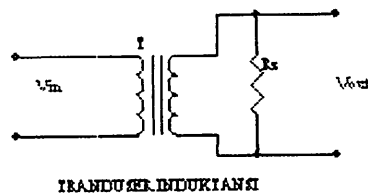
Rangkaian buffer disini menggunakan IC TL071, nilai tegangan output dari osilator dihubungkan dengan sebuah rangkaian buffer, dan didalam rangkaian buffer disini tidak terjadi penguatan tegangan, sehingga nilai ( $V_{in}=V_{out}$ ).



**Gambar 3.6**

#### **Rangkaian Buffer**

### 3.1.5. Tranduser Induktansi



**Gambar 3.7**

#### **Rangkaian Tranduser Induktansi**

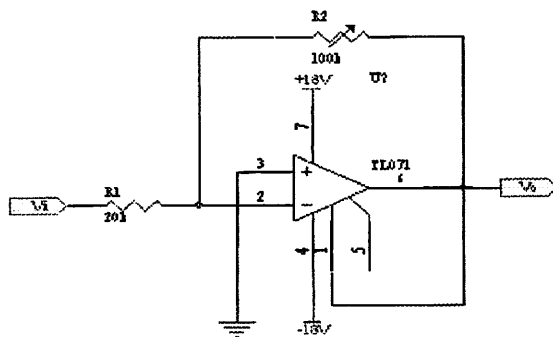
Rangkaian ini difungsikan untuk pendeteksi diameter dari tabung gelas TL. Sensitivitas sensor akan meningkat bila fluksi yang dihasilkan kumparan primer dari sensor semakin besar. Sistem kerja tranduser ini bila celah udara antara inti I dan E semakin lebar maka tegangan pada sisi sekunder akan semakin kecil. Dan sebaliknya, jika celah udara semakin sempit perubahan tegangan pada sisi sekunder akan semakin besar.

Dalam perancangan diatas perbandingan lilitan  $N_p:N_s$  sekitar 1:2 dengan input tegangan sebesar  $17,6 V_{AC}$  pada kumparan primer. Dalam kondisi inti besi I dan E, celah udara dibuat semimumimum mungkin (rapat) diperoleh tegangan output sebesar  $8,05 V_{AC}$ . Dan pada pendeteksian diameter Tabung gelas TL 10W (yang memenuhi syarat/normal) dengan diameter 2,5 cm tegangan output sebesar  $2,43 V_{AC}$ .

Dengan nilai tegangan output pendeteksian tersebut terdapat penyimpangan dari perumusan yang ada, karena beberapa faktor antara lain : penataan lamen intibesi, rugi rugi trafo dan adanya celah udara, sehingga sensitivitas sensor semakin menurun.

### 3.1.6. Rangkaian Penurun Tegangan

Dengan melihat tegangan output sensor yang besar sedangkan hasil penyearahan diperoleh nilai yang melebihi nilai tegangan referensi ADC sebesar  $5 V_{DC}$ , maka dipergunakan rangkaian penurun tegangan untuk menurunkan tegangan dari transduser induksi, disini menggunakan inverting dengan menggunakan IC TL071.



**Gambar 3.8**

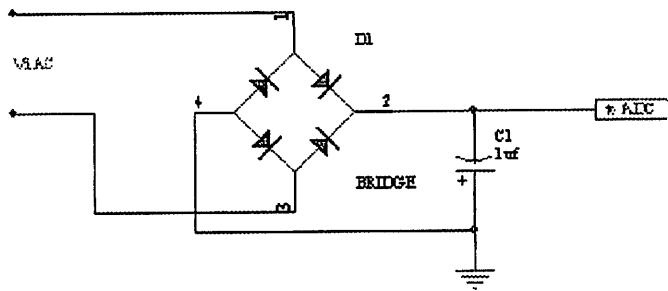
### Rangkaian Penurun Tegangan

Sehingga nilai  $V_{out}$ :

$$V_{out} = -\frac{R_f}{R_1} \times V_{in}$$

### 3.1.7. Rangkaian Penyearah Gelombang Penuh

Rangkaian penyearah gelombang penuh menggunakan dioda bridge untuk mengubah tegangan AC menjadi tegangan DC. Capacitor  $1\mu f$  digunakan untuk mentapis tegangan AC sehingga nilai tegangan keluaran berupa tegangan DC, yang kemudian akan digunakan untuk input ke ADC (Analog to Digital Converter).



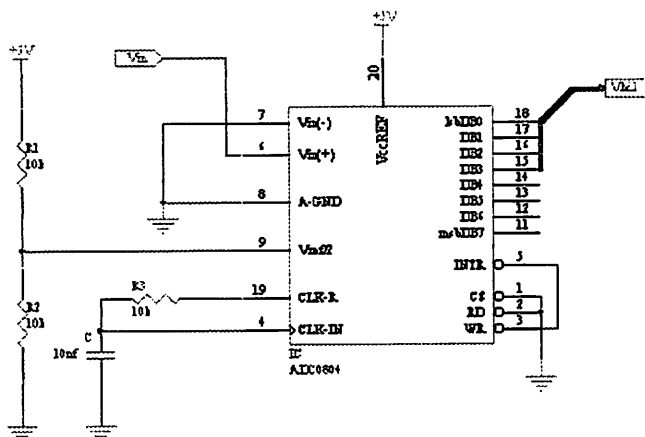
Gambar 3.9

### Penyearah Gelombang Penuh

Nilai tegangan output penyearah dengan diameter luar tabung gelas TL standart diperoleh tegangan sebesar 1,56 V<sub>DC</sub> dan digunakan untuk input ADC.

#### 3.1.8. Analog to Digital Converter (ADC)

Pada perencanaan ADC alat ini digunakan tipe IC 0804



Gambar 3.10

### Rangkaian ADC 0804

Rangkaian ADC ini berfungsi mengkonversikan besaran analog menjadi besaran digital agar nantinya dapat diolah oleh IC VHDL sebagai data masukannya. Jadi sinyal keluaran dari sensor adalah sinyal analog yang harus

diubah ke dalam sinyal digital agar dapat diinterfasekan sehingga dapat dibaca oleh software yang ada yang telah dibuat.

Untuk rangkaian pengkonversian data analog ke digital (ADC) digunakan IC 0804 buatan national semikonduktor. Dengan sebuah masukan yaitu  $V_{in+}$  (pin 6) dan delapan buah keluaran yaitu DB0-DB7 (pin11-pin18) pada port 1. Bekerja dengan tegangan referensi sebesar 2,5 V pada  $V_{ref/2}$  atau pin 9 yang didapat dari resistor pembagi tegangan (sesuai data sheed). Fungsi dari rangkaian referensi adalah untuk mendapatkan resolusi 1 bit yang diinginkan.

ADC ini mempunyai range antara 0 sampai 5 volt dengan menggunakan pencatu daya +5 volt. ADC 0804 telah dilengkapi dengan clock internal yang dipasang secara running dan dapat diaktifkan dengan menghubungkan komponen resistor eksternal (R) dan komponen kapasitor eksternal ( C ) pada clock R dan clock IN untuk menghasilkan sinyal clock. Nilai R ditentukan sebesar 10 k $\Omega$  dan nilai C sebesar 150 pf, sehingga memberikan frekuensi clock sebesar :

$$\begin{aligned}
 F_{clk} &= \frac{1}{1,1 \times RC} \\
 &= \frac{1}{1,1 \times 10k \times 150 pf} \\
 F_{clk} &= 606,06 \text{ KHz}
 \end{aligned}$$

Dari perhitungan diatas dapat dilihat bahwa harga frekuensi yang didapatkan sudah dapat memenuhi harga yang diminta ADC 0804 berdasarkan data sheetnya.

ADC ini dirancang dapat menerima masukan 0 sampai 5 Volt sehingga 1 bit

berbobot  $\frac{5}{255} = 19,6 mV$ . Tegangan referensi  $V_{ref/2}$  diset 2,5 Volt sesuai data

sheet, maka untuk perhitungan resolusi setiap 1 bit berbobot :

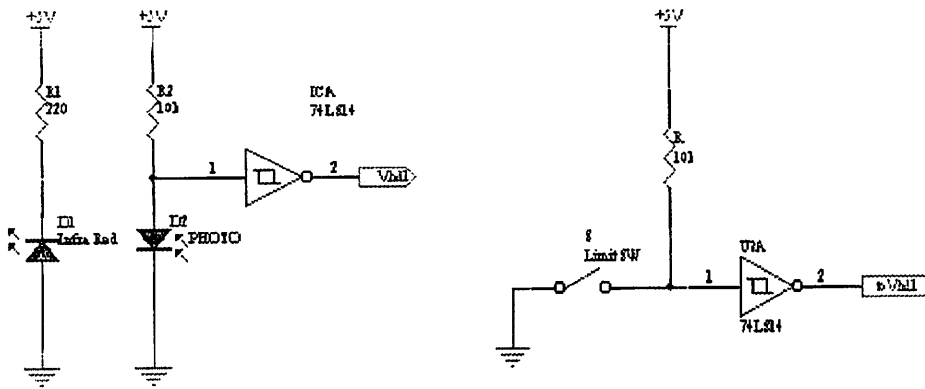
$$\begin{aligned} \text{Resolusi bit} &= \frac{V_{ref}}{255} (\text{banyaknya data per bit } 2^8 = 255) \\ &= \frac{2,5}{255} = 9,8 \text{ mV} \approx 10 \text{ mV} \end{aligned}$$

Keterangan :

1. Untuk pin 7 dan 8 disambung ke ground.
2. Pin 3 dan 5 dihubungkan ke IC GAL22V10.
3. Pin 1 dan 2 dihubungkan ke ground.
4. Pin 4 dan 19 di pull up dengan resistor 10 k $\Omega$  dan decoupling dengan kapasitor 10uf.
5. Tegangan referensi diambil dari pembagi tegangan antara dua resistor dan dihubungkan pada pin 9 dengan diberi tambahan kapasitor ke ground.
6. Untuk pin 13-18 adalah output yang akan diumpankan ke IC GAL22V10.

### 3.1.9. Rangkaian sensor posisi (Infra Red dan Limit Switch)

Sensor ini digunakan sebagai penkondisi ada tidaknya tabung TL di konveyor 1 untuk melakukan pendeteksian diameter TL dan sebagai sensor posisi untuk penkondisi motor DC untuk melakukan penyeleksian tabung TL yang tidak sesuai ukuran diameternya dengan standart yang telah ditetapkan . Sensor limit switch digunakan untuk sensor posisi motor DC. Untuk lebih jelasnya dapat dilihat pada gambar dibawah :



**Gambar 3.11**

### **Rangkaian Sensor Infra Red dan Limit Switch**

Sebagai sumber cahaya yang dipergunakan sebuah rangkaian LED Infra Red, dengan perhitungan untuk mencari nilai resistor beban yang dipergunakan seperti berikut ini.

Dari data book didapat data sebagai berikut:

- a. arus infra merah = 20mA
- b. tegangan pada infra merah = 1,2 volt

Untuk menentukan nilai resistor yang membatasi pada infra merah dapat dipergunakan persamaan sebagai berikut:

$$\begin{aligned}
 R &= \frac{V_{cc} - V_{inf}}{I_{inf}} \\
 &= \frac{5 - 1,2}{20 \times 10^{-3}} \\
 R &= 190\Omega
 \end{aligned}$$

Dari hasil perhitungan didapatkan nilai resistor pada infra red sebesar 190Ω. Karena dipasaran tidak ada maka diambil nilai terdekatnya yaitu 220Ω. Sedangkan untuk menentukan nilai resistor dari receiver infra red adalah sebagai berikut:

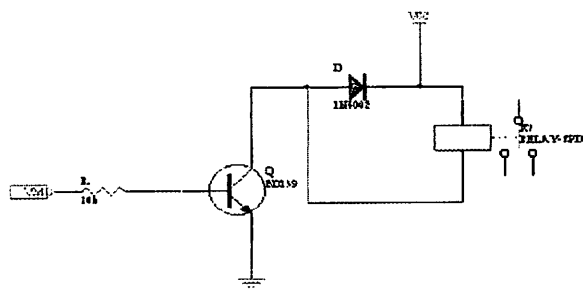


$$\begin{aligned}
 R_{photo} &= \frac{V_{cc}}{I_{photo}} \\
 &= \frac{5}{0,52 \cdot 10^{-3}} \\
 R_{photo} &= 9,43k\Omega = 10k\Omega
 \end{aligned}$$

Pada rangkaian diatas memanfaatkan gerbang inverting yang terdapat pada IC 74LS14. Gerbang ini merupakan fungsi not yang merubah logika input menjadi kebalikannya. Misalkan jika input "0" maka outputnya "1" atau kebalikannya. Selain itu juga berfungsi untuk memperbaiki taraf tegangan pulsa.

### 3.1.10. Rangkaian Driver Motor Arus Searah (DC) Untuk Konveyor dan Penyeleksi Tb TL

Rangkaian driver motor DC pada perancangan kali ini digunakan sebagai pemicu penggerak motor DC. Rangkaian terdiri dari beberapa komponen antarlain: relay SPDT dan TR serta komponen pendukungnya Motor DC adalah jenis motor arus searah shunt, dimana motor DC ini mempunyai dua fungsi, yaitu fungsi pertama akan menggerakkan konveyor 1, serta menggerakkan konveyor 2 . Sebagai berikut gambar rangkaiannya :

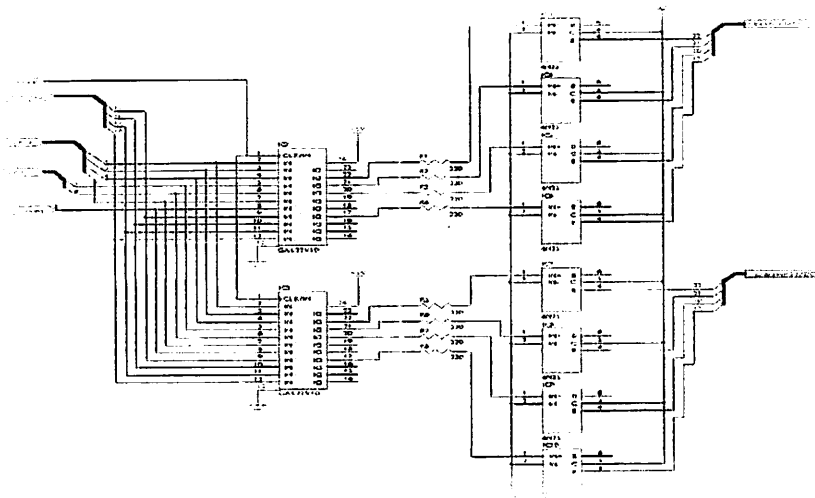


**Gambar 3.12**

**Driver motor DC**

### 3.1.11. Rangkaian IC GAL 22V10

Rangkaian ini difungsikan sebagai pengendali keseluruhan system kerja dari alat auto inspection tabung gelas TL, dimana system kontrolnya dibuat berdasarkan compile dalam bentuk file jedec dari model FSM (Finite State Machine). Rangkaian tersebut dapat dilihat sebagai berikut:

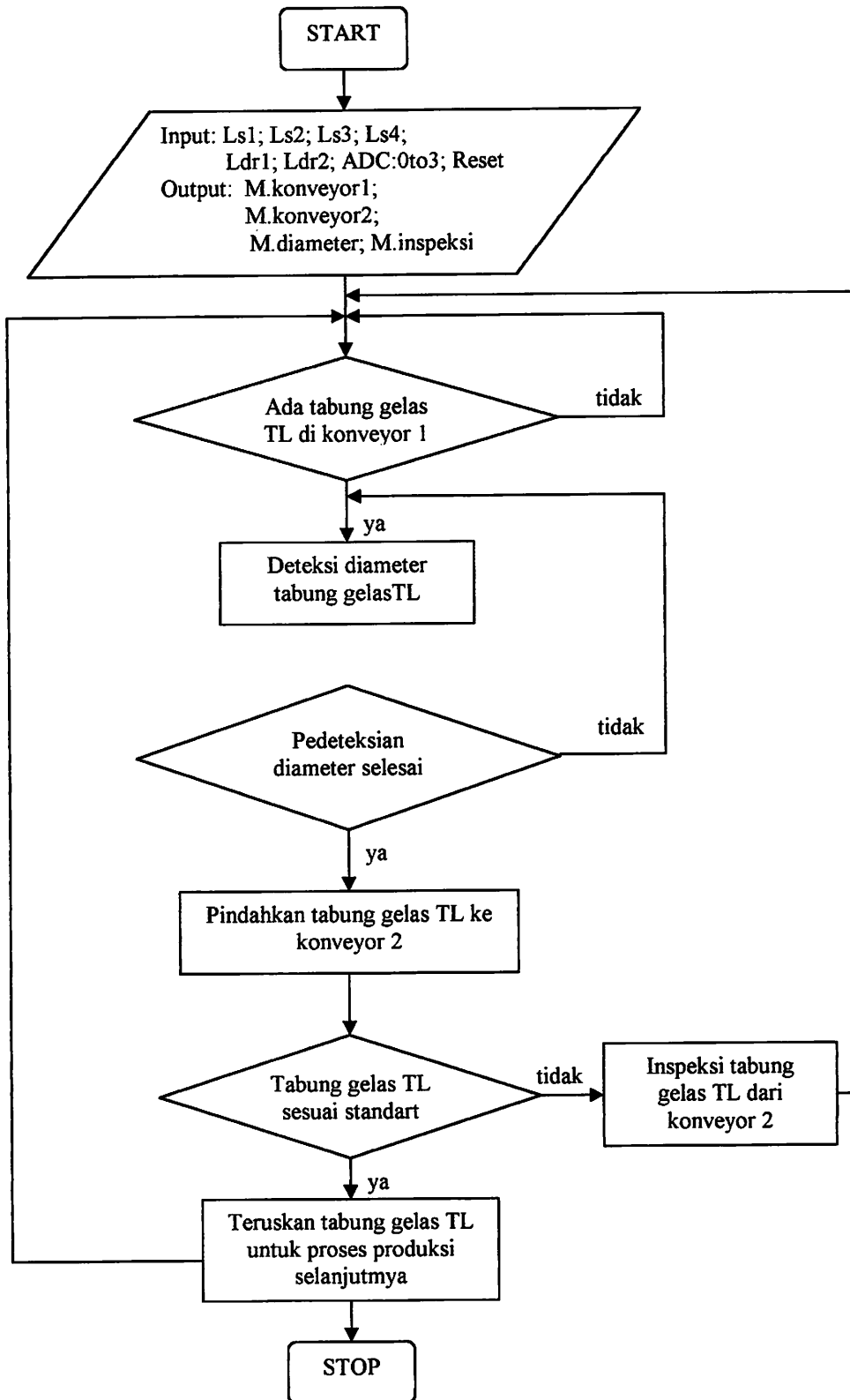


**Gambar 3.13**

**Rangkaian IC GAL 22V10**

### **3.2. Perancangan Soft ware**

Untuk pembuatan program yang nantinya akan dicompile ke IC GAL22V10 menggunakan soft ware WARP Release 5.2 dengan sistem pembuatan diagram alir proses kerja dari alat ini, dengan menggunakan model FSM (Finite State Machine), setelah pembuatan program selesai kemudian akan disimulasikan dengan VHDL Simulation dan kemudian dikompile dengan Galaxi untuk mendapatkan file jedec yang nantinya akan di downloadkan ke IC GAL 22V10, adapun proses kerja dari alat dapat dilihat pada flocart dibawah ini.



**Gambar 3.14**  
**Flochart Alur Kerja Dari Alat**

## **BAB IV**

### **PENGUJIAN DAN ANALISIS**

Untuk mengetahui apakah alat yang telah dirancang dapat bekerja sesuai dengan fungsi yang diharapkan maka perlu pengujian sistem kerja alat. Dalam Rangka pengujian tersebut, pada bab ini diuraikan percobaan yang dilakukan untuk mengetahui respon kerja dari keseluruhan alat yang dirancang tersebut.

Untuk mengetahui kemampuan alat dan sistem kerja alat sesuai dengan program yang telah dibuat maka dilakukan pengujian pada alat dan sistem kerja alat, yang mana prosedur pengujian sebagai berikut:

1. Pengujian perangkat keras
2. Pengujian perangkat lunak

#### **4.1. Pengujian Perangkat Keras**

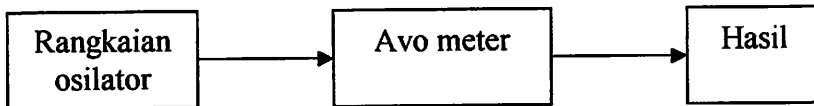
Tujuan pengujian yang dilakukan terhadap sistem adalah sebagai berikut:

1. Mengetahui unjuk kerja rangkaian transduser induktansi
2. Mengetahui unjuk kerja rangkaian ADC
3. Mengetahui unjuk kerja rangkaian driver motor DC
4. Mengetahui kecepatan proses kerja alat

#### 4.1.1. Pengujian Rangkaian Tranduser Induktansi

##### a. Pengujian Rangkaian Osilator Jembatan Wien

Blok diagram pengujian rangkaian sebagai berikut :



Rangkaian osilator jembatan wien terdiri atas penguat Op-Amp dengan IC TL 071, dengan mengatur nilai resistansi pada resistor variabel maka diperoleh nilai hasil pengukuran seperti pada tabel berikut:

**Tabel 4.1**

**Hasil pengujian tegangan output osilator**

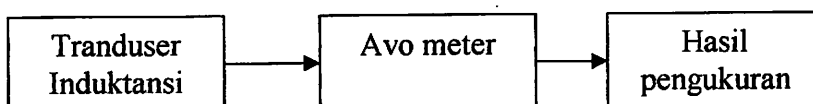
Kondisi rangkaian osilator	ON
Vout	17,6 VAC

Analisa hasil pengujian sebagai berikut:

Bentuk gelombang keluaran dari jembatan wien yang memakai penguat Op-Amp merupakan gelombang sinus nilai frekuensi osilasinya tergantung pada nilai kapasitansi dan resistansi yang digunakan

##### b. Pengujian Tranduser Induktansi

Blok diagram pengujian tranduser induktansi



Tranduser induktansi menggunakan inti besi yang berbentuk E dan inti besi I dengan lilitan primer dan sekunder pada inti besi E. Untuk output tegangan

pada sisi lilitan sekunder sesuai dari hasil percobaan yang dilakukan berdasarkan tiga contoh diameter tabung dapat ditunjukkan pada tabel sebagai berikut :

**Tabel 4.2**

**Hasil pengujian output tegangan tranduser induktansi**

Tegangan input lilitan primer (VAC)	Contoh diameter Tabung (mm)	Vout rangkaian Penurun Tegangan (VDC)	Out ADC
17,6	22	3,56	1000
	28	1,56	1111
	32	0,88	1110

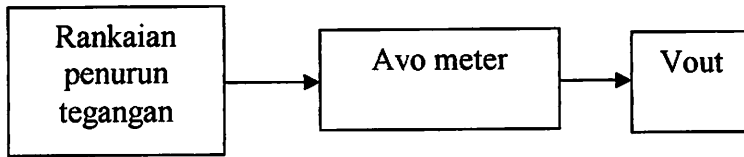
Analisa hasil pengujian tranduser induktansi

Jika diameter tabung semakin besar maka tegangan output sensor akan semakin kecil dan sebaliknya bila diameter tabung semakin kecil maka tegangan output akan semakin besar .

Nilai tegangan output hasil pengujian dengan input sebesar 17,6 VAC kurang sesuai dengan perumusan yang ada , adapun beberapa faktor penyebab antara lain adanya rugi-rugi trafo celah udara pada inti besi dan penataan lamen besi, maka nilai tegangan sekunder (Vout ) mengalami penyimpangan dari perumusan yang ada.

### c. Pengujian Rangkaian Penurun Tegangan

Blok diagram pengujian rangkaian pelemahan



Dengan nilai tegangan yang melebihi tegangan referensi dari ADC yang sebesar 5 Vdc maka diperlukan rangkaian penurun tegangan, rangkaian disini menggunakan rangkaian inverting dengan IC TL 071. Dalam rangkaian tersebut diperoleh hasil pengukuran sebagai berikut:

**Tabel 4.3**

**Hasil pengujian rangkaian penurun tegangan**

Diameter tabung (mm)	Vinput (VAC)	Vout (VDC)
22	6,50	3,56
28	2,43	1,56
32	1,37	0,88

Analisa pengujian sebagai berikut:

Nilai tegangan output rangkaian penurun tegangan mengalami penurunan sebanding dengan nilai input yang diberikan, tegangan yang dihasilkan berupa tegangan AC yang kemudian disearahkan dengan menggunakan diode bridge.



#### 4.1.2. Pengujian Rangkaian ADC 0804

Untuk mengetahui apakah rangkaian ADC ini bekerja dengan baik dan mampu mengkondisikan keluarannya 0 dan 1 maka perlu dilakukan pengujian sebagai berikut:

##### Peralatan yang digunakan

1. Avo meter digital
2. Rangkaian ADC 0804 yang akan diuji
3. Catu daya 5 volt

Dari hasil pengujian pergerakan inti besi I dari inti besi E yang dilakukan didapatkan hasil sebagai berikut :

**Tabel 4.4**  
**Hasil pengujian ADC**

Kondisi Tabung Gelas TL	Dalam Biner	Dalam Volt (VDC)
Sesuai	1111	3,56
Tidak sesuai	1110	3,26
Tidak sesuai	0101	1,48
Tidak sesuai	0011	1,50
Tidak sesuai	0100	3,19
Tidak sesuai	1100	3,20
Tidak sesuai	1101	1,75
Tidak sesuai	1011	1,52
Tidak sesuai	0000	1,57
Tidak sesuai	1000	1,59
Tidak sesuai	0010	1,61
Tidak sesuai	1010	1,65
Tidak sesuai	0001	1,70

### 4.1.3. Pengujian Rangkaian Sensor Posisi

Pengujian ini dilakukan untuk mengetahui apakah rangkaian yang dibuat telah sesuai dengan apa yang diharapkan, dan mampu mendeteksi suatu tabung TL yang dilewatkan, sehingga mampu bekerja dengan baik, pengujian dilakukan sebagai berikut ini:

Peralatan yang digunakan

1. Avo meter digital dan analog
2. Rangkaian sensor posisi yang telah dibuat
3. Catu daya

Dari pengujian yang dilakukan didapatkan hasil pengujian yang dapat dilihat pada tabel pengujian sensor posisi sebagai berikut

**Tabel 4.5**

**Pengujian sensor posisi untuk photo diode**

Photo diode	Dalam Biner	Dalam Volt	Kondisi	Keterangan
Photo diode 1	1	3,56	high	Photo diode aktif low
	0	0,15	low	
Photo diode 2	1	3,57	high	Photo diode aktif low
	0	0,15	low	

Tabel 4.6

**Pengujian sensor posisi untuk limit switch**

Limit switch	Dalam Biner	Dalam Volt	Kondisi	Keterangan
Limit switch 1	1	3,57	high	Limit switch aktif high
	0	0,15	low	
Limit switch 2	1	3,57	high	Limit switch aktif high
	0	0,15	low	
Limit switch 3	1	3,57	high	Limit switch aktif high
	0	0,15	low	
Limit switch 4	1	3,57	high	Limit switch aktif high
	0	0,15	low	

#### 4.1.4. Pengujian Drever Motor DC dan Lampu Indikator Penginspeksian Tabung Gelas TL

Pengujian ini dilakukan untuk mengetahui apakah rangkaian yang dibuat telah sesuai dengan apa yang diharapkan, dan mampu mengoperasikan motor DC serta untuk mengetahui kondisi lampu indikator sebagai informasi apakah tabung gelas TL dalam kondisi terinspeksi atau tidak, sehingga mampu bekerja dengan baik, pengujian dilakukan sebagai berikut ini:

Peralatan yang digunakan

1. Avo meter digital dan analog
2. Rangkaian driver motor DC sesuai dengan perencanaan
3. Catu daya

Dari pengujian yang dilakukan didapatkan hasil pengujian yang dapat dilihat pada tabel pengujian sensor posisi sebagai berikut

**Tabel 4.7**

**Hasil pengujian driver motor DC**

Motor DC	Input driver dalam biner	Output driver dalam volt sebagai input motor DC	Kondisi putaran motor DC
Motor DC untuk sensor diameter	00	0	Diam
	01	24,4	Putar kiri
	10	24,4	Putar kanan
Motor DC untuk penginspeksi	00	0	Diam
	01	24,4	Putar kanan
	10	24,4	Putar kiri
Motor DC untuk Konveyor 1	0	0	Diam
	1	24,4	Putar kanan
Motor DC untuk Konveyor 2	0	0	Diam
	1	24,4	Putar kanan

#### 4.1.5. Kecepatan Proses Pendeteksian Diameter TL

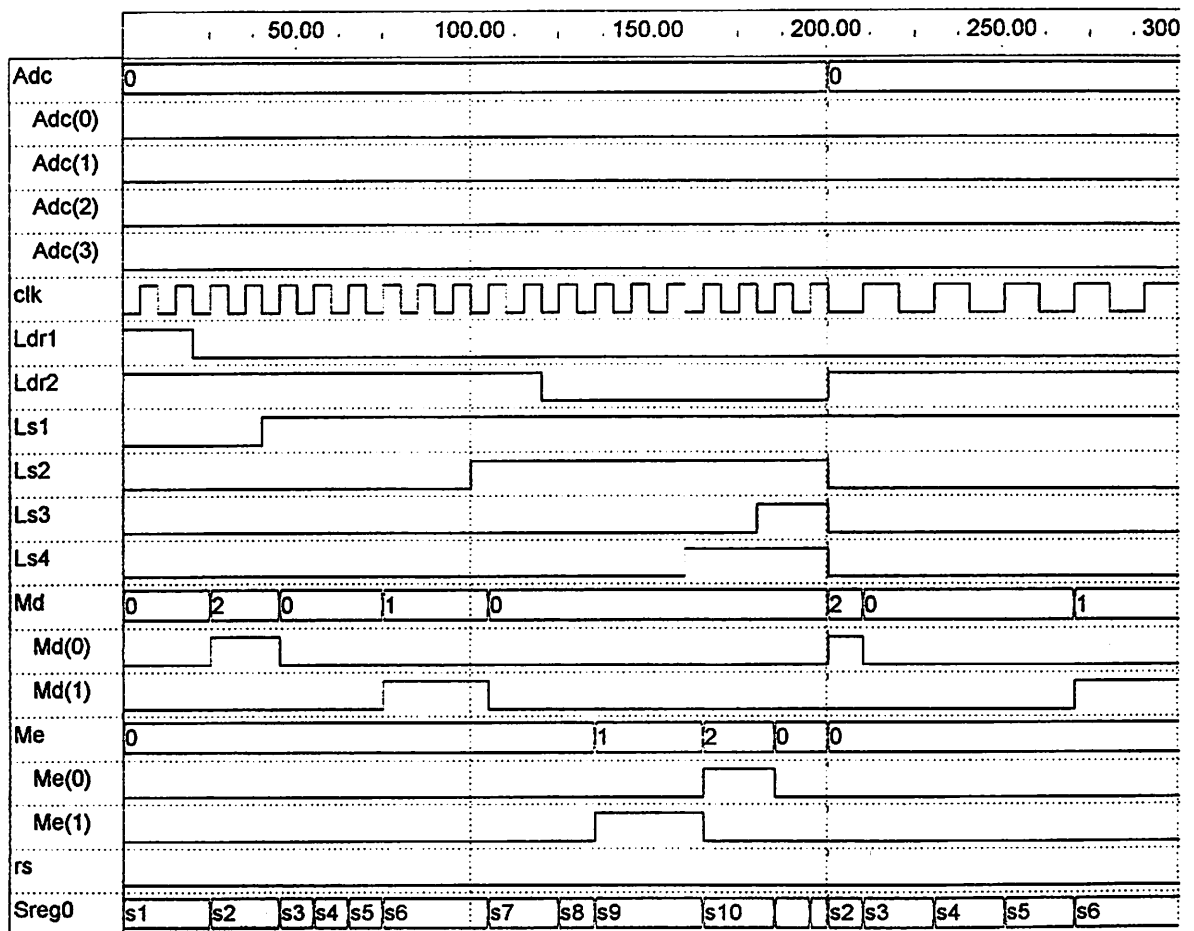
Didasarkan dari beberapa hasil percobaan alat didapatkan kecepatan proses dari ujuk kerja alat yang meliputi pendeteksian diameter tabung gelas TL dan penyeleksian tabung gelas TL yang berdiameter tidak sesuai dengan standart dan sesuai standart yang telah ditentukan maka didapatkan kecepatan proses kerja alat seperti ditunjukkan pada table berikut ini

## 4.2. Pengujian Perangkat Lunak

Pengujian perangkat lunak dimaksudkan untuk mengetahui proses kerja dari program FSM yang telah dibuat apakah sesuai dengan yang dikehendaki atau tidak. Pengujian dilakukan dengan menggunakan software Aktif HDL simulation.

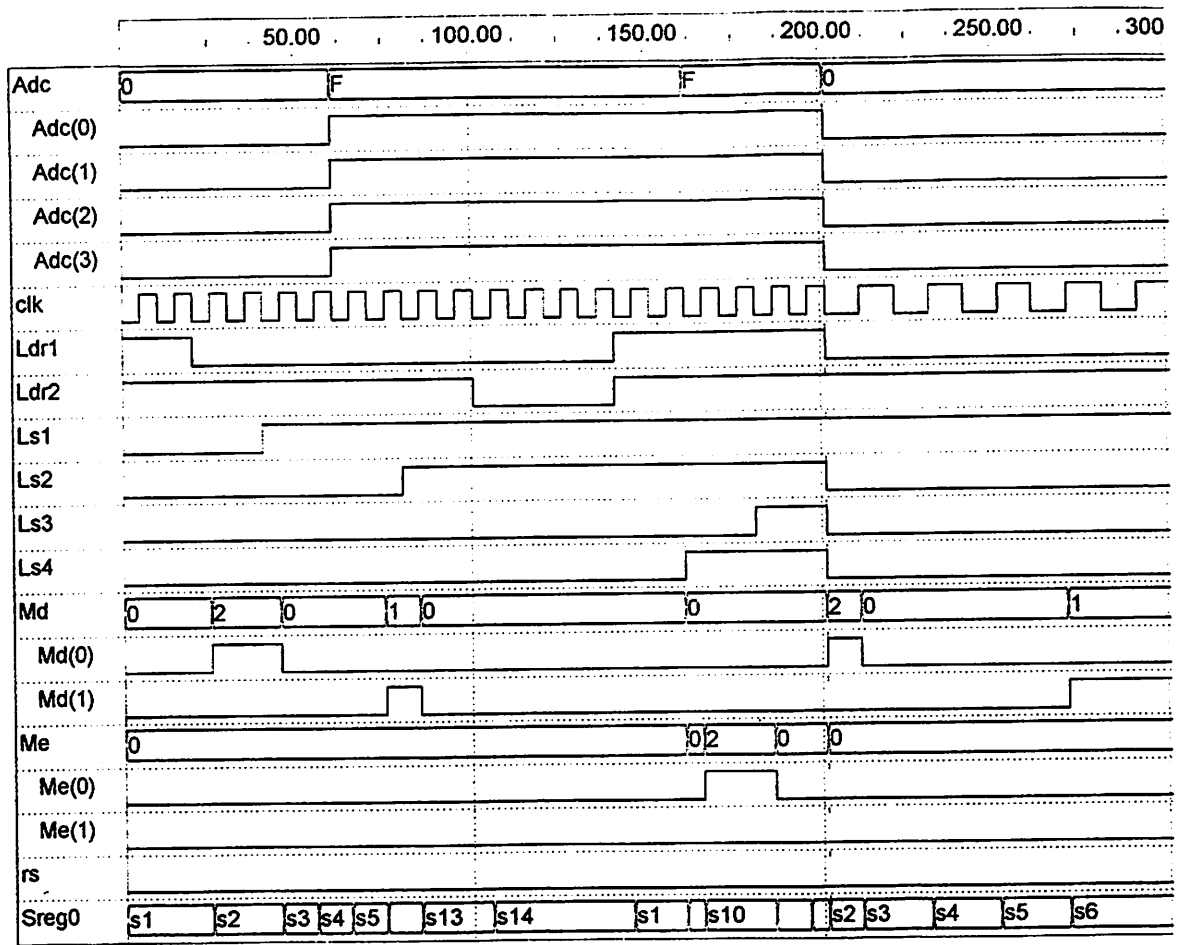
Hasil simulasi dapat dilihat pada gambar grafik simulasi berikut ini :

a. Hasil simulasi program untuk IC 22V10 yang I :



Gambar 3.15

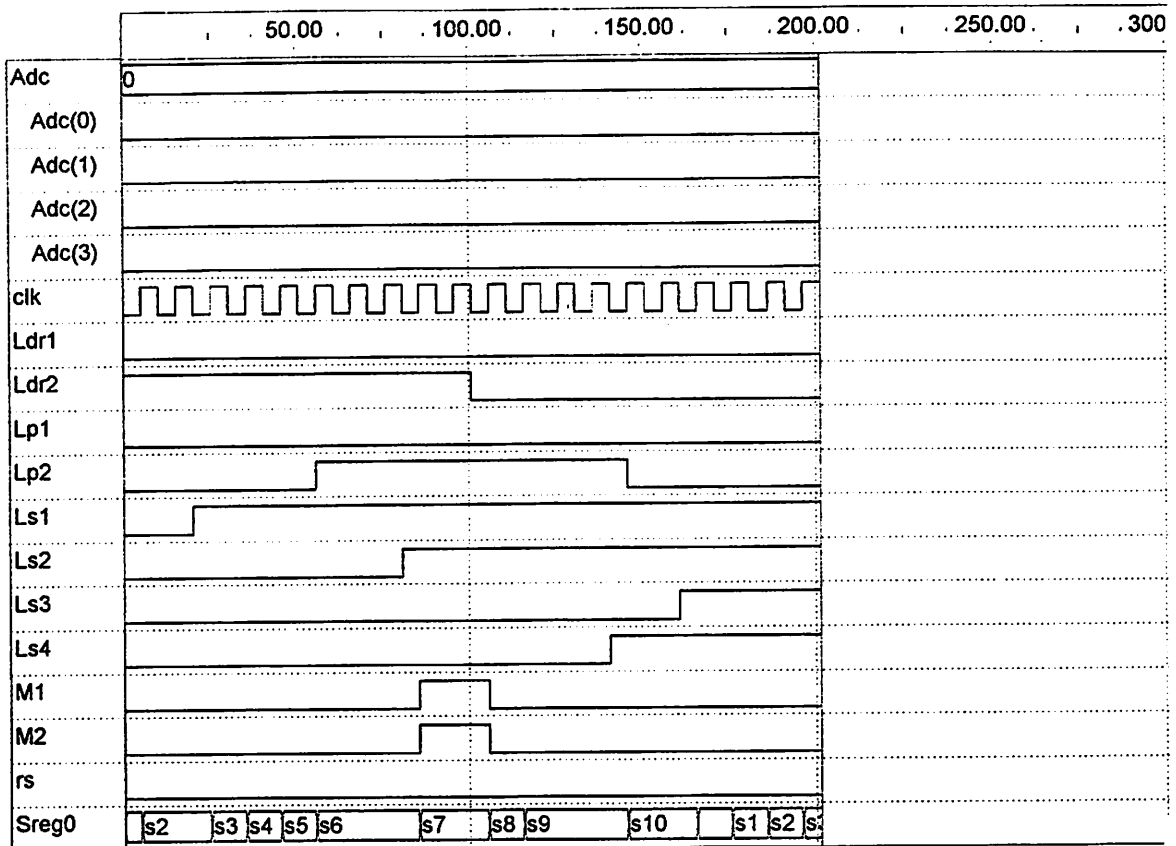
Hasil simulasi project 1 untuk TL terinspeksi



Gambar 3.16

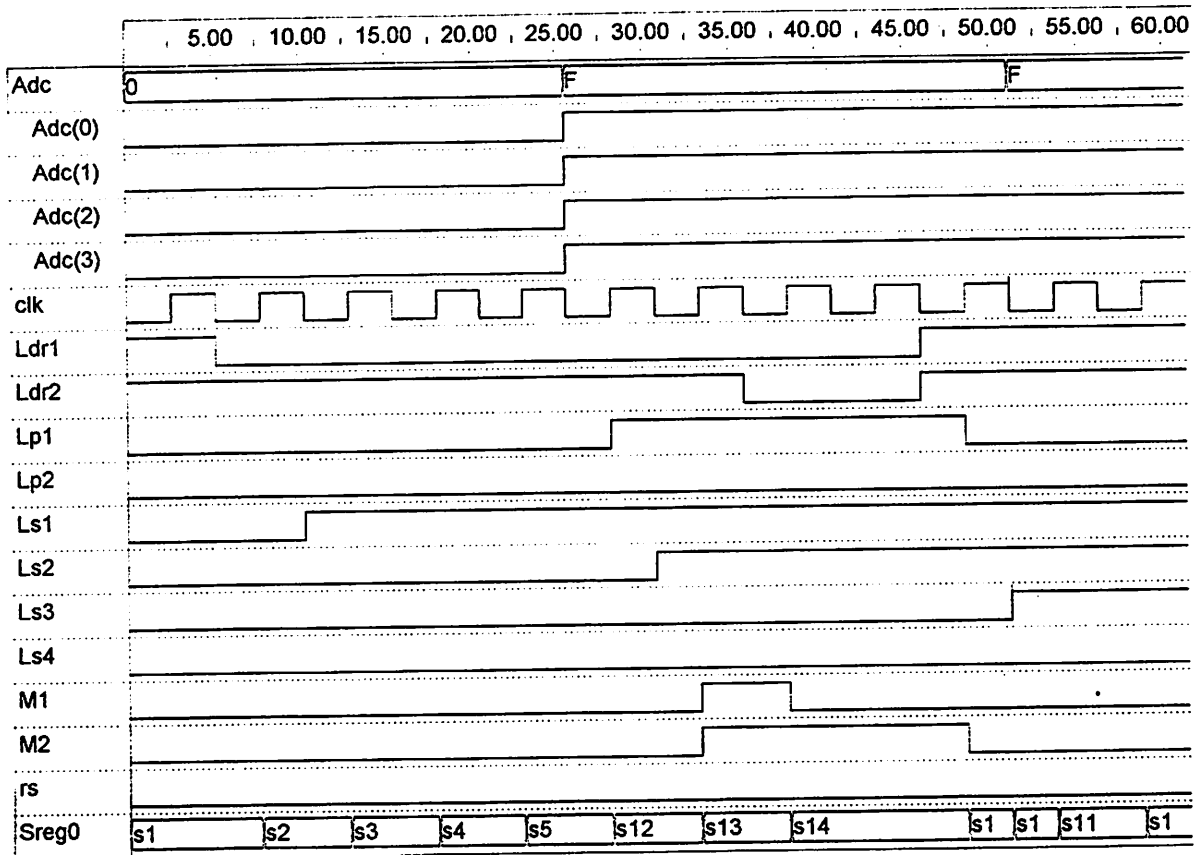
Hasil simulasi project 1 untuk TL tak terinspeksi

b. Hasil simulasi program untuk IC 22V10 yang II :



Gambar 3.17

Hasil simulasi project 2 untuk TL terinspeksi



**Gambar 3.18**

**Hasil simulasi project 1 untuk TL tak terinspeksi**



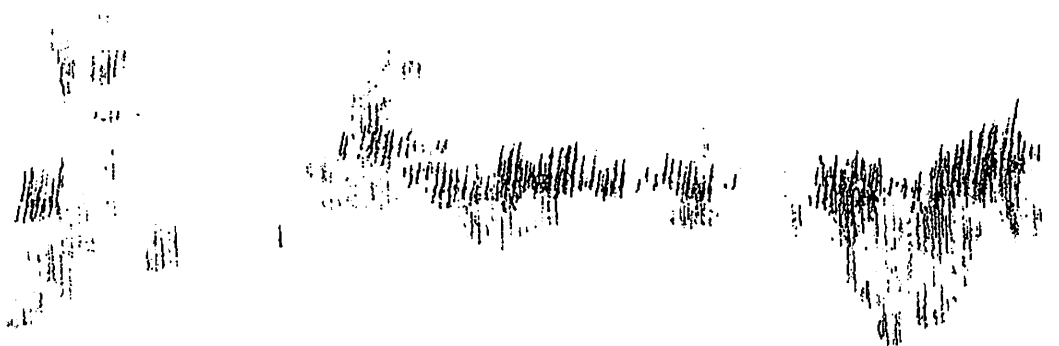
## **BAB V**

### **PENUTUP**

#### **5.1. Kesimpulan**

Dari hasil pengujian dan analisa dari alat yang telah dibuat maka dapat diambil kesimpulan sebagai berikut :

- a. Dari pengujian alat diperoleh hasil bahwa alat mampu membedakan diameter tabung gelas TL yang sesuai dengan standart (diameter 28 mm) dan yang tidak sesuai. Serta alat dapat meloloskan tabung TL tabung gelas TL yang sesuai dengan standart untuk diproses ke tahap selanjutnya dan membuang tabung gelas TL yang tidak sesuai dengan setandartnya.
- b. Tingkat keberhasilan pendeteksian diameter tabung gelas TL dan proses kerja alat secara keseluruhan mencapai  $\pm 90$  % dari beberapa percobaan yang dilakukan.
- c. Perencanaan dan pembuatan alat ini hanya digunakan pada pedeteksian diameter tabung gelas TL jenis SS (Super Small) 10W/220V dari hasil produsen gelas TL PT Matshuhita Lighting Indonesia (MLI).



## 5.2. Saran-saran

Dalam perencanaan dan pembuatan alat ini masih terdapat beberapa kekurangan yang harus masih diperhatikan dan mungkin akan lebih baik lagi untuk diusahakan perencanaan yang lebih sempurna lagi, masih adanya kekurangan tersebut mengakibatkan proses kerja dari alat kurang sesuai dengan apa yang diharapkan. Untuk pengembangan selanjutnya kesensitifitasan dari transduser induktansi akibat adanya rugi-rugi trofo dapat diperkecil dengan memperhatikan bahan inti besi dan kerapatan penyusunan lamen akan semakin baik kalau lebih rapat. Dan juga untuk kestabilan dari alur kerja dari program pada IC GAL 22V10 untuk lebih ditingkatkan sebab pada perancangan kali ini kestabilan kerja alat masih terjadi perubahan-perubahan kecil.

## DAFTAR PUSTAKA

*Coughlin, Robert F and Frederick F, Driscall (1982), Penguat Operasional dan Rangkaian Terpadu Linier, Terjemahan : Ir. Herman Widodo S. , Erlangga, Jakarta, m 1982.*

*Doulos The VHDL Golden Reference Guide, Englang, 1995.*

*Edminister, Joseph A. , M.S.E. , Elektromagnetika, Erlangga, Jakarta, 1997.*

*Hayt William H. (1979), Elektomagnetika, Terjemahan : Murjana N.Sc, Erlangga, Jakarta, 1989.*

*Skahill Kevin, VHDL for Programable Logic, Addison-Wesley, Monle Park, 1996*

*Wasito S, Kumpulan Data Penting Komponen Elektronika, PT Multimedia Jakarta, 1985.*

*WWW.latticesemi.com*

*WWW.national.com*

*WWW.philipssemi.com*

*Zuhal, Dasar Teknik Tenaga Listrik, ITB Bandung, 1991.*

# ***LAMPIRAN***

## ***1***



INSTITUT TEKNOLOGI NASIONAL  
Jl. Bendungan Sigura-gura No. 2  
M A L A N G

FORMULIR BIMBINGAN SKRIPSI

Nama : Cros Sandra Alfa  
Nim : 9917240  
Masa Bimbingan : 30-Dec-2003 s/d 1-Jul-2004  
Judul Skripsi : Perencanaan dan pembuatan sistem kontrol auto inspection tabung gelas TL ( Tabular Lamp ) pada industri lampu berbasis VHDL

No	Tanggal	Uraian	Paraf Pembimbing
1.	1/7 2004	Konsultasi tentang Sensor untuk kaca.	
2.	20/8	Konsultasi parameter penyelesaian diameter kaca.	
3.	2/10	Konsultasi Software / program	
4.	19/2	Revisi makalah Seminar.	
5.	24/9	Persetujuan makalah Seminar.	
6.			
7.			
8.			
9.			
10.			

Malang, 200  
Dosen Pembimbing

H. Soetjono



INSTITUT TEKNOLOGI NASIONAL  
Jl. Bendungan Sigura-gura No. 2  
M A L A N G

FORMULIR BIMBINGAN SKRIPSI

Nama : Cros Sandra Alfa  
Nim : 9917240  
Masa Bimbingan : 30-Dec-2003 s/d 1-Jul-2004  
Judul Skripsi : Perencanaan dan pembuatan sistem kontrol auto inspection tabung gelas TL ( Tabular Lamp ) pada industri lampu berbasis VHDL

No	Tanggal	Uraian	Paraf Pembimbing
1.	4/1/2005	Konsultasi Laporan Skripsi	
2.	12/2/2005	Konsultasi makalah Seminar	
3.	15/2/2005	Doma alat	
4.	23/2/2005	Revisi makalah Seminar	
5.	26/2/2005	Acc makalah Seminar	
6.		Acc Ujian	
7.			
8.			
9.			
10.			

Malang, 200  
Dosen Pembimbing

Yoseph Dedy Irawan, ST/MT



INSTITUT TEKNOLOGI NASIONAL  
Jl. Bendungan Sigura-gura No. 2  
MALANG

## LEMBAR BIMBINGAN SKRIPSI

1. Nama : CROS SANDRA ALFA AGUS ASMARA
2. Nim : 99.17.240
3. Jurusan : Teknik Elektro (S-1)
4. Konsentrasi : Teknik Elektronika
5. Judul Skripsi : Perencanaan Dan Pembuatan Sistem Kontrol  
Auto Inspection Tabung Gelas TL (Tabular  
Lamp) Pada Industri Lampu Berbasis VHDL
6. Tanggal Pengajuan Skripsi : 30 Desember 2003
7. Selesai Menulis Skripsi : 31 Maret 2005
8. Dosen Pembimbing : Ir. Soetikno  
: Joseph Dedy Irawan , ST, MT
9. Telah Dievaluasi Dengan Nilai : 85 (Delapan Puluh Lima)

Diperiksa dan Disetujui  
Dosen Pembimbing I

Ir. Soetikno  
NIP.130445231

Diperiksa dan Disetujui  
Dosen Pembimbing II

Joseph Dedy Irawan, ST, MT  
NIP.1039800324

Mengetahui  
Ketua Jurusan Teknik Elektro/Elektronika S-1

Ir. F Yudi Limpraptono, MT  
NIP. 1039500274





INSTITUT TEKNOLOGI NASIONAL  
Jl. Bendungan Sigura-gura No. 2  
MALANG

## FORMULIR PERBAIKAN SKRIPSI

Dari hasil ujian Skripsi Jenjang Strata Satu (S-1) Jurusan Teknik Elektro  
Konsentrasi Elektronika yang diselenggarakan pada :

Hari : Kamis

Tanggal : 31 Maret 2005

Telah dilakukan Perbaikan Skripsi Oleh :

1. Nama Mahasiswa : CROS SANDRA ALFA AGUS ASMARA
2. NIM : 99.17.240
3. Jurusan : Teknik Elektro S-1
4. Konsentrasi : Teknik Elektronika
5. Judul Skripsi : PERANCANGAN DAN PEMBUATAN SISTEM KONTROL AUTO INSPECTION TABUNG GELAS TL (TABULAR LAMP) PADA INDUSTRI LAMPU BERBASIS VHDL

Perbaikan meliputi :

No.	Tanggal	Materi Perbaikan	Paraf
1.	12 / 05 / 04	Perbaikan kesimpulan ✓	A
2.		Cantumkan standarisasi ukuran diameter tabung TL ✓	
3.		Hasil pengujian alat secara lengkap ✓	
4.		Fungsi dari rangkaian pada blok diagram ✓	

Dosen Pembimbing I

( Ir. Soetikno )

Dosen Pembimbing II

( Joseph Dedy Irawan, ST, MT )

Anggota Penguji

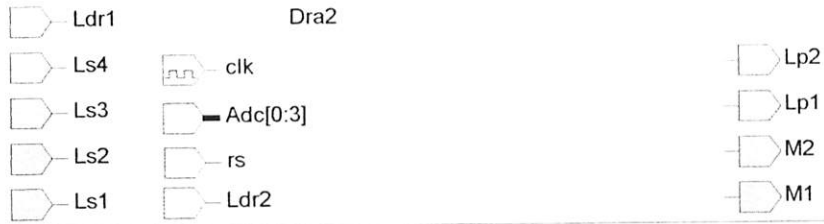
Penguji Pertama

( Ir. Mohammad Luqman, MT )

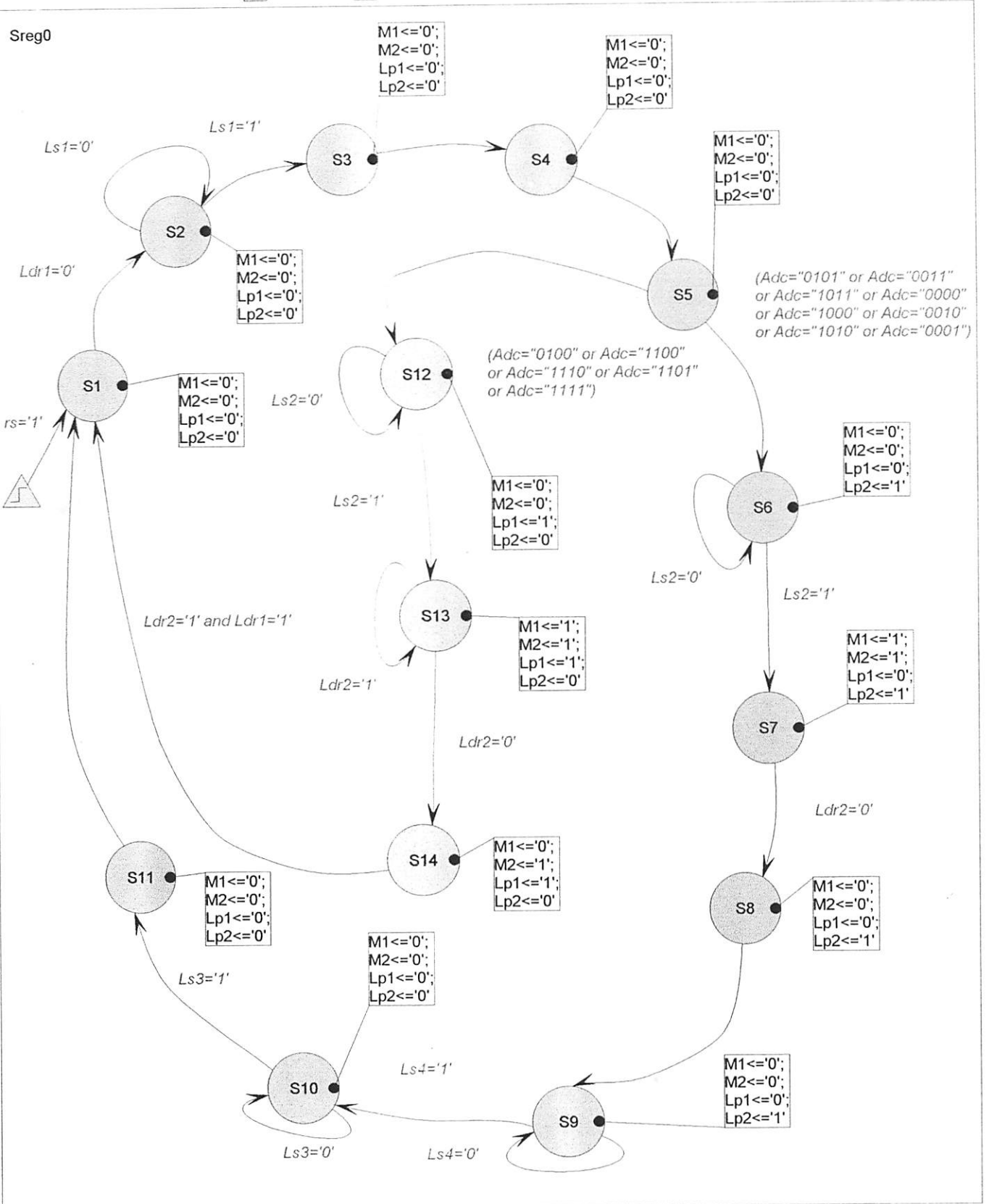
Penguji Kedua

( Ir. Eko Nurcahyo )





//diagram ACTIONS



## Konfigurasi pin pada IC GAL 22V10

Dra1

C22V10

---

clk =  1	24 * not used
ls1 =  2	23 = (sreg0SBV_0)
ls3 =  3	22 = md(1)
ls2 =  4	21 = me(1)
ldr2 =  5	20 = md(0)
ldr1 =  6	19 * not used
ls4 =  7	18 * not used
rs =  8	17 = me(0)
adc(3) =  9	16 = (sreg0SBV_3)
adc(2) = 10	15 = (sreg0SBV_2)
adc(1) = 11	14 = (sreg0SBV_1)
not used * 12	13 = adc(0)

---

Dra2  
C22V10

---

clk =  1	24 * not used
ls1 =  2	23 = (sreg0SBV_0)
ls3 =  3	22 = m2
ls2 =  4	21 = m1
ldr2 =  5	20 = lp1
ldr1 =  6	19 * not used
ls4 =  7	18 * not used
rs =  8	17 = lp2
adc(3) =  9	16 = (sreg0SBV_3)
adc(2) = 10	15 = (sreg0SBV_2)
adc(1) = 11	14 = (sreg0SBV_1)
not used * 12	13 = adc(0)

---

```

--
-- File: D:\My Documents\Dasay alfa\P1\System1\Dra1.vhd
-- created: 01/03/05 12:03:17
-- from: 'D:\My Documents\Dasay alfa\P1\System1\Dra1.as
f'
-- by fsm2hdl - version: 2.0.1.45
--
library IEEE;
use IEEE.std_logic_1164.all;

```

```

entity dra1 is
  port (Adc: in STD_LOGIC_VECTOR (0 to 3);
        clk: in STD_LOGIC;
        Ldr1: in STD_LOGIC;
        Ldr2: in STD_LOGIC;
        Ls1: in STD_LOGIC;
        Ls2: in STD_LOGIC;
        Ls3: in STD_LOGIC;
        Ls4: in STD_LOGIC;
        rs: in STD_LOGIC;
        Md: out STD_LOGIC_VECTOR (0 to 1);
        Me: out STD_LOGIC_VECTOR (0 to 1));
end;

```

```

architecture dra1_arch of dra1 is

```

```

-- SYMBOLIC ENCODED state machine: Sreg0
type Sreg0_type is (S1, S10, S11, S12, S13, S14, S2, S3,
  S4, S5, S6, S7, S8, S9);
signal Sreg0: Sreg0_type;

```

```

begin
--concurrent signal assignments
--diagram ACTIONS;

```

```

Sreg0_machine: process (clk)

```

```

begin

```

```

if clk'event and clk = '1' then
  if rs='1' then
    Sreg0 <- S1;
  else
    case Sreg0 is
      when S1 =>
        if Ldr1='0' then
          Sreg0 <= S2;
        end if;

```

```

when S10 =>
  if Ls3='0' then
    Sreg0 <= S10;
  elsif Ls3='1' then
    Sreg0 <= S11;
  end if;
when S11 =>
  Sreg0 <= S1;
when S12 =>
  if Ls2='0' then
    Sreg0 <= S12;
  elsif Ls2='1' then
    Sreg0 <= S13;
  end if;
when S13 =>
  if Ldr2='1' then
    Sreg0 <= S13;
  elsif Ldr2='0' then
    Sreg0 <= S14;
  end if;
when S14 =>
  if Ldr2='1' and Ldr1='1' then
    Sreg0 <= S1;
  end if;
when S2 =>
  if Ls1='0' then
    Sreg0 <= S2;
  elsif Ls1='1' then
    Sreg0 <= S3;
  end if;
when S3 =>
  Sreg0 <= S4;
when S4 =>
  Sreg0 <= S5;
when S5 =>
  if (Adc="0101" or Adc="0011"
    or Adc="1011" or Adc="00
00"
    or Adc="1000" or Adc="00
10"
    or Adc="1010" or Adc="00
01") then
    Sreg0 <= S6;
  elsif (Adc="0100" or Adc="1100"
    or Adc="1110" or Adc="11
01"
    or Adc="1111") then
    Sreg0 <= S12;
  end if;
when S6 =>
  if Ls2='0' then

```

```

                Sreg0 <= S6;
            elsif Ls2='1' then
                Sreg0 <= S7;
            end if;
        when S7 =>
            if Ldr2='0' then
                Sreg0 <= S8;
            end if;
        when S8 =>
            Sreg0 <= S9;
        when S9 =>
            if Ls4='0' then
                Sreg0 <= S9;
            elsif Ls4='1' then
                Sreg0 <= S10;
            end if;
        when others =>
            null;
    end case;
end if;
end process;

-- signal assignment statements for combinatorial output
s
Md_assignment:
Md <= "00" when (Sreg0 = S10) else
    "00" when (Sreg0 = S11) else
    "01" when (Sreg0 = S12) else
    "00" when (Sreg0 = S13) else
    "00" when (Sreg0 = S14) else
    "10" when (Sreg0 = S2) else
    "00" when (Sreg0 = S3) else
    "00" when (Sreg0 = S4) else
    "00" when (Sreg0 = S5) else
    "01" when (Sreg0 = S6) else
    "00" when (Sreg0 = S7) else
    "00" when (Sreg0 = S8) else
    "00" when (Sreg0 = S9) else
    "00";

Me_assignment:
Me <= "10" when (Sreg0 = S10) else
    "00" when (Sreg0 = S11) else
    "00" when (Sreg0 = S12) else
    "00" when (Sreg0 = S13) else
    "00" when (Sreg0 = S14) else
    "00" when (Sreg0 = S2) else
    "00" when (Sreg0 = S3) else
    "00" when (Sreg0 = S4) else
    "00" when (Sreg0 = S5) else

```

```
"00" when (Sreg0 = S6) else  
"00" when (Sreg0 = S7) else  
"00" when (Sreg0 = S8) else  
"01" when (Sreg0 = S9) else  
"00";  
  
end dra1_arch;
```



```
--
-- File: D:\My Documents\Dasay alfa\P1\System2\Dra2.vhd
-- created: 01/03/05 12:07:03
-- from: 'D:\My Documents\Dasay alfa\P1\System2\Dra2.as
f'
-- by fsm2hdl - version: 2.0.1.45
--
library IEEE;
use IEEE.std_logic_1164.all;

entity dra2 is
  port (Adc: in STD_LOGIC_VECTOR (0 to 3);
        clk: in STD_LOGIC;
        Ldr1: in STD_LOGIC;
        Ldr2: in STD_LOGIC;
        Ls1: in STD_LOGIC;
        Ls2: in STD_LOGIC;
        Ls3: in STD_LOGIC;
        Ls4: in STD_LOGIC;
        rs: in STD_LOGIC;
        Lp1: out STD_LOGIC;
        Lp2: out STD_LOGIC;
        M1: out STD_LOGIC;
        M2: out STD_LOGIC);
end;

architecture dra2_arch of dra2 is

-- SYMBOLIC ENCODED state machine: Sreg0
type Sreg0_type is (S1, S10, S11, S12, S13, S14, S2, S3,
  S4, S5, S6, S7, S8, S9);
signal Sreg0: Sreg0_type;

begin
--concurrent signal assignments
--diagram ACTIONS;

Sreg0_machine: process (clk)

begin

if clk'event and clk = '1' then
  if rs='1' then
    Sreg0 <= S1;
  else
    case Sreg0 is
      when S1 =>
        if Ldr1='0' then
```

```

        when S6 =>
            if Ls2='0' then
                Sreg0 <= S6;
            elsif Ls2='1' then
                Sreg0 <= S7;
            end if;
        when S7 =>
            if Ldr2='0' then
                Sreg0 <= S8;
            end if;
        when S8 =>
            Sreg0 <= S9;
        when S9 =>
            if Ls4='0' then
                Sreg0 <= S9;
            elsif Ls4='1' then
                Sreg0 <= S10;
            end if;
        when others =>
            null;
    end case;
end if;
end process;

-- signal assignment statements for combinatorial output
S
M1_assignment:
M1 <= '0' when (Sreg0 = S10) else
    '0' when (Sreg0 = S11) else
    '0' when (Sreg0 = S12) else
    '1' when (Sreg0 = S13) else
    '0' when (Sreg0 = S14) else
    '0' when (Sreg0 = S2) else
    '0' when (Sreg0 = S3) else
    '0' when (Sreg0 = S4) else
    '0' when (Sreg0 = S5) else
    '0' when (Sreg0 = S6) else
    '1' when (Sreg0 = S7) else
    '0' when (Sreg0 = S8) else
    '0' when (Sreg0 = S9) else
    '0';

M2_assignment:
M2 <= '0' when (Sreg0 = S10) else
    '0' when (Sreg0 = S11) else
    '0' when (Sreg0 = S12) else
    '1' when (Sreg0 = S13) else
    '1' when (Sreg0 = S14) else
    '0' when (Sreg0 = S2) else
    '0' when (Sreg0 = S3) else

```

```

        when S6 =>
            if Ls2='0' then
                Sreg0 <= S6;
            elsif Ls2='1' then
                Sreg0 <= S7;
            end if;
        when S7 =>
            if Ldr2='0' then
                Sreg0 <= S8;
            end if;
        when S8 =>
            Sreg0 <= S9;
        when S9 =>
            if Ls4='0' then
                Sreg0 <= S9;
            elsif Ls4='1' then
                Sreg0 <= S10;
            end if;
        when others =>
            null;
    end case;
end if;
end process;

```

-- signal assignment statements for combinatorial output  
s

```

M1_assignment:
M1 <= '0' when (Sreg0 = S10) else
      '0' when (Sreg0 = S11) else
      '0' when (Sreg0 = S12) else
      '1' when (Sreg0 = S13) else
      '0' when (Sreg0 = S14) else
      '0' when (Sreg0 = S2) else
      '0' when (Sreg0 = S3) else
      '0' when (Sreg0 = S4) else
      '0' when (Sreg0 = S5) else
      '0' when (Sreg0 = S6) else
      '1' when (Sreg0 = S7) else
      '0' when (Sreg0 = S8) else
      '0' when (Sreg0 = S9) else
      '0';

```

```

M2_assignment:
M2 <= '0' when (Sreg0 = S10) else
      '0' when (Sreg0 = S11) else
      '0' when (Sreg0 = S12) else
      '1' when (Sreg0 = S13) else
      '1' when (Sreg0 = S14) else
      '0' when (Sreg0 = S2) else
      '0' when (Sreg0 = S3) else

```

```
'0' when (Sreg0 = S4) else  
'0' when (Sreg0 = S5) else  
'0' when (Sreg0 = S6) else  
'1' when (Sreg0 = S7) else  
'0' when (Sreg0 = S8) else  
'0' when (Sreg0 = S9) else  
'0';
```

Lp1\_assignment:

```
Lp1 <= '0' when (Sreg0 = S10) else  
      '0' when (Sreg0 = S11) else  
      '1' when (Sreg0 = S12) else  
      '1' when (Sreg0 = S13) else  
      '1' when (Sreg0 = S14) else  
      '0' when (Sreg0 = S2) else  
      '0' when (Sreg0 = S3) else  
      '0' when (Sreg0 = S4) else  
      '0' when (Sreg0 = S5) else  
      '0' when (Sreg0 = S6) else  
      '0' when (Sreg0 = S7) else  
      '0' when (Sreg0 = S8) else  
      '0' when (Sreg0 = S9) else  
      '0';
```

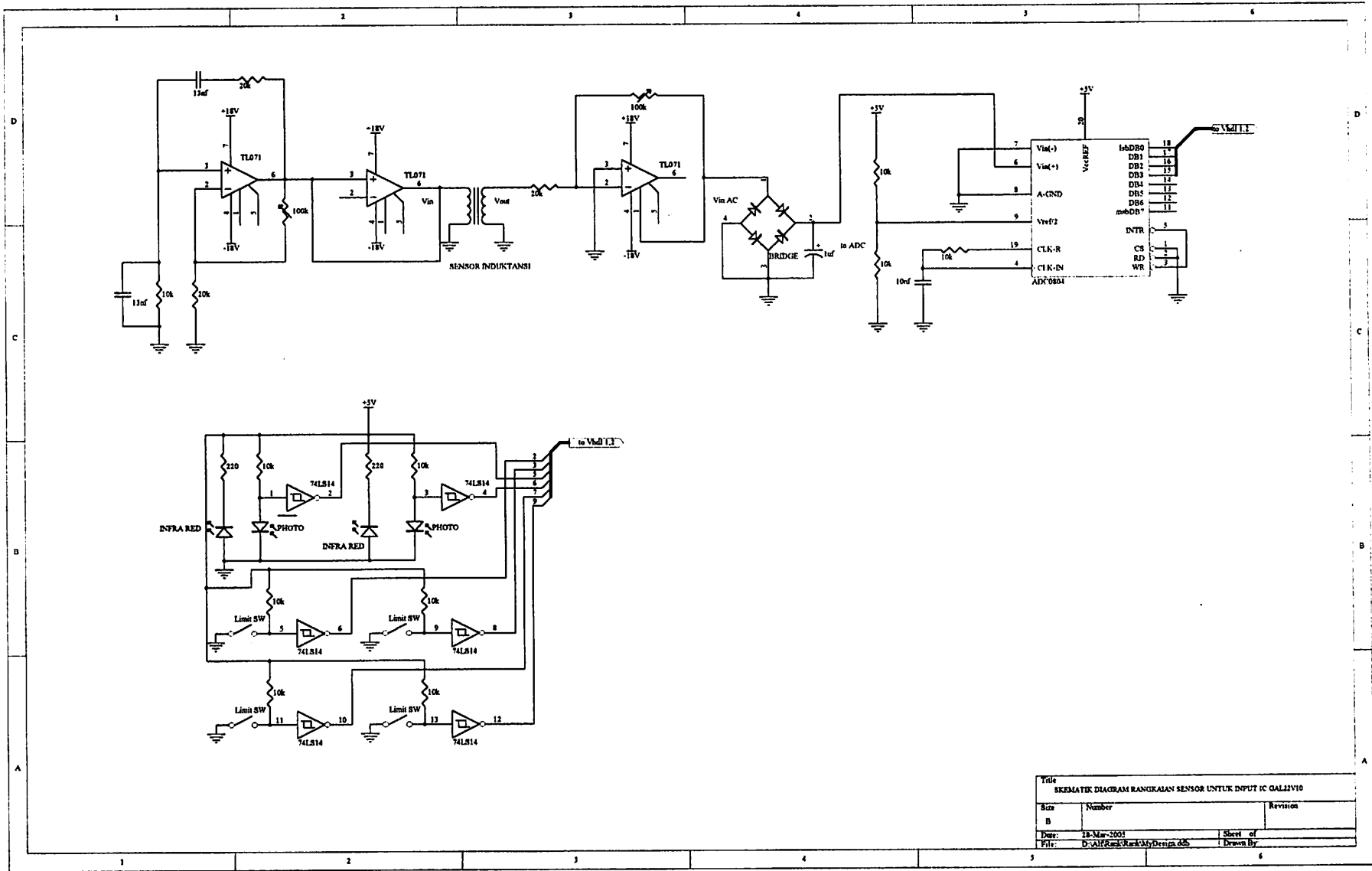
Lp2\_assignment:

```
Lp2 <= '0' when (Sreg0 = S10) else  
      '0' when (Sreg0 = S11) else  
      '0' when (Sreg0 = S12) else  
      '0' when (Sreg0 = S13) else  
      '0' when (Sreg0 = S14) else  
      '0' when (Sreg0 = S2) else  
      '0' when (Sreg0 = S3) else  
      '0' when (Sreg0 = S4) else  
      '0' when (Sreg0 = S5) else  
      '1' when (Sreg0 = S6) else  
      '1' when (Sreg0 = S7) else  
      '1' when (Sreg0 = S8) else  
      '1' when (Sreg0 = S9) else  
      '0';
```

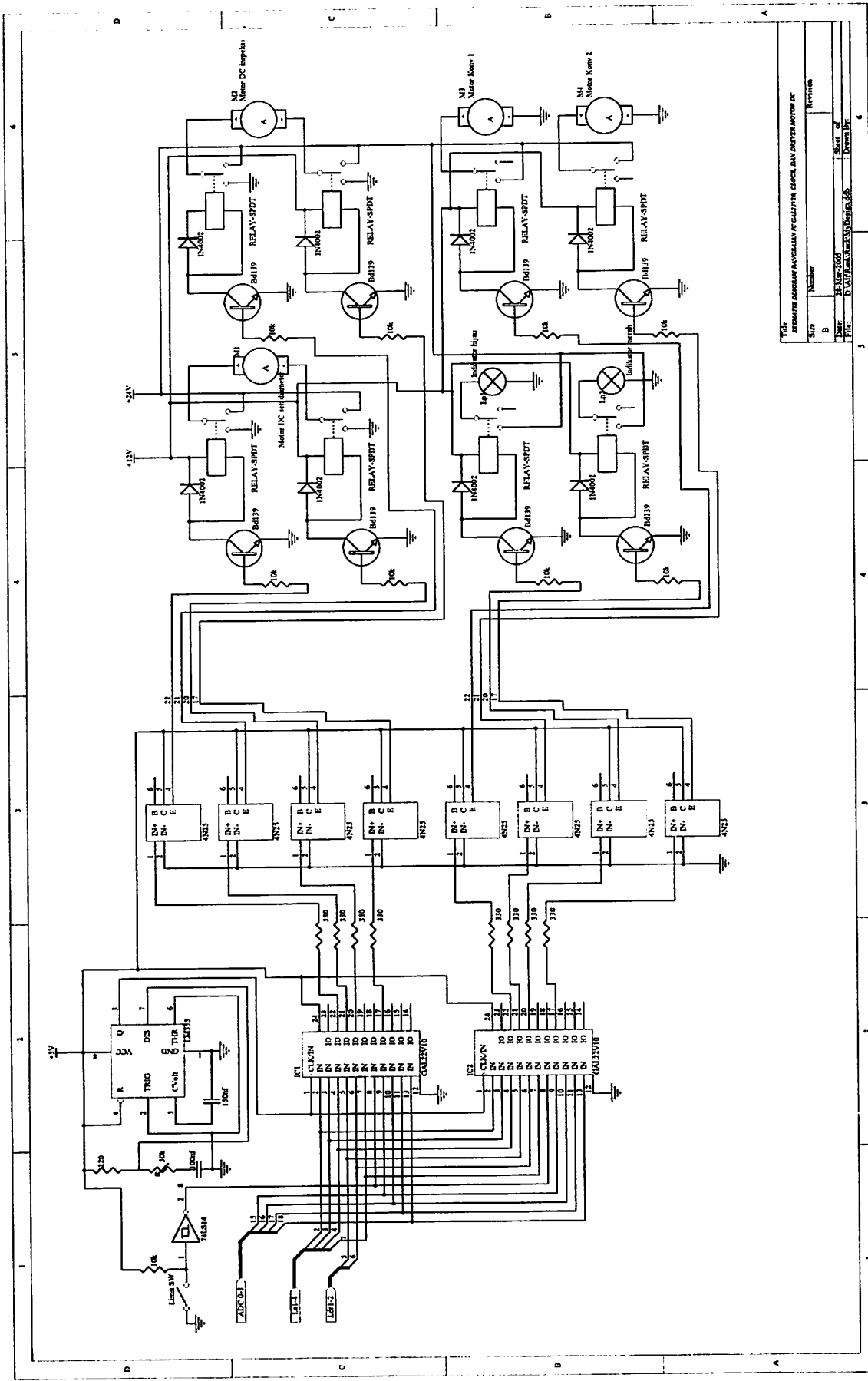
```
end dra2_arch;
```

# ***LAMPIRAN***

***2***



Title		
SKEMATIK DIAGRAM BANGKAIAN SENSOR UNTUK INPUT IC GALLIUM		
Size	Number	Revision
B		
Date:	13-Mar-2005	Sheet of
File:	D:\AI\PrakRumKMyDenisa.dbs	Drawn By



TITIK  
 BERMITA ANGGARAN ANGGARAN K GALLIPIYA CLOCE DAN ANETER MOTOR DC

No.	Revisi	Revisi
1	1	1
2	2	2
3	3	3
4	4	4
5	5	5
6	6	6

# ***LAMPIRAN***

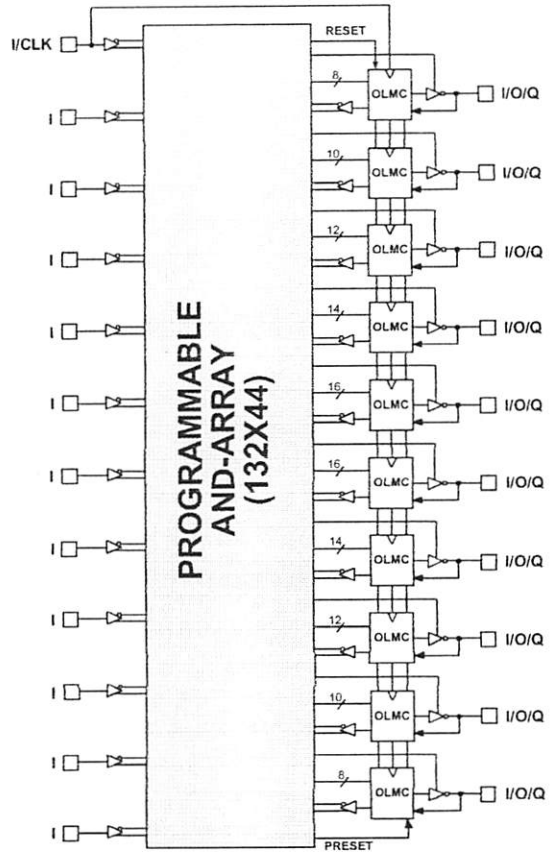
***3***



## Features

- HIGH PERFORMANCE E<sup>2</sup>CMOS® TECHNOLOGY**
- 4 ns Maximum Propagation Delay
  - F<sub>max</sub> = 250 MHz
  - 3.5 ns Maximum from Clock Input to Data Output
  - UltraMOS® Advanced CMOS Technology
- ACTIVE PULL-UPS ON ALL PINS**
- COMPATIBLE WITH STANDARD 22V10 DEVICES**
- Fully Function/Fuse-Map/Parametric Compatible with Bipolar and UVC MOS 22V10 Devices
- 50% to 75% REDUCTION IN POWER VERSUS BIPOLAR**
- 90mA Typical I<sub>cc</sub> on Low Power Device
  - 45mA Typical I<sub>cc</sub> on Quarter Power Device
- E<sup>2</sup> CELL TECHNOLOGY**
- Reconfigurable Logic
  - Reprogrammable Cells
  - 100% Tested/100% Yields
  - High Speed Electrical Erasure (<100ms)
  - 20 Year Data Retention
- TEN OUTPUT LOGIC MACROCELLS**
- Maximum Flexibility for Complex Logic Designs
- PRELOAD AND POWER-ON RESET OF REGISTERS**
- 100% Functional Testability
- APPLICATIONS INCLUDE:**
- DMA Control
  - State Machine Control
  - High Speed Graphics Processing
  - Standard Logic Speed Upgrade
- ELECTRONIC SIGNATURE FOR IDENTIFICATION**

## Functional Block Diagram



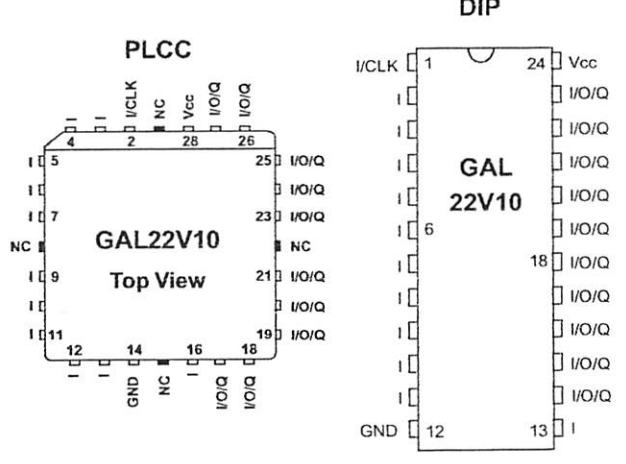
## Description

The GAL22V10, at 4ns maximum propagation delay time, combines a high performance CMOS process with Electrically Erasable (E<sup>2</sup>) floating gate technology to provide the highest performance available of any 22V10 device on the market. CMOS circuitry allows the GAL22V10 to consume much less power when compared to bipolar 22V10 devices. E<sup>2</sup> technology offers high speed (<100ms) erase times, providing the ability to reprogram or reconfigure the device quickly and efficiently.

The generic architecture provides maximum design flexibility by allowing the Output Logic Macrocell (OLMC) to be configured by the user. The GAL22V10 is fully function/fuse map/parametric compatible with standard bipolar and CMOS 22V10 devices.

Unique test circuitry and reprogrammable cells allow complete AC, DC, and functional testing during manufacture. As a result, Lattice Semiconductor delivers 100% field programmability and functionality of all GAL products. In addition, 100 erase/write cycles and data retention in excess of 20 years are specified.

## Pin Configuration



Copyright © 1997 Lattice Semiconductor Corp. All brand or product names are trademarks or registered trademarks of their respective holders. The specifications and information herein are subject to change without notice.

## Absolute Maximum Ratings<sup>1</sup>

Supply voltage  $V_{CC}$  ..... -0.5 to +7V  
 Input voltage applied ..... -2.5 to  $V_{CC} + 1.0V$   
 Off-state output voltage applied ..... -2.5 to  $V_{CC} + 1.0V$   
 Storage Temperature ..... -65 to 150°C  
 Ambient Temperature with  
 Power Applied ..... -55 to 125°C

1. Stresses above those listed under the "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress only ratings and functional operation of the device at these or at any other conditions above those indicated in the operational sections of this specification is not implied (while programming, follow the programming specifications).

## Recommended Operating Conditions

**Commercial Devices:**  
 Ambient Temperature ( $T_A$ ) ..... 0 to +75°C  
 Supply voltage ( $V_{CC}$ )  
 with Respect to Ground ..... +4.75 to +5.25V

**Industrial Devices:**  
 Ambient Temperature ( $T_A$ ) ..... -40 to 85°C  
 Supply voltage ( $V_{CC}$ )  
 with Respect to Ground ..... +4.50 to +5.50V

## DC Electrical Characteristics

Over Recommended Operating Conditions (Unless Otherwise Specified)

SYMBOL	PARAMETER	CONDITION	MIN.	TYP. <sup>3</sup>	MAX.	UNITS
$V_{IL}$	Input Low Voltage		$V_{SS} - 0.5$	—	0.8	V
$V_{IH}$	Input High Voltage		2.0	—	$V_{CC} + 1$	V
$I_{IL}^1$	Input or I/O Low Leakage Current	$0V \leq V_{IN} \leq V_{IL} (MAX.)$	—	—	-100	$\mu A$
$I_{IH}$	Input or I/O High Leakage Current	$3.5V \leq V_{IN} \leq V_{CC}$	—	—	10	$\mu A$
$V_{OL}$	Output Low Voltage	$I_{OL} = MAX. V_{in} = V_{IL} \text{ or } V_{IH}$	—	—	0.5	V
$V_{OH}$	Output High Voltage	$I_{OH} = MAX. V_{in} = V_{IL} \text{ or } V_{IH}$	2.4	—	—	V
$I_{OL}$	Low Level Output Current		—	—	16	mA
$I_{OH}$	High Level Output Current		—	—	-3.2	mA
$I_{OS}^2$	Output Short Circuit Current	$V_{CC} = 5V \quad V_{OUT} = 0.5V \quad T_A = 25^\circ C$	-30	—	-130	mA

### COMMERCIAL

ICC	Operating Power Supply Current	$V_{IL} = 0.5V \quad V_{IH} = 3.0V$ $f_{toggle} = 15MHz$ Outputs Open	L-4/-5/-7	—	90	140	mA
			L-10/-15	—	90	130	mA
			L-25	—	75	90	mA
			Q-10/-15/-25	—	45	55	mA

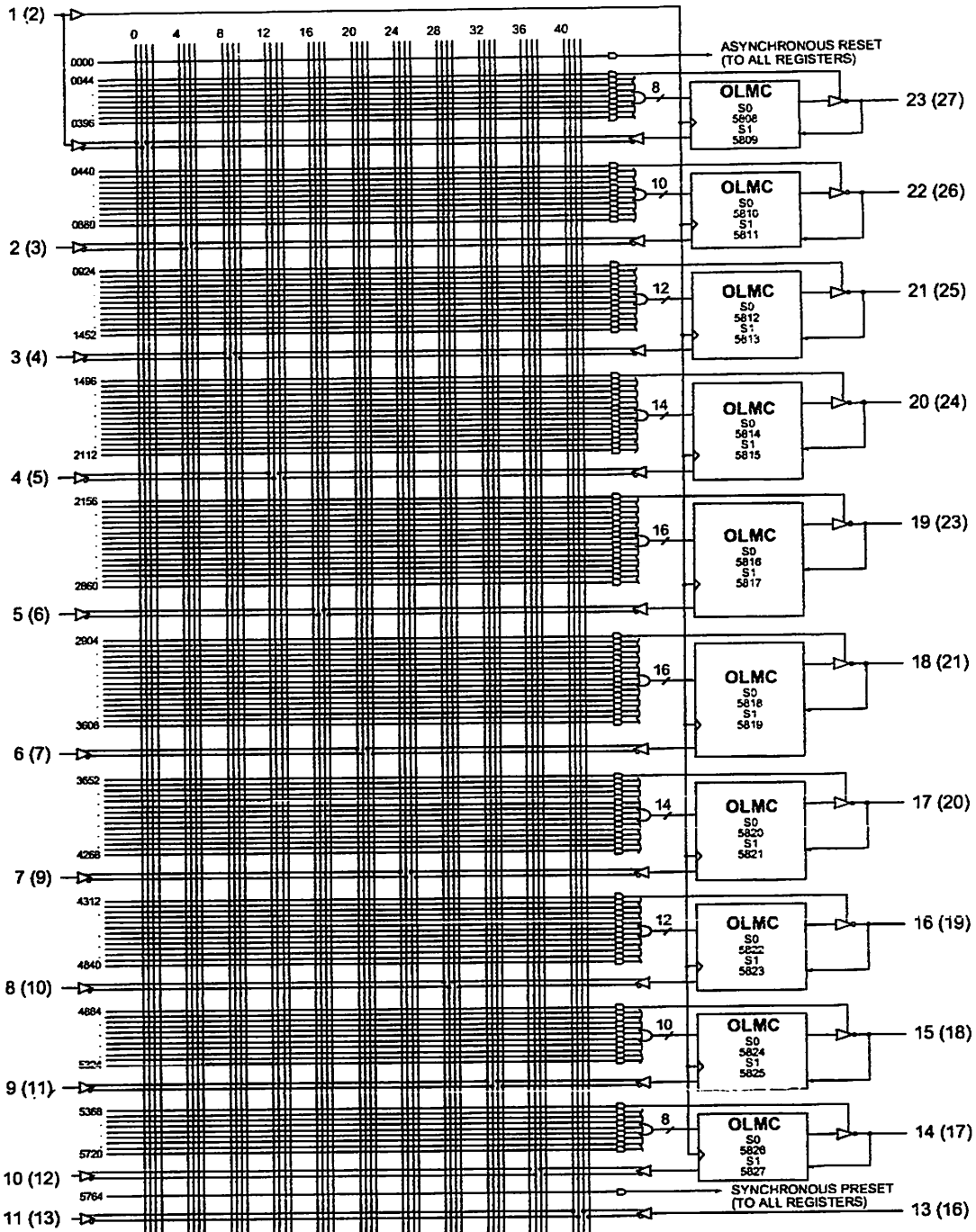
### INDUSTRIAL

ICC	Operating Power Supply Current	$V_{IL} = 0.5V \quad V_{IH} = 3.0V$ $f_{toggle} = 15MHz$ Outputs Open	L-7/-10	—	90	160	mA
			L-15/-20/-25	—	75	150	mA

1) The leakage current is due to the internal pull-up on all pins. See **Input Buffer** section for more information.  
 2) One output at a time for a maximum duration of one second.  $V_{out} = 0.5V$  was selected to avoid test problems caused by tester ground degradation. Characterized but not 100% tested.  
 3) Typical values are at  $V_{CC} = 5V$  and  $T_A = 25^\circ C$

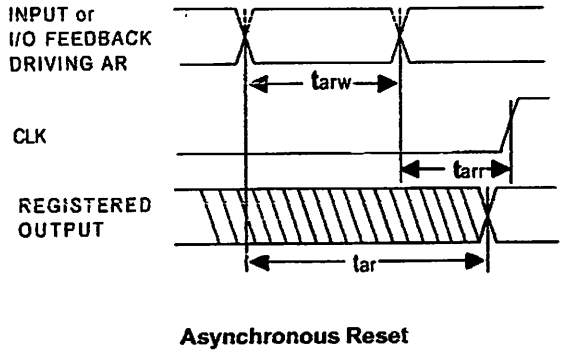
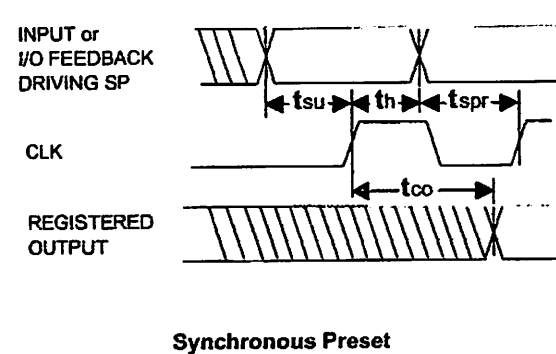
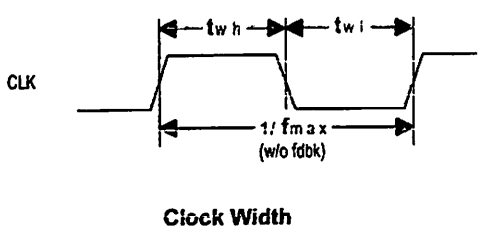
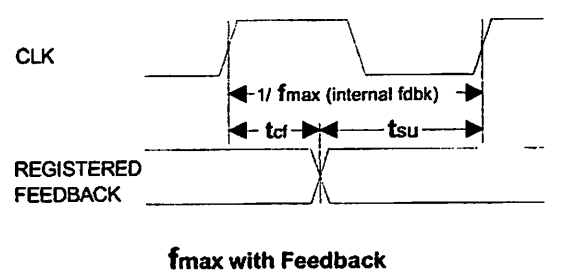
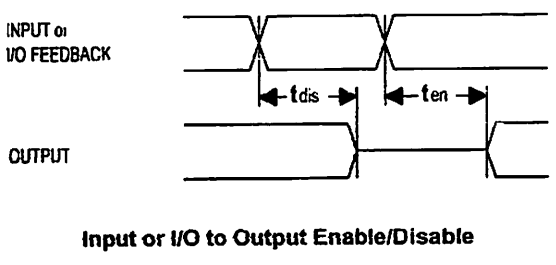
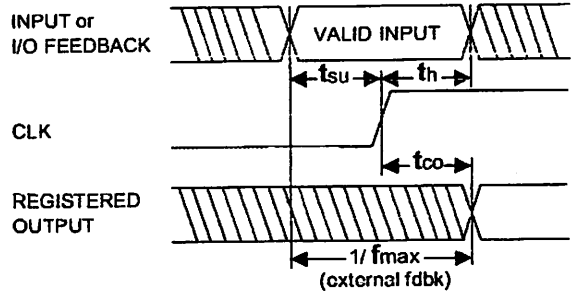
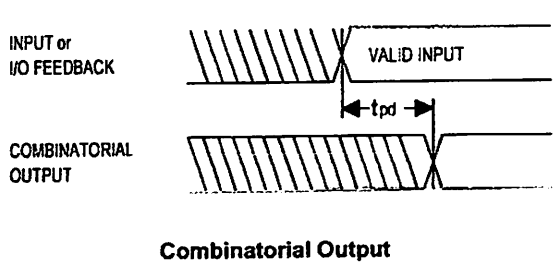
**GAL22V10 Logic Diagram / JEDEC Fuse Map**

**DIP (PLCC) Package Pinouts**

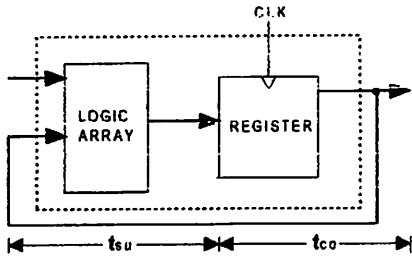


5828, 5829 ... Electronic Signature ... 5890, 5891							
Byte 7	Byte 6	Byte 5	Byte 4	Byte 3	Byte 2	Byte 1	Byte 0
M	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0

**Switching Waveforms**

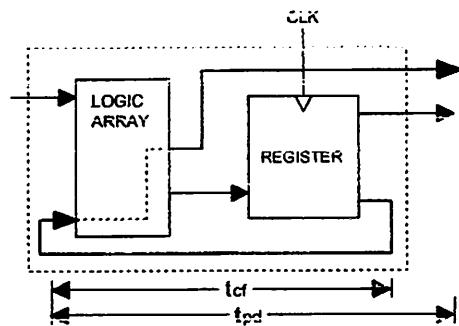


**Max Descriptions**



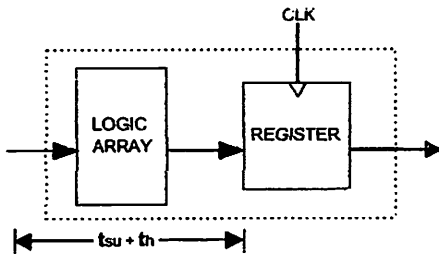
**fmax with External Feedback  $1/(t_{su}+t_{co})$**

**Note:** fmax with external feedback is calculated from measured  $t_{su}$  and  $t_{co}$ .



**fmax with Internal Feedback  $1/(t_{su}+t_{cf})$**

**Note:**  $t_{cf}$  is a calculated value, derived by subtracting  $t_{su}$  from the period of  $f_{max}$  w/internal feedback ( $t_{cf} = 1/f_{max} - t_{su}$ ). The value of  $t_{cf}$  is used primarily when calculating the delay from clocking a register to a combinatorial output (through registered feedback), as shown above. For example, the timing from clock to a combinatorial output is equal to  $t_{cf} + t_{pd}$ .



**fmax with No Feedback**

**Note:**  $f_{max}$  with no feedback may be less than  $1/(t_{wh} + t_{wl})$ . This is to allow for a clock duty cycle of other than 50%.

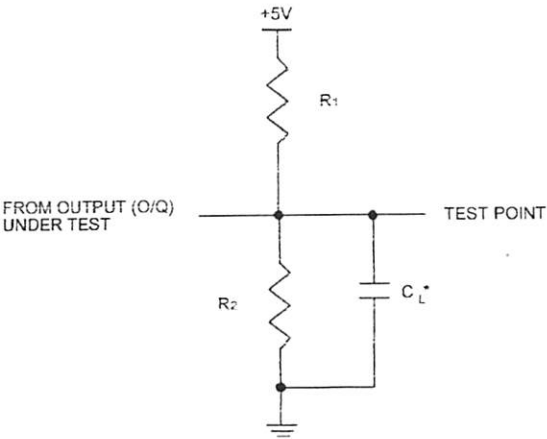
## Switching Test Conditions

Output Pulse Levels	GND to 3.0V	
Output Rise and Fall Times	D-4/-5/-7, C-5	1.5ns 10% – 90%
	D-10/-15/-20/-25	2.0ns 10% – 90%
	B & C-7/-10	
	B-15/-20/-25 3ns	10% – 90%
Output Timing Reference Levels	1.5V	
Input Timing Reference Levels	1.5V	
Output Load	See Figure	

Output levels are measured 0.5V from steady-state active level.

### Output Load Conditions (except D-4) (see figure below)

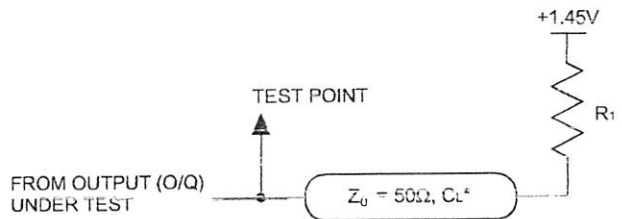
Test Condition	R <sub>1</sub>	R <sub>2</sub>	C <sub>L</sub>
A	300Ω	390Ω	50pF
B	Active High	∞	390Ω
	Active Low	300Ω	390Ω
C	Active High	∞	5pF
	Active Low	300Ω	390Ω



\*C<sub>L</sub> INCLUDES TEST FIXTURE AND PROBE CAPACITANCE

### GAL22V10D-4 Output Load Conditions (see figure below)

Test Condition	R <sub>1</sub>	C <sub>L</sub>
A	50Ω	50pF
B	Z to Active High at 1.9V	50Ω
	Z to Active Low at 1.0V	50Ω
C	Active High to Z at 1.9V	50Ω
	Active Low to Z at 1.0V	50Ω



## Electronic Signature

Electronic signature (ES) is provided in every GAL22V10 device. It contains 64 bits of reprogrammable memory that can contain user-defined data. Some uses include user ID codes, division numbers, or inventory control. The signature data is always available to the user independent of the state of the security cell.

The electronic signature is an additional feature not present in other manufacturers' 22V10 devices. To use the extra feature of user-programmable electronic signature it is necessary to choose a Lattice Semiconductor 22V10 device type when coming up with a set of logic equations. In addition, many device programmers have two separate selections for the device, typically a GAL22V10 and a GAL22V10-UES (UES = User Electronic Signature) or GAL22V10-ES. This allows users to maintain compatibility with existing 22V10 designs, while still having the option to use the GAL device's extra feature.

The JEDEC map for the GAL22V10 contains the 64 extra fuses for the electronic signature, for a total of 5892 fuses. However, the GAL22V10 device can still be programmed with a standard JEDEC map (5828 fuses) with any qualified device programmer.

## Security Cell

A security cell is provided in every GAL22V10 device to prevent unauthorized copying of the array patterns. Once programmed, the security cell prevents further read access to the functional bits in the device. This cell can only be erased by re-programming the device, so the original configuration can never be examined once the security cell is programmed. The Electronic Signature is always available to the user, regardless of the state of this control cell.

## Latch-Up Protection

GAL22V10 devices are designed with an on-board charge pump that negatively bias the substrate. The negative bias is of sufficient magnitude to prevent input undershoots from causing the circuitry to latch. Additionally, outputs are designed with n-channel pullups instead of the traditional p-channel pullups to eliminate any possibility of SCR induced latching.

## Device Programming

GAL devices are programmed using a Lattice Semiconductor-approved Logic Programmer, available from a number of manufacturers (see the GAL Development Tools section). Complete programming of the device takes only a few seconds. Erasing of the device is transparent to the user, and is done automatically as part of the programming cycle.

## Output Register Preload

When testing state machine designs, all possible states and state transitions must be verified in the design, not just those required in the normal machine operations. This is because certain events may occur during system operation that throw the logic into an illegal state (power-up, line voltage glitches, brown-outs, etc.). To test a design for proper treatment of these conditions, a way must be provided to break the feedback paths, and force any desired (i.e., illegal) state into the registers. Then the machine can be sequenced and the outputs tested for correct next state conditions.

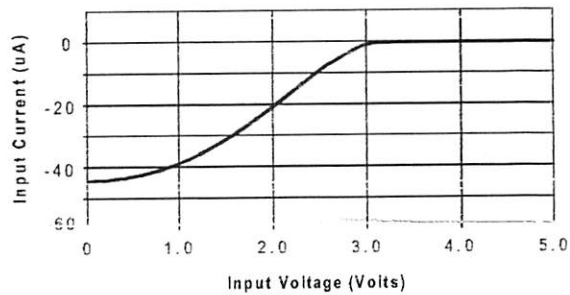
The GAL22V10 device includes circuitry that allows each registered output to be synchronously set either high or low. Thus, any present state condition can be forced for test sequencing. If necessary, approved GAL programmers capable of executing test vectors perform output register preload automatically.

## Input Buffers

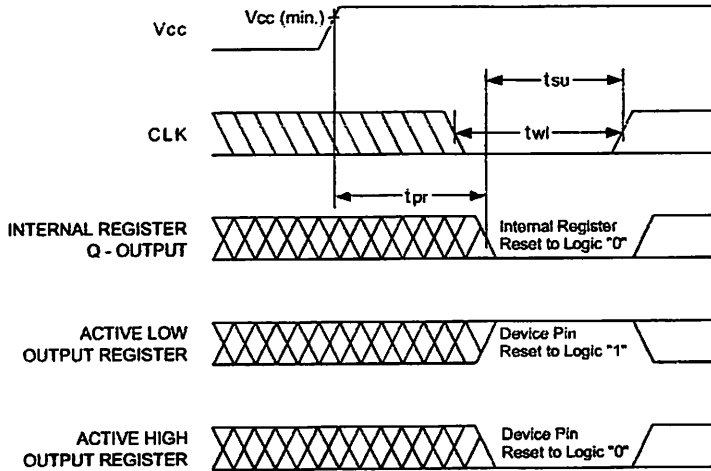
GAL22V10 devices are designed with TTL level compatible input buffers. These buffers have a characteristically high impedance, and present a much lighter load to the driving logic than bipolar TTL devices.

The input and I/O pins also have built-in active pull-ups. As a result, floating inputs will float to a TTL high (logic 1). However, Lattice Semiconductor recommends that all unused inputs and tri-stated I/O pins be connected to an adjacent active input, Vcc, or ground. Doing so will tend to improve noise immunity and reduce Icc for the device. (See equivalent input and I/O schematics on the following page.)

Typical Input Current



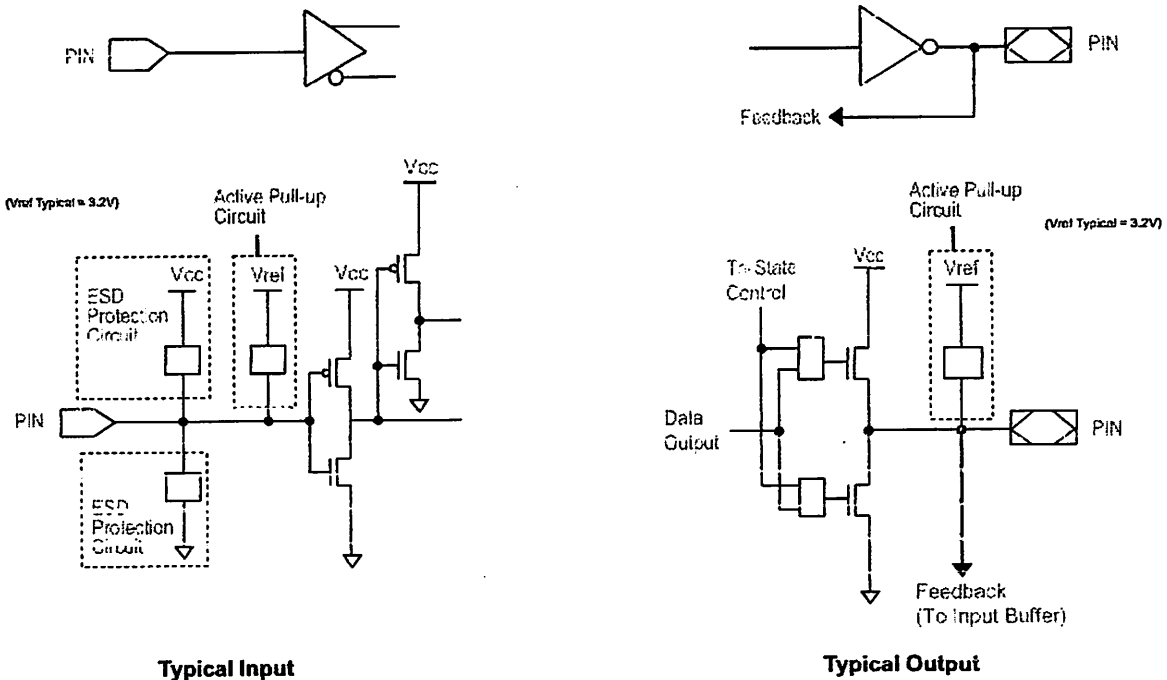
## Power-Up Reset



Logic circuitry within the GAL22V10 provides a reset signal to all registers during power-up. All internal registers will have their Q outputs set low after a specified time ( $t_{pr}$ , 1 $\mu$ s MAX). As a result, the level on the registered output pins (if they are enabled) will be either high or low on power-up, depending on the programmed polarity of the output pins. This feature can greatly simplify state machine design by providing a known state on power-up. The timing diagram for power-up is shown below. Because of the asyn-

chronous nature of system power-up, some conditions must be met to guarantee a valid power-up reset of the GAL22V10. First, the Vcc rise must be monotonic. Second, the clock input must be at static TTL level as shown in the diagram during power up. The registers will reset within a maximum of  $t_{pr}$  time. As in normal system operation, avoid clocking the device until all input and feedback path setup times have been met. The clock must also meet the minimum pulse width requirements.

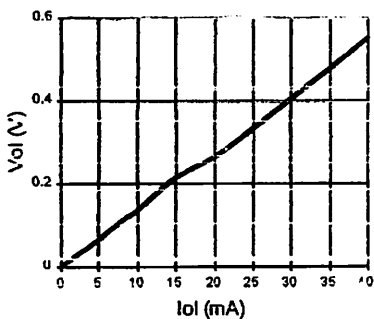
## Input/Output Equivalent Schematics



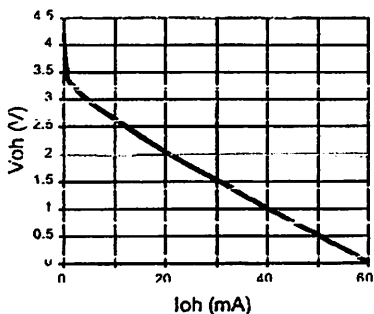


**AL22V10DQ-10 and Slower (L & Q): Typical AC and DC Characteristic Diagrams**

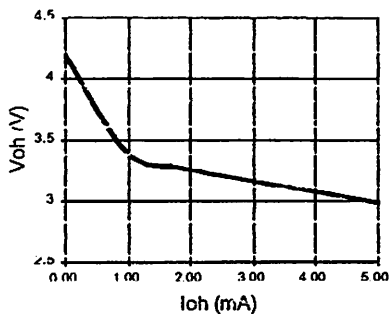
**Vol vs Iol**



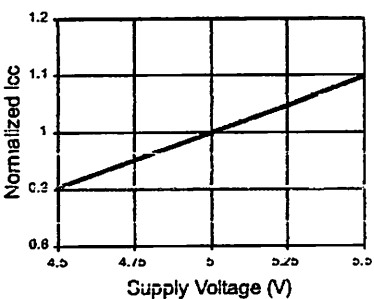
**Voh vs Ioh**



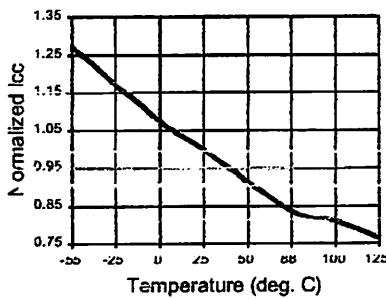
**Voh vs Ioh**



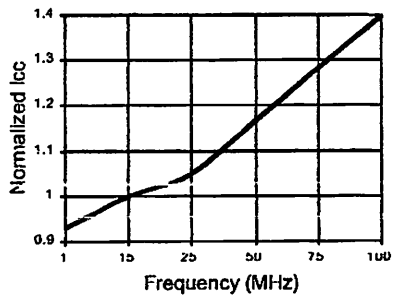
**Normalized Icc vs Vcc**



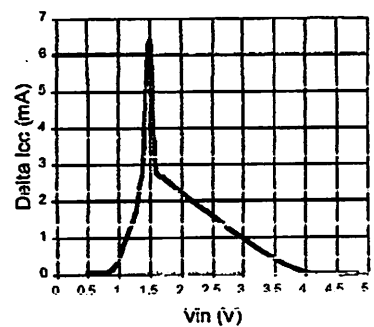
**Normalized Icc vs Temp**



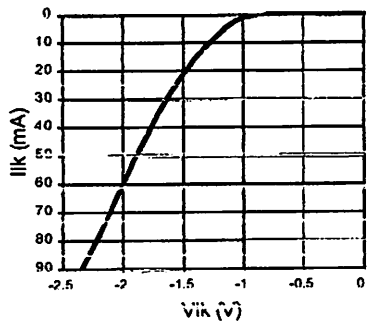
**Normalized Icc vs Freq**



**Delta Icc vs Vin (1 input)**

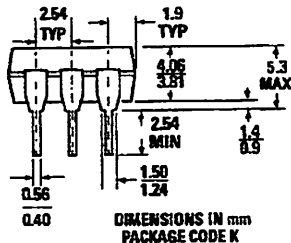
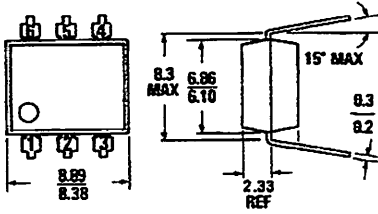


**Input Clamp (Vik)**

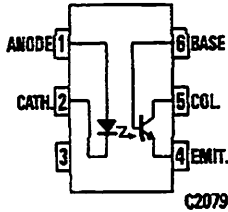


**4N25 4N27**  
**4N26 4N28**

**PACKAGE DIMENSIONS**



ST1603A



Equivalent Circuit

**DESCRIPTION**

The 4N25, 4N26, 4N27, and 4N28 series of optocouplers have an NPN silicon planar phototransistor optically coupled to a gallium arsenide diode.

**FEATURES & APPLICATIONS**

- AC line/digital logic isolator
- Digital logic/digital logic isolator
- Telephone/telegraph line receiver
- Twisted pair line receiver
- High frequency power supply feedback control
- Relay contact monitor
- Power supply monitor
- Small package size and low cost
- Excellent frequency response
- UL recognized—File E90700

<b>ABSOLUTE MAXIMUM RATINGS</b>	
<b>TOTAL PACKAGE</b>	
*Storage temperature .....	-55°C to 150°C
*Operating temperature at junction .....	-55°C to 100°C
*Lead temperature (soldering, 10 sec) .....	260°C
*Total package power dissipation at 25°C ambient (LED plus detector) .....	250 mW
*Derate linearly from 25°C .....	3.3 mW/°C
<b>INPUT DIODE</b>	
*Forward DC current continuous .....	80 mA
*Reverse voltage .....	3.0 V
*Peak forward current (300 μs, 2% duty cycle) .....	3.0 A
*Power dissipation at 25°C ambient .....	150 mW
*Derate linearly from 25°C .....	2.0 mW/°C
<b>OUTPUT TRANSISTOR</b>	
*Collector emitter voltage (BV <sub>CEO</sub> ) .....	30 V
*Collector base voltage (BV <sub>CBO</sub> ) .....	70 V
*Emitter collector voltage (BV <sub>ECO</sub> ) .....	7 V
*Power dissipation at 25°C ambient .....	150 mW
*Derate linearly from 25°C .....	2.0 mW/°C
*Indicates JEDEC Registered Data.	

TL071, TL071A, TL071B, TL072  
TL072A, TL072B, TL074, TL074A, TL074B  
**LOW-NOISE JFET-INPUT OPERATIONAL AMPLIFIERS**  
SLOS080D - SEPTEMBER 1979 - REVISED AUGUST 1996

- Low Power Consumption
- Wide Common-Mode and Differential Voltage Ranges
- Low Input Bias and Offset Currents
- Output Short-Circuit Protection
- Low Total Harmonic Distortion  
0.003% Typ
- Low Noise  
 $V_n = 18 \text{ nV}/\sqrt{\text{Hz}}$  Typ at  $f = 1 \text{ kHz}$
- High Input Impedance . . . JFET Input Stage
- Internal Frequency Compensation
- Latch-Up-Free Operation
- High Slew Rate . . .  $13 \text{ V}/\mu\text{s}$  Typ
- Common-Mode Input Voltage Range  
Includes  $V_{CC+}$

**description**

The JFET-input operational amplifiers in the TL07\_ series are designed as low-noise versions of the TL08\_ series amplifiers with low input bias and offset currents and fast slew rate. The low harmonic distortion and low noise make the TL07\_ series ideally suited for high-fidelity and audio preamplifier applications. Each amplifier features JFET inputs (for high input impedance) coupled with bipolar output stages integrated on a single monolithic chip.

The C-suffix devices are characterized for operation from 0°C to 70°C. The I-suffix devices are characterized for operation from -40°C to 85°C. The M-suffix devices are characterized for operation over the full military temperature range of -55°C to 125°C.

AVAILABLE OPTIONS

TA	V <sub>IO</sub> max AT 25°C	PACKAGE							
		SMALL OUTLINE (D)†	CHIP CARRIER (FK)	CERAMIC DIP (J)	CERAMIC DIP (JG)	PLASTIC DIP (N)	PLASTIC DIP (P)	TSSOP PACKAGE (PW)	FLAT PACKAGE (W)
0°C to 70°C	10 mV 6 mV 3 mV	TL071CD TL071ACD TL071BCD	—	—	—	—	TL071CP TL071ACP TL071BCP	TL071CPWLE — —	—
	10 mV 6 mV 3 mV	TL072CD TL072ACD TL072BCD	—	—	—	—	TL072CP TL072ACP TL072BCP	TL072CPWLE — —	—
	10 mV 6 mV 3 mV	TL074CD TL074ACD TL074BCD	—	—	—	TL074CN TL074ACN TL074BCN	—	TL074CPWLE — —	—
-40°C to 85°C	6 mV	TL071ID TL072ID TL074ID	—	—	—	— — TL074IN	TL071IP TL072IP —	—	—
-55°C to 125°C	6 mV 6 mV 9 mV	—	TL071MFK TL072MFK TL074MFK	— — TL074MJ	TL071MJG TL072MJG —	— — TL074MN	— — —	— — —	— — TL074MW

† The D package is available taped and reeled. Add the suffix R to the device type (e.g., TL071CDR). The PW package is only available left-ended taped and reeled (e.g., TL072CPWLE).



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

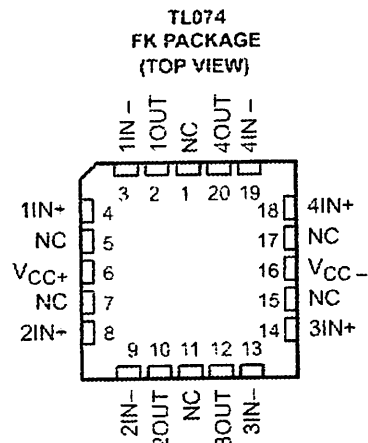
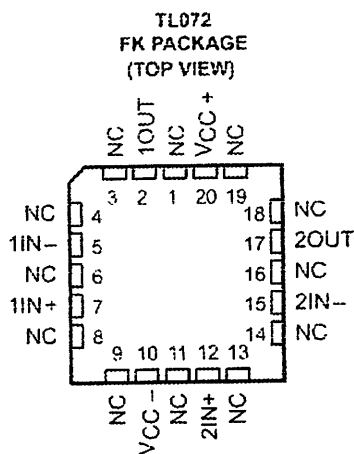
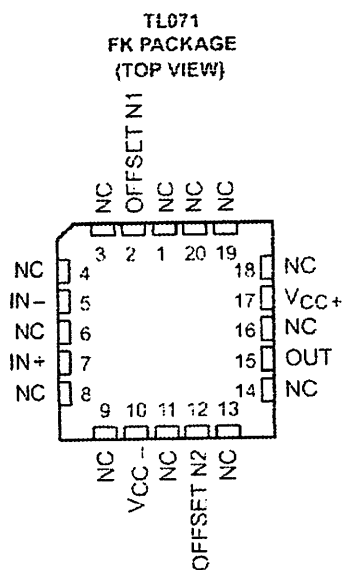
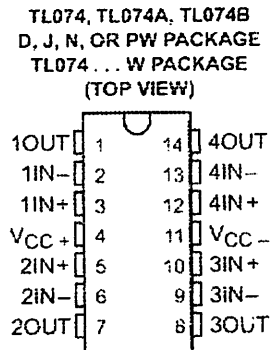
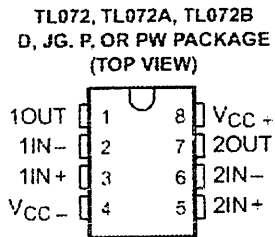
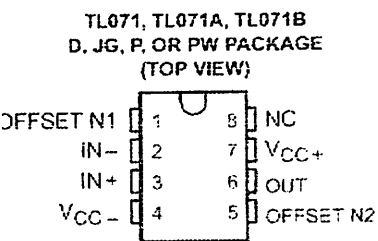


POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Copyright © 1996, Texas Instruments Incorporated

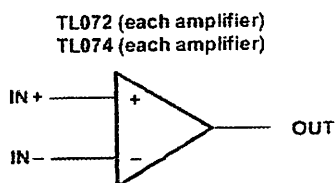
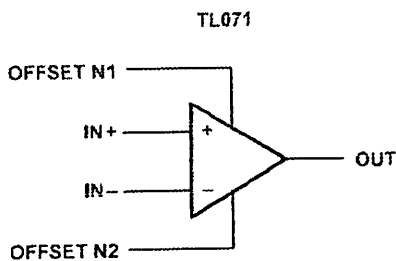
# TL071, TL071A, TL071B, TL072 TL072A, TL072B, TL074, TL074A, TL074B LOW-NOISE JFET-INPUT OPERATIONAL AMPLIFIERS

LOS000D - SEPTEMBER 1978 - REVISED AUGUST 1986



NC - No internal connection

## symbols



 **TEXAS  
INSTRUMENTS**

POST OFFICE BOX 655303 • DALLAS, TEXAS 75265



# ADC0801/ADC0802/ADC0803/ADC0804/ADC0805

## 8-Bit $\mu$ P Compatible A/D Converters

### General Description

The ADC0801, ADC0802, ADC0803, ADC0804 and ADC0805 are CMOS 8-bit successive approximation A/D converters that use a differential potentiometric ladder — similar to the 256R products. These converters are designed to allow operation with the NSC800 and INS800A derivative control bus with TRI-STATE output latches directly driving the data bus. These A/Ds appear like memory locations or I/O ports to the microprocessor and no interfacing logic is needed.

Differential analog voltage inputs allow increasing the common-mode rejection and offsetting the analog zero input voltage value. In addition, the voltage reference input can be adjusted to allow encoding any smaller analog voltage span to the full 8 bits of resolution.

### Features

- Compatible with 8080  $\mu$ P derivatives—no interfacing logic needed - access time - 135 ns
- Easy interface to all microprocessors, or operates 'stand alone'

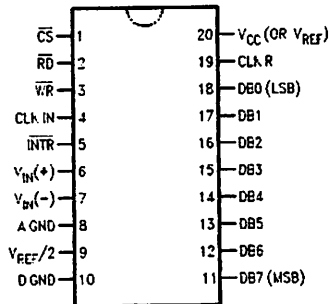
- Differential analog voltage inputs
- Logic inputs and outputs meet both MOS and TTL voltage level specifications
- Works with 2.5V (LM336) voltage reference
- On-chip clock generator
- 0V to 5V analog input voltage range with single 5V supply
- No zero adjust required
- 0.3" standard width 20-pin DIP package
- 20-pin molded chip carrier or small outline package
- Operates ratiometrically or with 5  $V_{DD}$ , 2.5  $V_{DD}$  or analog span adjusted voltage reference

### Key Specifications

- Resolution 8 bits
- Total error  $\pm 1/4$  LSB,  $\pm 1/2$  LSB and  $\pm 1$  LSB
- Conversion time 100  $\mu$ s

### Connection Diagram

**ADC080X**  
Dual-In-Line and Small Outline (SO) Packages



DS005671-30

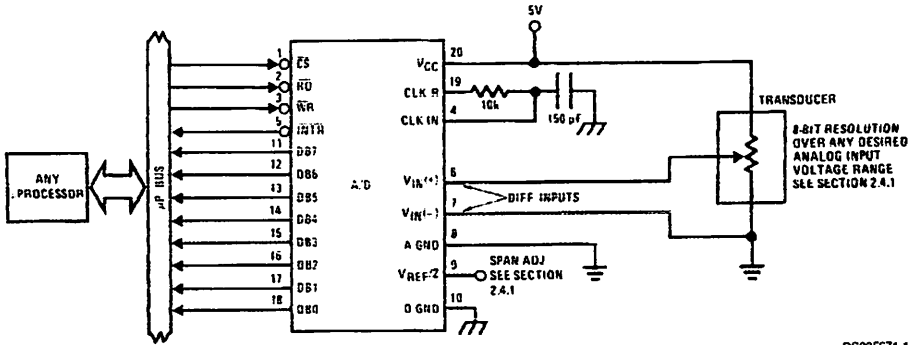
See Ordering Information

### Ordering Information

TEMP RANGE		0°C TO 70°C	0°C TO 70°C	-40°C TO +85°C
ERROR	$\pm 1/4$ Bit Adjusted	ADC0802LCWM	ADC0804LCN	ADC0801LCN
	$\pm 1/2$ Bit Unadjusted			ADC0802LCN
	$\pm 1/2$ Bit Adjusted	ADC0803LCN		ADC0803LCN
	$\pm 1$ Bit Unadjusted			ADC0805LCN/ADC0804LCJ
PACKAGE OUTLINE		M20B — Small Outline	N20A — Molded DIP	

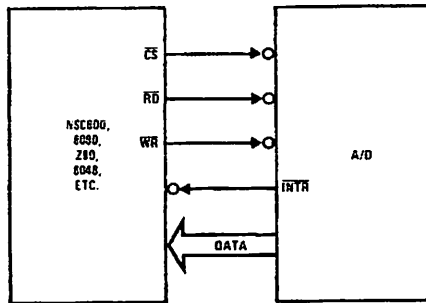
2-80 is a registered trademark of Zilog Corp.

# Typical Applications



DS005671-1

## 8080 Interface



DS005671-31

Error Specification (Includes Full-Scale, Zero Error, and Non-Linearity)			
Part Number	Full-Scale Adjusted	$V_{REF}/2 = 2.500 V_{DC}$ (No Adjustments)	$V_{REF}/2 = \text{No Connection}$ (No Adjustments)
ADC0801	$\pm 1/2$ LSB		
ADC0802		$\pm 1/2$ LSB	
ADC0803	$\pm 1/2$ LSB		
ADC0804		$\pm 1$ LSB	
ADC0805			$\pm 1$ LSB

### Absolute Maximum Ratings (Notes 1, 2)

Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage ( $V_{CC}$ ) (Note 3)	6.5V
Logic Voltage	
Logic Control Inputs	-0.3V to +18V
At Other Input and Outputs	-0.3V to ( $V_{CC}+0.3V$ )
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260 C
Dual-In-Line Package (ceramic)	300 C
Surface Mount Package	
Vapor Phase (60 seconds)	215 C

Infrared (15 seconds)	220 C
Storage Temperature Range	-65 C to +150 C
Package Dissipation at $T_A=25^{\circ}C$	875 mW
ESD Susceptibility (Note 10)	800V

### Operating Ratings (Notes 1, 2)

Temperature Range	$T_{MIN} \leq T_A \leq T_{MAX}$
ADC0804LCJ	-40 C $\leq T_A \leq$ +85 C
ADC0801/02/03/05LCN	-40 C $\leq T_A \leq$ +85 C
ADC0804LCN	0 C $\leq T_A \leq$ +70 C
ADC0802/04LCWM	0 C $\leq T_A \leq$ +70 C
Range of $V_{CC}$	4.5 $V_{DC}$ to 6.3 $V_{DC}$

### Electrical Characteristics

The following specifications apply for  $V_{CC}=5 V_{DC}$ ,  $T_{MIN} \leq T_A \leq T_{MAX}$  and  $f_{CLK}=640$  kHz unless otherwise specified.

Parameter	Conditions	Min	Typ	Max	Units
CO801: Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			$\pm 1/4$	LSB
CO802: Total Unadjusted Error (Note 8)	$V_{REF}/2=2.500 V_{DC}$			$\pm 1/2$	LSB
CO803: Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			$\pm 1/2$	LSB
CO804: Total Unadjusted Error (Note 8)	$V_{REF}/2=2.500 V_{DC}$			$\pm 1$	LSB
CO805: Total Unadjusted Error (Note 8)	$V_{REF}/2$ -No Connection			$\pm 1$	LSB
$R_{IF/2}$ Input Resistance (Pin 9)	ADC0801/02/03/05 ADC0804 (Note 9)	2.5 0.75	8.0 1.1		k $\Omega$ k $\Omega$
Analog Input Voltage Range	(Note 4) V(+) or V(-)	Grnd-0.05		$V_{CC}+0.05$	$V_{DC}$
Common-Mode Error	Over Analog Input Voltage Range		$\pm 1/16$	$\pm 1/4$	LSB
Power Supply Sensitivity	$V_{CC}=5 V_{DC} \pm 10\%$ Over Allowed $V_{IN}(+)$ and $V_{IN}(-)$ Voltage Range (Note 4)		$\pm 1/16$	$\pm 1/4$	LSB

### AC Electrical Characteristics

The following specifications apply for  $V_{CC}=5 V_{DC}$  and  $T_{MIN} \leq T_A \leq T_{MAX}$  unless otherwise specified.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
$t_{CONV}$	Conversion Time	$f_{CLK}=640$ kHz (Note 6)	103		114	$\mu s$
$t_{CONV}$	Conversion Time	(Notes 5, 6)	66		73	$1/f_{CLK}$
$f_{CLK}$	Clock Frequency	$V_{CC}=5V$ , (Note 5)	100	640	1460	kHz
$D$	Clock Duty Cycle		40		60	%
$R$	Conversion Rate in Free-Running Mode	$\overline{INTR}$ tied to $\overline{WR}$ with $\overline{CS}=0 V_{DC}$ , $f_{CLK}=640$ kHz	8770		9708	conv/s
$t_{WRIL}$	Width of $\overline{WR}$ Input (Start Pulse Width)	$\overline{CS}=0 V_{DC}$ (Note 7)	100			ns
$t_{ACC}$	Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Data Valid)	$C_L=100$ pF		135	200	ns
$t_{TRIS}$	TRI-STATE Control (Delay from Rising Edge of $\overline{RD}$ to H-Z State)	$C_L=10$ pF, $R_L=10k$ (See TRI-STATE Test Circuits)		125	200	ns
$t_{RST}$	Delay from Falling Edge of $\overline{WR}$ or $\overline{RD}$ to Reset of $\overline{INTR}$			300	450	ns
$C_{IN}$	Input Capacitance of Logic Control Inputs			5	7.5	pF



## AC Electrical Characteristics (Continued)

The following specifications apply for  $V_{CC}=5 V_{DD}$  and  $T_{MIN}, T_A \leq T_{MAX}$  unless otherwise specified.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
$C_{OUT}$	TRI-STATE Output Capacitance (Data Buffers)			5	7.5	pF

### CONTROL INPUTS [Note: CLK IN (Pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately]

$V_{IN}(1)$	Logical "1" Input Voltage (Except Pin 4 CLK IN)	$V_{CC}=5$ to $2.5 V_{DD}$	2.0		15	$V_{DD}$
$V_{IN}(0)$	Logical "0" Input Voltage (Except Pin 4 CLK IN)	$V_{CC}=4$ to $7.5 V_{DD}$			0.8	$V_{DD}$
$I_{IN}(1)$	Logical "1" Input Current (All Inputs)	$V_{IN}=5 V_{DD}$		0.005	1	$\mu A_{DC}$
$I_{IN}(0)$	Logical "0" Input Current (All Inputs)	$V_{IN}=0 V_{DD}$	-1	-0.005		$\mu A_{DC}$

### CLOCK IN AND CLOCK R

$V_{T+}$	CLK IN (Pin 4) Positive Going Threshold Voltage		2.7	3.1	3.5	$V_{DD}$
$V_{T-}$	CLK IN (Pin 4) Negative Going Threshold Voltage		1.5	1.8	2.1	$V_{DD}$
$V_H$	CLK IN (Pin 4) Hysteresis ( $V_{T+}$ )-(V <sub>T-</sub> )		0.6	1.3	2.0	$V_{DD}$
$V_{OUT}(0)$	Logical "0" CLK R Output Voltage	$I_O=360 \mu A$ $V_{CC}=4.75 V_{DD}$			0.4	$V_{DD}$
$V_{OUT}(1)$	Logical "1" CLK R Output Voltage	$I_O=-360 \mu A$ $V_{CC}=4.75 V_{DD}$	2.4			$V_{DD}$

### DATA OUTPUTS AND INTR

$V_{OUT}(0)$	Logical "0" Output Voltage Data Outputs INTR Output	$I_{OUT}=1.5 mA, V_{CC}=4.75 V_{DD}$ $I_{OUT}=1.0 mA, V_{CC}=4.75 V_{DD}$			0.4 0.4	$V_{DD}$ $V_{DD}$
$V_{OUT}(1)$	Logical "1" Output Voltage	$I_O=-360 \mu A, V_{CC}=4.75 V_{DD}$	2.4			$V_{DD}$
$V_{OUT}(1)$	Logical "1" Output Voltage	$I_O=-10 \mu A, V_{CC}=4.75 V_{DD}$	4.5			$V_{DD}$
$I_{OUT}$	TRI-STATE Disabled Output Leakage (All Data Buffers)	$V_{OUT}=0 V_{DD}$ $V_{OUT}=5 V_{DD}$	-3		3	$\mu A_{DC}$ $\mu A_{DC}$
$I_{SOURCE}$		$V_{OUT}$ Short to Gnd, $T_A=25^\circ C$	4.5	6		$mA_{DC}$
$I_{SINK}$		$V_{OUT}$ Short to $V_{CC}$ , $T_A=25^\circ C$	9.0	16		$mA_{DC}$

### POWER SUPPLY

$I_{CC}$	Supply Current (includes Ladder Current)	$f_{CLK}=640 kHz$ , $V_{REF}/2=NC, T_A=25^\circ C$ and $\overline{CS}=5V$				
	ADC0801/02/03/04LCJ/05			1.1	1.8	mA
	ADC0804LCN/LCWM			1.9	2.5	mA

**Note 1:** Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

**Note 2:** All voltages are measured with respect to Gnd, unless otherwise specified. The separate A Gnd point should always be wired to the D Gnd.

**Note 3:** A zener diode exists internally, from  $V_{CC}$  to Gnd and has a typical breakdown voltage of  $7 V_{DD}$ .

**Note 4:** For  $V_{IN}(-)$ ;  $V_{IN}(+)$  the digital output code will be 0000 0000. Two on-chip diodes are tied to each analog input (see block diagram) which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the  $V_{CC}$  supply. Be careful, during testing at low  $V_{DD}$  levels (4.5V), as high level analog inputs (5V) can cause this input diode to conduct—especially at elevated temperatures, and cause errors for analog inputs near full-scale. The spec allows 50 mV forward bias of either diode. This means that as long as the analog  $V_{IN}$  does not exceed the supply voltage by more than 50 mV, the output code will be correct. To achieve an absolute 0  $V_{DD}$  to 5  $V_{DD}$  input voltage range will therefore require a minimum supply voltage of 4.950  $V_{DD}$  over temperature variations, initial tolerance and loading.

**Note 5:** Accuracy is guaranteed at  $f_{CLK} = 640 kHz$ . At higher clock frequencies accuracy can degrade. For lower clock frequencies, the duty cycle limits can be extended so long as the minimum clock high time interval or minimum clock low time interval is no less than 275 ns.

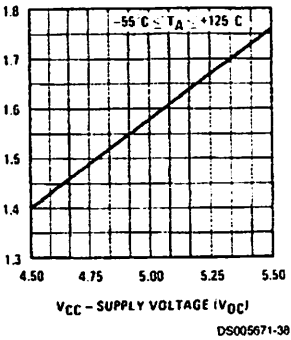
**Note 6:** With an asynchronous start pulse, up to 8 clock periods may be required before the internal clock phases are proper to start the conversion process. The start request is internally latched, see Figure 4 and section 2.0.

## Electrical Characteristics (Continued)

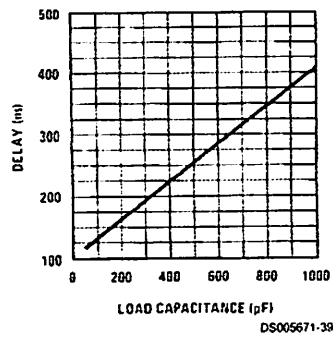
- 7: The  $\overline{CS}$  input is assumed to bracket the  $\overline{WR}$  strobe input and therefore timing is dependent on the  $\overline{WR}$  pulse width. An arbitrarily wide pulse width will hold inverter in a reset mode and the start of conversion is initiated by the low to high transition of the  $\overline{WR}$  pulse (see timing diagrams).
- 8: None of these ADCs requires a zero adjust (see section 2.5.1). To obtain zero code at other analog input voltages see section 2.5 and Figure 7.
- 9: The  $V_{REF/2}$  pin is the center point of a two-resistor divider connected from  $V_{CC}$  to ground. In all versions of the ADC0801, ADC0802, ADC0803, and ADC0805, and in the ADC0804LCLJ, each resistor is typically 16 k $\Omega$ . In all versions of the ADC0804 except the ADC0804LCLJ, each resistor is typically 2.2 k $\Omega$ .
- 10: Human body model, 100 pF discharged through a 1.5 k $\Omega$  resistor.

## Typical Performance Characteristics

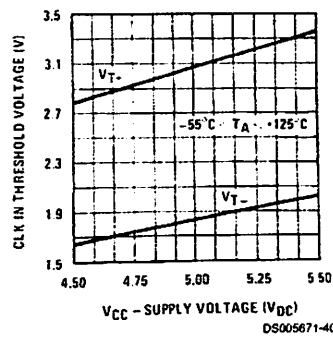
**Logic Input Threshold Voltage vs. Supply Voltage**



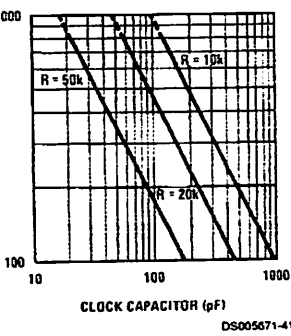
**Delay From Falling Edge of RD to Output Data Valid vs. Load Capacitance**



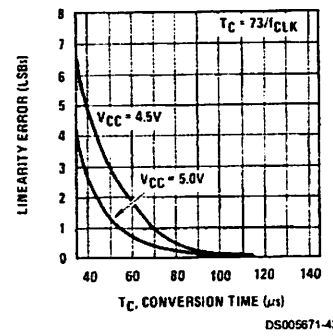
**CLK IN Schmitt Trip Levels vs. Supply Voltage**



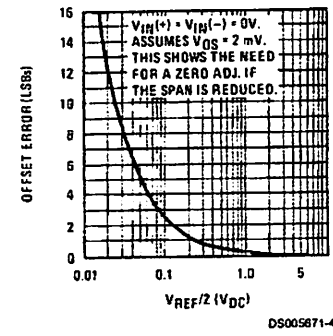
**Linearity Error vs. Clock Capacitor**



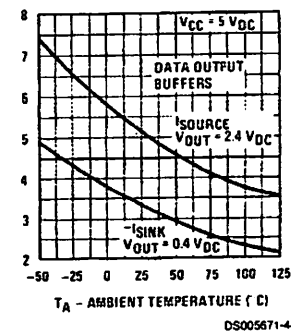
**Full-Scale Error vs Conversion Time**



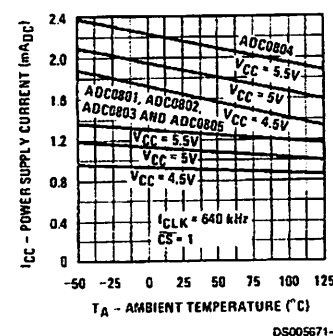
**Effect of Unadjusted Offset Error vs. VREF/2 Voltage**



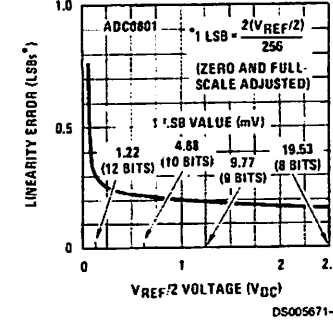
**Input Current vs Temperature**



**Power Supply Current vs Temperature (Note 9)**



**Linearity Error at Low VREF/2 Voltages**



SDLS049

**SN5414, SN54LS14,  
SN7414, SN74LS14**  
HEX SCHMITT-TRIGGER INVERTERS  
DECEMBER 1983 - REVISED MARCH 1988

- Operation from Very Slow Edges
- Improved Line-Receiving Characteristics
- High Noise Immunity

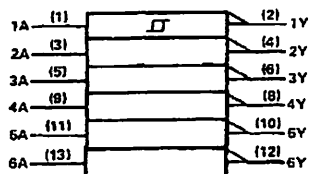
**description**

Each circuit functions as an inverter, but because of the Schmitt action, it has different input threshold levels for positive ( $V_{T+}$ ) and for negative going ( $V_{T-}$ ) signals.

These circuits are temperature-compensated and can be triggered from the slowest of input ramps and still give clean, jitter-free output signals.

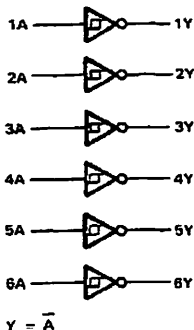
The SN5414 and SN54LS14 are characterized for operation over the full military temperature range of  $-55^{\circ}\text{C}$  to  $125^{\circ}\text{C}$ . The SN7414 and the SN74LS14 are characterized for operation from  $0^{\circ}\text{C}$  to  $70^{\circ}\text{C}$ .

**logic symbol†**

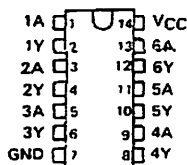


† This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12.  
Pin numbers shown are for D, J, N, and W packages.

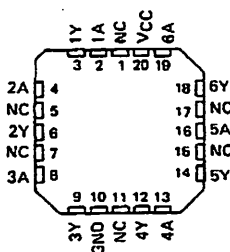
**logic diagram (positive logic)**



SN5414, SN54LS14 . . . J OR W PACKAGE  
SN7414 . . . N PACKAGE  
SN74LS14 . . . D OR N PACKAGE  
(TOP VIEW)



SN54LS14 . . . PK PACKAGE  
(TOP VIEW)



NC—No internal connection

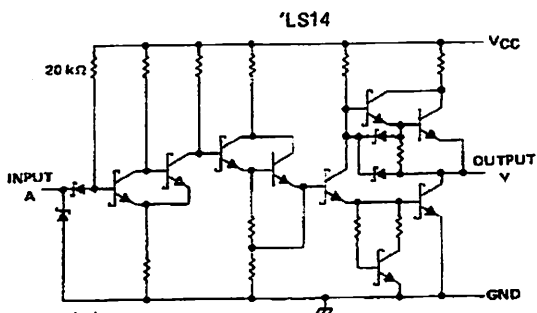
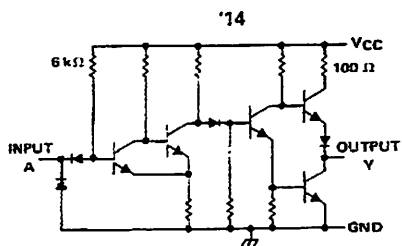
PRODUCTION DATA documents contain information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



POST OFFICE BOX 655012 • DALLAS, TEXAS 75265

**SN5414, SN54LS14, SN7414, SN74LS14**  
**HEX SCHMITT-TRIGGER INVERTERS**

schematics



Resistor values shown are nominal.

**absolute maximum ratings over operating free-air temperature range (unless otherwise noted)**

Supply voltage, VCC (see Note 1) .....	7 V
Input voltage: '14 .....	5.5 V
'LS14 .....	7 V
Operating free-air temperature: SN54' .....	-55°C to 125°C
SN74' .....	0°C to 70°C
Storage temperature range .....	-65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

# NPN power transistors

# BD135; BD137; BD139

## FEATURES

High current (max. 1.5 A)  
 Low voltage (max. 80 V).

## APPLICATIONS

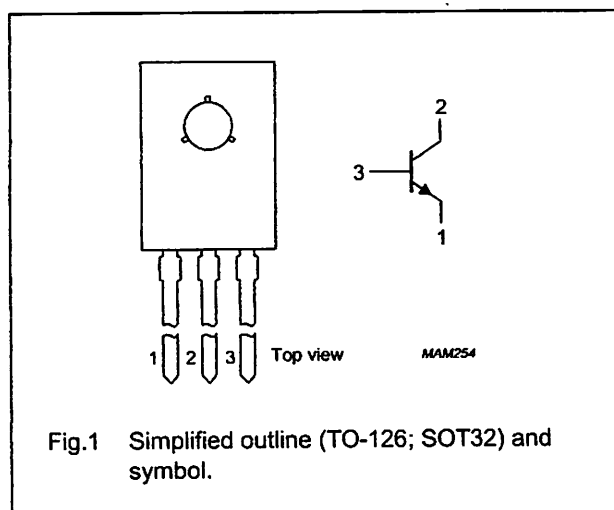
Driver stages in hi-fi amplifiers and television circuits.

## DESCRIPTION

NPN power transistor in a TO-126; SOT32 plastic package. PNP complements: BD136, BD138 and BD140.

## PINNING

PIN	DESCRIPTION
1	emitter
2	collector, connected to metal part of mounting surface
3	base



## LIMITING VALUES

in accordance with the Absolute Maximum Rating System (IEC 134).

SYMBOL	PARAMETER	CONDITIONS	MIN.	MAX.	UNIT
$V_{CB0}$	collector-base voltage	open emitter			
	BD135		-	45	V
	BD137		-	60	V
	BD139		-	100	V
$V_{CE0}$	collector-emitter voltage	open base			
	BD135		-	45	V
	BD137		-	60	V
	BD139		-	80	V
$V_{EB0}$	emitter-base voltage	open collector	-	5	V
$I_C$	collector current (DC)		-	1.5	A
$I_{CM}$	peak collector current		-	2	A
$I_{BM}$	peak base current		-	1	A
$P_{tot}$	total power dissipation	$T_{mb} \leq 70^\circ\text{C}$	-	8	W
$T_{stg}$	storage temperature		-65	+150	$^\circ\text{C}$
$T_j$	junction temperature		-	150	$^\circ\text{C}$
$T_{amb}$	operating ambient temperature		-65	+150	$^\circ\text{C}$

NPN power transistors

BD135; BD137; BD139

TEHERMAL CHARACTERISTICS

SYMBOL	PARAMETER	CONDITIONS	VALUE	UNIT
$\theta_{j-a}$	thermal resistance from junction to ambient	note 1	100	K/W
$\theta_{j-mb}$	thermal resistance from junction to mounting base		10	K/W

te

Refer to TO-126; SOT32 standard mounting conditions.

CHARACTERISTICS

$T_j = 25^\circ\text{C}$  unless otherwise specified.

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
BO	collector cut-off current	$I_E = 0; V_{CB} = 30\text{ V}$	–	–	100	nA
		$I_E = 0; V_{CB} = 30\text{ V}; T_j = 125^\circ\text{C}$	–	–	10	$\mu\text{A}$
BO	emitter cut-off current	$I_C = 0; V_{EB} = 5\text{ V}$	–	–	100	nA
h <sub>FE</sub>	DC current gain	$V_{CE} = 2\text{ V}$ ; (see Fig.2) $I_C = 5\text{ mA}$	40	–	–	
		$I_C = 150\text{ mA}$	63	–	250	
		$I_C = 500\text{ mA}$	25	–	–	
h <sub>FE</sub>	DC current gain BD135-10; BD137-10; BD139-10 BD135-16; BD137-16; BD139-16	$I_C = 150\text{ mA}; V_{CE} = 2\text{ V}$ ; (see Fig.2)	63	–	160	
			100	–	250	
V <sub>CEsat</sub>	collector-emitter saturation voltage	$I_C = 500\text{ mA}; I_B = 50\text{ mA}$	–	–	0.5	V
V <sub>BE</sub>	base-emitter voltage	$I_C = 500\text{ mA}; V_{CE} = 2\text{ V}$	–	–	1	V
f <sub>T</sub>	transition frequency	$I_C = 50\text{ mA}; V_{CE} = 5\text{ V}$ ; f = 100 MHz	–	190	–	MHz
h <sub>FE1</sub> h <sub>FE2</sub>	DC current gain ratio of the complementary pairs	$ I_C  = 150\text{ mA};  V_{CE}  = 2\text{ V}$	–	1.3	1.6	

VPN power transistors

BD135; BD137; BD139

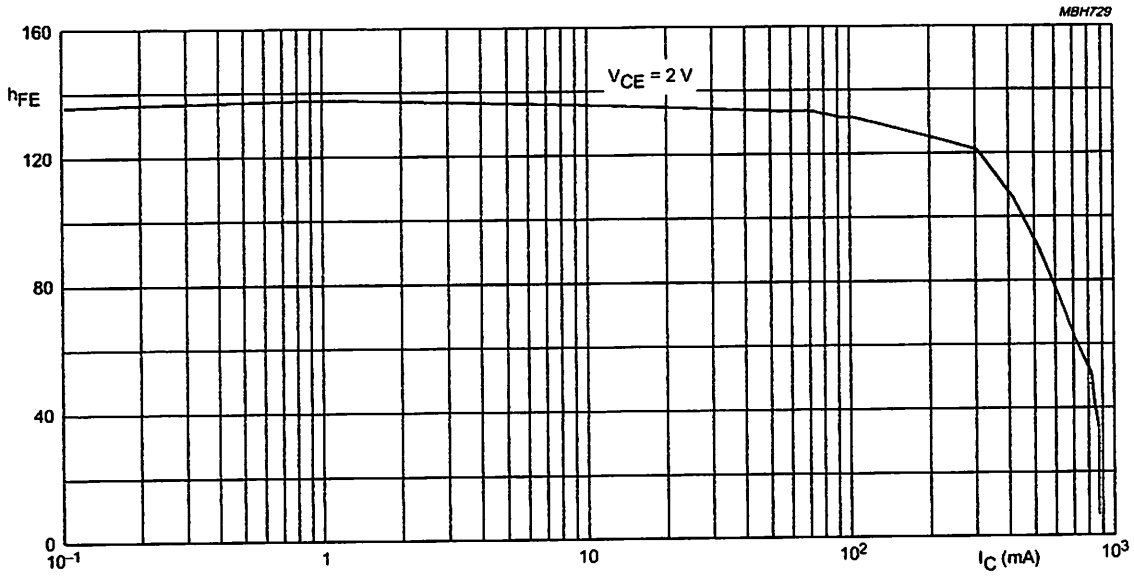


Fig.2 DC current gain; typical values.