

Desain 8 Bit R3R Ladder Digital To Analog Converter

Suryo Adi Wibowo, Sholeh Hadi Pramono, M. Julius, Wijono

Abstrak—Metode R3R merupakan pengembangan dari metode R2R yang digunakan sebagai pengubah sinyal digital ke analog. Penelitian dengan metode R3R dilakukan untuk membuat desain dan analisis sistem yang berbasis teknologi CMOS 1.2 μm . sehingga dihasilkan inovasi pengembangan *Integrated Circuit* dengan melihat kinerja *digital to analog converter* berupa disipasi daya yang relatif rendah serta linearitas yang dapat diandalkan dengan memperhatikan parameter pada DAC yaitu DNL dan INL. Hasil penelitian menunjukkan bahwa desain R3R *digital to analog converter* dengan menggunakan teknologi 1,2 μm menghasilkan sebuah *digital to analog converter* dengan spesifikasi penguatan frekuensi: 65.876 dB, GB.W (*Gain Bandwidth*) sebesar 2.0012 MHz, SR (*Slew Rate*) sebesar 31,862 $\text{v}/\mu\text{s}$, CMRR sebesar 70 dB, PSRR sebesar 81.681 dB. Disipasi daya 3.32 mW. Ayunan tegangan keluaran: -4.985 v sampai dengan 4.549 v serta dalam pengujian kinerja dari hasil konversi hasil $V_{\text{outmax}} = 2.9716 \text{ v}$, rata-rata DNL sebesar 0.00138 LSB dan nilai rata-rata INL sebesar 0.306LSB.

Kata Kunci—DAC, DNL, INL, Disipasi Daya.

I. PENDAHULUAN

SEBUAH *digital to analog converter* adalah perangkat elektronika yang digunakan untuk mengkonversi kode digital menjadi sinyal analog. Konversi digital ke analog merupakan cara utama bagi peralatan digital seperti sistem berbasis komputer yang mampu menterjemahkan data digital menjadi sinyal dunia nyata yang lebih dimengerti atau bisa digunakan oleh manusia. DAC dirancang untuk menerima data input digital dalam bentuk serial (satu bit pada satu waktu) sehingga ini hanya memiliki pin input digital tunggal.

Implementasi sistem digital berkembang dengan fungsi semakin kompleks, selain sebagai media optimasi dalam dunia elektronik. Optimasi merupakan tujuan utama dalam perkembangan sistem digital. Selain itu dihasilkan efisiensi perangkat, baik dalam komponen pembentuk dan output yang dihasilkan. *Low power* menjadi alasan utama pesatnya perkembangan sistem ini. Perkembangan awal sistem digital diimplementasikan dengan teknologi mikroelektronik

Suryo Adi Wibowo adalah dosen ITN Malang yang sedang tugas belajar di Program Magister Teknik Elektro, Program Magister dan Doktor Fakultas Teknik Universitas Brawijaya (e-mail: norixx_adee@yahoo.co.id).

Sholeh Hadi Pramono, Wijono, dan M Julius merupakan staf pengajar Jurusan Teknik Elektro Fakultas Teknik Universitas Brawijaya Malang (e-mail: sholehpramono@ub.ac.id; wijono@ub.ac.id; m.julius.st@ub.ac.id).

yaitu dengan mengembangkan teknologi rangkaian terpadu atau (*Integrated Circuit*) IC.

Complementary metal oxide semiconductor (CMOS) atau semikonduktor oksida logam komplementer adalah sebuah teknologi pada rangkaian terintegrasi *single chip*. Teknologi CMOS juga digunakan dalam banyak sirkuit analog. Salah satu contoh implementasi dari IC CMOS ini adalah data konverter berupa *digital to analog converter* (DAC).[1]

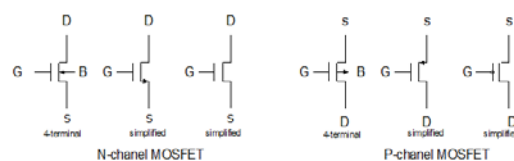
Sebuah *digital to analog converter* (DAC) umumnya menggunakan metode dalam mengkonversi data, salah satunya dengan menggunakan metode R2R. Pada metode R2R biasanya memiliki tingkat kesalahan linearitas yang cukup tinggi maka dari permasalahan tersebut dikembangkan Metode R3R yang menggunakan teknologi CMOS 1.2 μm . Dimana metode tersebut berawal dari pengembangan metode R2R yang sudah ada dalam implementasi sebuah *digital to analog converter*. dimana perbedaan dari R3R dan R2R adalah perbedaan besar perbandingan antara resistor pada metode R3R memiliki perbandingan sebesar 3 kali, serta R2R memiliki perbandingan sebesar 2 kali, diharapkan pada R3R ini memiliki tingkat linearitas dan serta kesalahan atau *error* dalam kelinearitasan yang lebih baik daripada menggunakan metode R2R.

II. LANDASAN TEORI

A. Teknologi MOS

Teknologi MOS (*Metal Oxide Semiconductor*) merupakan keluarga IC (*Integrated Circuits*) yang di buat dari kombinasi MOSFET pada peningkatan kanal P dan N. Piranti ini memiliki keuntungan khusus dibanding dengan TTL dan DTL. Keistimewaannya adalah:

- Konsumsi daya sangat rendah (sekitar 10 nW / gerbang statis)
- Batas tegangan catu daya adalah 3 V sampai 18 V
- Kekebalan derau sangat bagus (45% dari tegangan catu)
- Komponen MOS dapat dibuat lebih kecil



Gb. 1. Komponen MOSFET

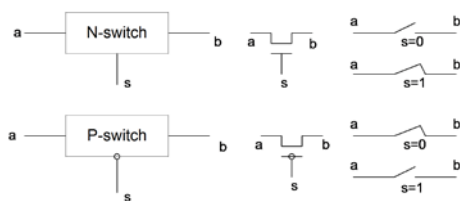
Sedangkan kerugian dari CMOS adalah bahwa

impedansi keluarannya tinggi, yang berarti CMOS ini tidak dapat menggerakkan beban kapasitas yang besar dan lebih rawan terhadap derau yang di injeksikan terhadap arus.

Dalam Gb. 1 Sumber (*Source*) adalah terminal yang dilalui pembawa utama atau mayoritas ketika memasuki kepingan semikonduktor. Arus konvensional yang memasuki kepingan pada *Source* diberi tanda I_S . Penguras (*Drain*) adalah terminal yang dilalui pembawa utama ketika meninggalkan kepingan. Arus konvensional yang memasuki kepingan pada D diberi tanda I_D . Tegangan penguras ke sumber disebut V_{DS} , dan bersifat positif jika D lebih positif dari S. Dalam Gb. 1 $V_{DS} = V_{DD} =$ tegangan catu pada penguras.[2]

B. Pensakleran Transistor MOS

Gerbang (Gate), merupakan daerah dengan jumlah doping (p+) yang besar dari ketidakmurnian akseptor yang telah terbentuk pada kedua sisi kepingan tipe-n sebagai hasil proses pencampuran logam, proses difusi, atau proses apapun yang dapat menciptakan persambungan p-n. Antara gerbang dan sumber diberi tegangan $V_{GS} = - V_{SS}$ yang diatur dalam arah membalik prategangan pada persambungan p-n. Arus konvensional yang memasuki kepingan pada Gate diberi tanda I_G . Saluran (chanel) merupakan daerah dari bahan tipe-n yang terletak diantara kedua daerah gerbang dan biasanya dilalui pembawa mayoritas dalam gerakannya dari sumber ke penguras. Sebuah gerbang (gate) biasanya dialiri oleh arus yang mengalir antara penguras (drain) dan sumber (source). Dengan demikian secara praktis aliran ini dikenal dengan sebagai pensakleran on-off. Diasumsikan symbol '1' menandakan tegangan tinggi pada saklar adalah 5 volt disebut power supply atau V_{DD} . Sedangkan untuk simbol '0' ini menandakan tegangan rendah dengan penyettingan 0 volt dan biasa disebut sebagai ground (V_{SS}). Dalam Gb. 2 diperlihatkan transistor MOS sebagai bentuk switch.[2]



Gb. 2. Switch p mos dan n mos

C. Disipasi Daya

Parameter untuk inverter CMOS yang mengendalikan beban kapasitif ditunjukkan dalam Gb. 3. Setiap kali inverter melakukan perubahan keadaan, terjadi pula pengisian pada untuk C_{tot} atau muatan yang tersimpan pada C_{tot} yang terhubung dengan ground.[3] Jika pulsa persegi dijadikan input dari inverter dengan periode T dan frekuensi f_{clk} , maka jumlah rata-rata arus inverter harus meningkat mendekati V_{DD} , mengingat bahwa arus yang mengalir dari V_{DD} hanya terjadi ketika perangkat PMOS dalam keadaan aktif

atau "on" dapat dilihat melalui Persamaan (1).

$$I_{avg} = \frac{Q_{tot}}{T} = \frac{V_{DD} \cdot C_{tot}}{T} \quad (1)$$

Sedangkan rata-rata disipasi daya sebuah inverter dapat ditunjukkan dalam Persamaan (2).

$$P_{avg} = V_{DD} \cdot I_{avg} = C_{tot} \cdot V_{DD}^2 \cdot f_{clk} \quad (2)$$

D. Penguat Operasional

Penguat operasional adalah *integrated circuit* (IC) yang memiliki keunggulan tinggi dan pemakaian yang sangat luas. Sebuah penguat operasional umum dibangun suatu penguat diferensial yang mempunyai masukan membalik dan tak membalik. Dalam analisa rangkaian penguat operasional maka pendekatan yang paling baik adalah menganggapnya sebagai rangkaian yang ideal.[4] Suatu penguat operasional yang ideal mempunyai karakteristik parameter yang harus diketahui sebagai berikut:

- Penguatan tegangan untuk *open-loop* A_v
- PSRR
- CMRR
- *Bandwith*
- Keseimbangan sempurna : $V_o = 0$, jika $V_1 = V_2$
- Karakteristik tidak terpengaruh oleh temperatur.

Parameter-parameter penting pada penguat operasional antara lain: .

1) CMRR (*Common Mode Rejection Ratio*)

CMRR merupakan perbandingan antara penguatan tegangan diferensial dan penguatan tegangan mode bersama (*common mode*). Tegangan *input mode* bersama dan mode diferensial didefinisikan sebagai:

$$CMRR = 20 \log \frac{A_d}{A_c} \text{ dB} \quad (3)$$

A_d merupakan penguatan diferensial dan A_c merupakan penguatan *mode common*. Besarnya CMRR menunjukkan besarnya kemampuan penguat dalam menolak sinyal mode bersama. Sinyal mode bersama biasanya merepresentasikan derau. Oleh karena itu CMRR menjadi salah satu kriteria penting

2) *Slew rate*

Laju perubahan maksimum dari tegangan keluaran suatu penguat ketika memberikan keluaran maksimum sesuai dengan ketentuan alat adalah besaran yang disebut *slew rate*. *Slew rate* dapat dinyatakan dalam Persamaan:

$$SR = \frac{\delta V_{out}}{\delta t} \quad (4)$$

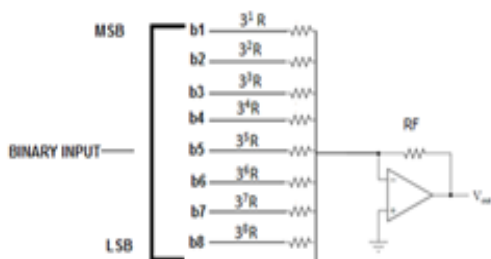
3) PSRR (*Power Supply Rejection Ratio*)

PSRR adalah perbandingan dari perubahan tegangan oleh adanya pembebanan terhadap perubahan tegangan offset masukan terhadap perubahan catu daya yang bersesuaian, dengan catu daya yang *lain* dipertahankan pada harga tetap.

$$PSSR = 20 \text{ Log } \frac{\Delta V_{io}}{\Delta V_{DC}} \quad (5)$$

E. Digital to Analog Converter 8 bit R3R Ladder.

DAC 8 bit R3R ladder adalah sebuah digital to analog converter yang memiliki 8 input berupa bilangan biner yang mewakili sinyal digital sebagai input dari digital to analog converter ini. pada DAC ini memiliki 8 inputan yaitu b₁ sampai dengan b₈ yang diGb.kan dalam Gb. 3, sebagai berikut:



Gb. 3. Digital to Analog Converter 8 bit tipe R3R Ladder

III. METODE PENELITIAN

Metodologi penelitian ditunjukkan pada diagram alir dalam Gb. 4. yang menjelaskan tahapan metodologi yang akan dilakukan dalam penelitian ini. Metode penelitian ini meliputi:

- a. Pre Research
- b. Perhitungan skematik Op-Amp
- c. Simulasi Op-Amp
- d. Perancangan rangkaian analog 8 bit R3R DAC
- e. Test dan evaluasi sistem Digital to Analog Converter
- f. Perancangan rangkaian CMOS

IV. HASIL DAN DISKUSI

Dalam digital to analog converter memiliki 2 jenis komponen sebagai penunjang kinerja sebuah digital to analog converter yaitu:

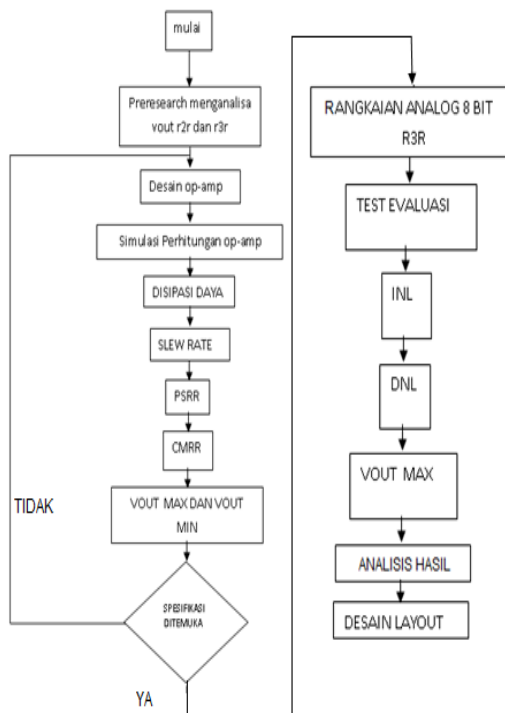
1. Komponen aktif
2. Komponen pasif

Untuk sebuah komponen aktif diwakili oleh sebuah operational amplifier yang berfungsi sebagai differential amplifier. Op-Amp banyak digunakan untuk pengubah tegangan, osilator, filter dan rangkaian instrumentasi. Op-Amp terdiri dari differential amplifier untuk mendapatkan penguatan tegangan maupun sebagai pembalik tegangan masukan. Pada tesis ini perancangan penguat operasional menggunakan rangkaian ditunjukkan dalam Gb. 5.

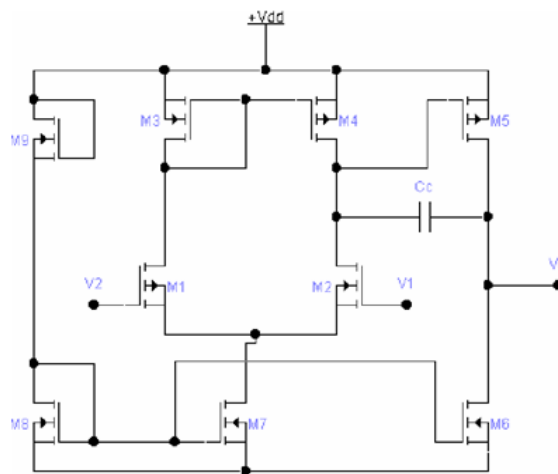
Parameter dari transistor yang digunakan dalam perancangan ini ditunjukkan dalam Tabel 5.1 dan spesifikasi rangkaian penguatnya ditentukan sebagai berikut:

- V_{dd} = +5 V
- V_{ss} = -5 V
- GB. = 2 MHz
- C_c = 2 pF
- C₁

- λ_p = 0.02 μm
- λ_n = 0.01 μm
- I₇ = 10.10⁻⁶ A
- I₁ = 5.10⁻⁶ A



Gb. 4. Diagram alir proses penelitian



Gb. 5. Rangkaian setara penguat operasional CMOS

Sedangkan untuk parameter tabel MOSFET dengan menggunakan teknologi CMOS 1,2 um ditunjukkan pada Tabel 1 berikut:[5]

Dari perhitungan menggunakan parameter diatas maka ukuran-ukuran semua transistor adalah :

- L₁ = L₂ = 1.2 μm
- W₁ = W₂ = 1.2 . 1.40225 μm = 1.682705 μm
- L₃ = L₄ = 1.2 μm
- W₃ = W₄ = 2.666 . 1.2 μm = 3.2 μm
- L₅ = 1.2 μm
- W₅ = 10.048 . 1.2 μm = 12.0576 μm
- L₆ = 1.2 μm
- W₆ = 2.340 . 1.2 μm = 2.8089 μm
- L₇ = 1.2 μm
- W₇ = 1.2424 . 1.2 μm = 1.490 μm

$$L_8 = 1.2 \mu\text{m}$$

$$W_8 = 0.12 \mu\text{m}$$

TABEL 1
PARAMETER MOSFET

Parameter	NMOS	PMOS	Dimensi
VTO	0.70	-0.92	V
KP	45.2	-15.1	$\mu\text{A}/\text{V}^2$
PHI	0.700000	0.700000	V
TOX	$2.1200 \cdot 10^{-08}$	$2.1200 \cdot 10^{-08}$	M

Karena W_9 dibanding L_9 terlalu kecil ukurannya maka dengan memperhatikan faktor kesetimbangan dalam kemudahan untuk proses desain digunakan ukuran yang berkebalikan dengan perbandingan W_5 dan L_5 .

Dalam sebuah Op-Amp untuk mengetahui sebuah Op-Amp dapat bekerja secara optimal arau sesuai dengan spesifikasi yang telah kita rancang diperlukan beberapa parameter perhitungan untuk mengetahui performa tersebut. antara lain:

- SR (*Slew Rate*)
- CMRR
- PSRR
- Tegangan ayunan $v_{\text{out min}}$
- Tegangan ayunan $v_{\text{out max}}$
- Penguatan frekuensi rendah
- Disipasi daya

Slew rate adalah besaran yang menunjukkan seberapa cepat perubahan tegangan ketika output berganti atau berubah nilainya. *Slew rate* berguna untuk meningkatkan kualitas sinyal yang selama perjalanan karena mengakibatkan terjadi refleksi tegangan akibat sinyal yang naik dan turun dengan cepat. *Slew rate* juga membatasi kecepatan maksimum. Untuk penghitungan *slew rate* pada suatu Op-Amp berdasarkan pada spesifikasi dari nilai kapasitor kompensasi dan nilai I_7 yang ditentukan nilainya sebesar 10 μA maka akan didapatkan *slew rate*:

$$S_R = 2 \cdot \pi \cdot f \cdot v_{dd} \quad (6)$$

$$= 31.4 \text{ V}/\mu\text{s}$$

Sedangkan disipasi daya dari rangkaian Op-Amp ini dapat dilihat dari persamaan berikut ini:

$$\text{Disipasi daya} = (I_{5+} + I_{7+} + I_8) \cdot (v_{dd} - v_{ss}) \quad (7)$$

$$= (18.84 \cdot 10^{-6}) + (10 \cdot 10^{-6}) + (10 \cdot 10^{-6}) \cdot (5 + 5)$$

$$= 0.003884 \text{ A}$$

Perhitungan untuk frekuensi rendah adalah sebagai berikut

$$A_d = 20 \log \frac{2 \cdot g_{m2} \cdot g_{m5}}{(\lambda_p + \lambda_n) \cdot I_5 \cdot (\lambda_p + \lambda_n) \cdot I_7} \quad (8)$$

$$= 20 \log \frac{2.25 \cdot 1210^{-5} \cdot 7.536 \cdot 10^{-4}}{(0.03) \cdot 1.884 \cdot 10^{-5} \cdot (0.03) \cdot 10 \cdot 10^{-6}}$$

$$= 20 \log 22329 = 87 \text{ dB}$$

Perhitungan CMRR adalah sebagai berikut :

$$= 2 \text{ pF}$$

$$\text{CMRR} = 20 \log \frac{2 \cdot g_{m2} \cdot g_{m5}}{\lambda_p \cdot \lambda_n \cdot I_5 \cdot I_7} \quad (9)$$

$$\text{CMRR} = 20 \log \frac{2 \cdot 2.51210^{-5} \cdot 7.536 \cdot 10^{-5}}{(0.03) \cdot 5 \cdot 10^{-6} \cdot (0.03) \cdot 10 \cdot 10^{-6}}$$

$$\text{CMRR} = 20 \log 100480$$

$$\text{CMRR} = 100.0416 \text{ dB}$$

Pada frekuensi rendah noise disebabkan oleh arus bias dan ketidaksimetrisan komponen. pada frekuensi tinggi, *noise* diperkuat lagi oleh kapasitansi dalam komponen, secara teoritis $A_p = 1$, karena gejala tersebut diatas dianggap tidak ada, maka:

$$\text{PSRR} = 20 \log \frac{A_v}{A_p} \quad (10)$$

$$\text{PSRR} = 20 \log \frac{22329}{1}$$

$$\text{PSRR} = 86,9773 \text{ dB}$$

Besarnya ayunan tegangan keluaran minimum dapat dihitung sebagai berikut:

$$V_{\text{out(min)}} = V_{ss} + V_{gs6} - V_{t6}$$

$$V_{\text{out(min)}} = -5 + 0.598$$

$$V_{\text{out(min)}} = -4.40191 \text{ V}$$

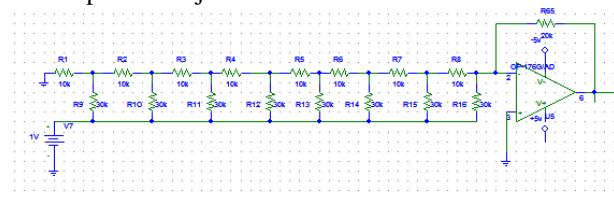
Besarnya ayunan tegangan keluaran maximum dapat dihitung sebagai berikut:

$$V_{\text{out(max)}} = V_{dd} - V_{gs5} - V_t$$

$$V_{\text{out(max)}} = 5 - 0.5$$

$$V_{\text{out(max)}} = 4.5 \text{ V}$$

Pada DAC jenis R3R *Ladder* pemasangan nilai resistor pada input adalah perbandingan R dengan pembandingnya sebesar 3R sehingga nilai pada resistor dengan nilai R = 10 Ω maka perbandingan 3R dipasang 30 Ω . Pemasangan nilai resistor yang seperti ini diharapkan mendapatkan V_{out} yang lebih linier pada kenaikan per stepnya dibandingkan dengan R2R seperti ditunjukkan dalam Gb. 6.



Gb. 6. Rangkaian setara digital to analog converter R3R

Tegangan keluaran rangkaian DAC dalam Gb. 6 dapat ditunjukkan dalam Persamaan (11).

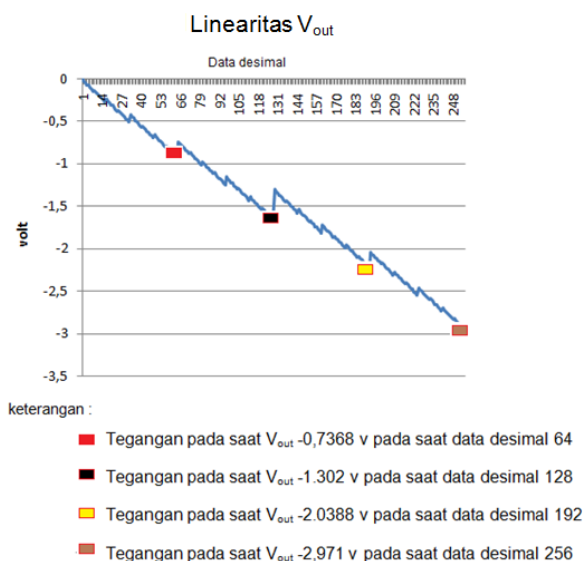
$$v_0 = -\frac{R_f}{R} v_{ref} (d_1 \times Vd_1 + d_2 \times Vd_2 + d_3 \times Vd_3 + d_4 \times Vd_4 + d_5 \times Vd_5 + d_6 \times Vd_6 + d_7 \times Vd_7 + d_8 \times Vd_8) \quad (11)$$

Dengan V_{d1} sebagai MSB, V_{d8} sebagai LSB, dan V_{REF} adalah tegangan sinyal digital. dimana V_d adalah tegangan keluaran pada rangkaian sebelum masuk menjadi input pada sebuah Op-Amp, menggunakan Persamaan (12) dapat diketahui V_{outmax} pada tegangan keluaran maksimum

$$V_{\text{outmax}} = -\frac{30}{10} \times 1 \text{ volt} \times (0.008775 + 0.0146 + 0.0253 + 0.044 + 0.0786 + 0.1397 + 0.2456 + 0.434)$$

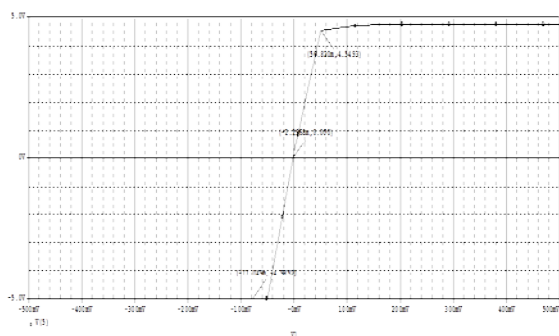
$$V_{\text{outmax}} = 3 \times 0.990575 \text{ volt} = -2.971725 \text{ volt}$$

Untuk kelinearitasan yang didapatkan dari hasil perhitungan V_{out} masing-masing bitnya yang digunakan untuk melihat kinerja dari R3R *digital to analog converter* ditunjukkan dengan menggunakan suatu grafik kelinearitasan seperti ditunjukkan dalam Gb. 7

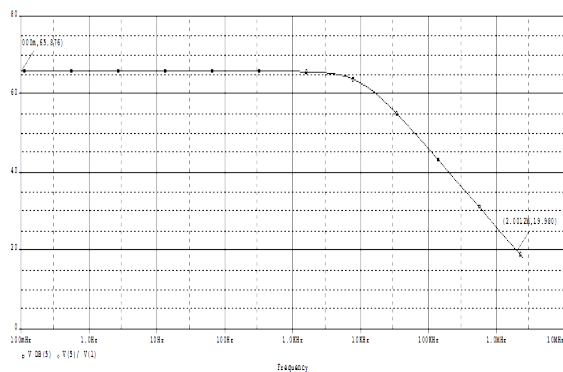


Gb. 7. Grafik kelinearitasan R3R.

Dari hasil pemrograman diperoleh karakteristik transfer tegangan DC ditunjukkan dalam Gb. 8. tersebut memperlihatkan bahwa jangkauan tegangan keluaran penguat CMOS dua tingkat adalah dari -4,985 V sampai dengan 4,549 V. Tegangan keluaran $V(5)$ sama dengan nol terjadi pada -2.296 mV, nilai ini merupakan tegangan *offset* masukan dan besar disipasi daya 3.32 mW.



Gb. 8. Grafik Karakteristik Tegangan DC



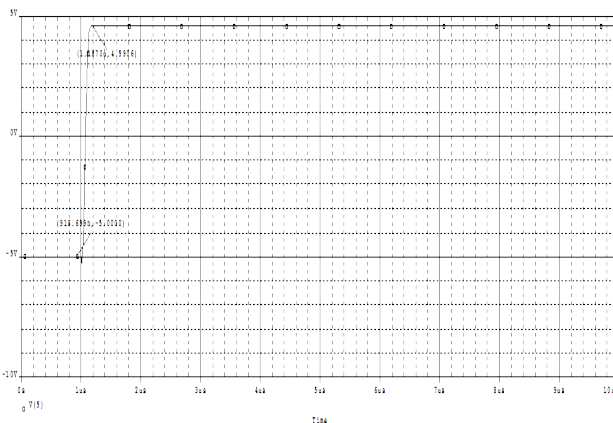
Gb. 9. Penguatan Diferensial

Simulasi ini bertujuan untuk mendapatkan

penguatan tegangan diferensial yang merupakan perbandingan antara tegangan keluaran dan tegangan masukan.

Dari grafik simulasi ditunjukkan dalam Gb. 9 dapat diperoleh nilai penguatan diferensial sebesar 65,876 dB. Dari hasil simulasi tampak bahwa besar nilai *gain bandwidth* 2,0012 MHz. ditunjukkan dalam Gb. 9.

Slew rate dari penguat operasional yaitu: karakteristik tegangan pada saat tegangan keluaran berubah naik. Untuk hasil dari simulasi analisis *slewrate* dapat di tunjukkan dalam Gb. 10.



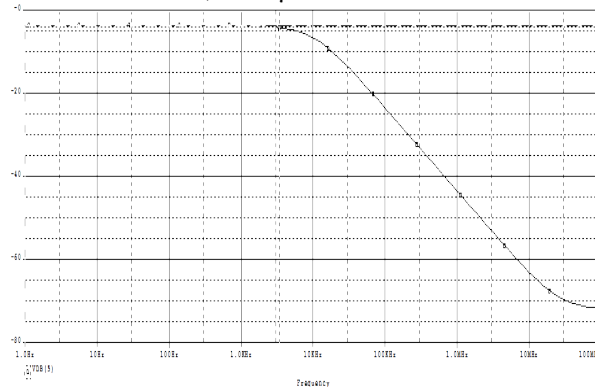
Gb. 10. Grafik Simulasi *SlewRate*

dalam Gb. 10. Dari grafik hasil simulasi tersebut diperoleh nilai *slew rate* positif sebesar:

$$Slewrate = \frac{v_{maks} - v_{min}}{\Delta t}$$

$$Slewrate = \frac{4,5905 + 0,918}{(1,187 - 0,918) \cdot 10^{-6}}$$

$$Slewrate = 31,862 \text{ v}/\mu\text{s}$$



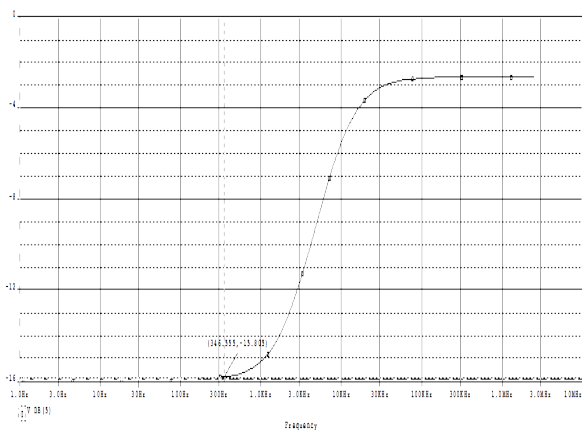
Gb. 11. Hasil dari simulasi analisa CMRR

Simulasi ini bertujuan mendapatkan penguatan mode bersama. Hasil simulasi rangkaian Op-Amp dalam konfigurasi penguatan mode bersama ditunjukkan dalam Gb. 11.

Simulasi penguatan mode diferensial diperoleh A_d (dB) = 65,876 dB, bila dibandingkan dengan hasil simulasi penguatan mode bersama yang ditunjukkan dalam Gb. 11 diperoleh penguatan mode bersama sebesar -3,8081 dB sehingga nilai CMRR dapat dihitung:

$$\begin{aligned}
 \text{CMRR} &= 20 \log \frac{A_d}{A_c} \\
 &= A_d (\text{dB}) - A_c (\text{dB}) \\
 &= 65.876 \text{ dB} - (-4,1142 \text{ dB}) \\
 &= 70 \text{ dB}
 \end{aligned}$$

Analisis untuk melihat PSRR (*Power Supply Rejection Ratio*) digunakan untuk melihat karakteristik akibat dari sinyal pada catu daya positif (V_{DD}). Simulasi ini bertujuan mendapatkan PSRR rangkaian Op-Amp. Untuk grafik hasil dari simulasi analisa PSRR ditunjukkan dalam Gb. 12.



Gb. 12. Analisa PSRR

Dari hasil simulasi yang ditunjukkan dalam Gb. 12 diperoleh penguatan sebesar -15,805 dB, sehingga nilai PSRR adalah:

$$\begin{aligned}
 \text{PSRR} &= A_d (\text{dB}) - A_p (\text{dB}) \\
 &= 65.876 \text{ dB} - (-15.805 \text{ dB}) \\
 &= 81.681 \text{ dB}
 \end{aligned}$$

TABEL 2
NILAI HASIL PERHITUNGAN DAN SIMULASI OP-AMP

Parameter	Hasil Perhitungan	Hasil Simulasi
SR (<i>Slew Rate</i>)	31,4 v/ μ s	31,862 v/ μ s
Penguatan frekuensi rendah	87dB	65,876 dB
CMRR	100dB	70dB
PSRR	86,9dB	81,681 dB
Disipasi daya	3,884 mW	3,32 mW
Ayunan tegangan keluaran	-4.409 V sampai dengan 4,5V	-4.985 V sampai dengan 4,549 V

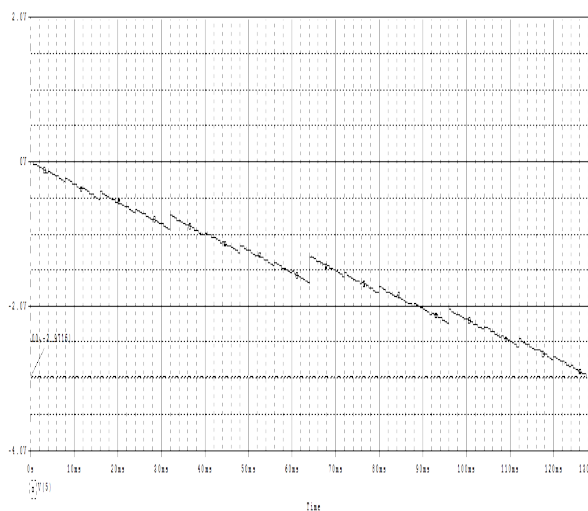
Perbandingan hasil antara simulasi dengan perhitungan meliputi parameter sebagai berikut:

- SR (*Slew Rate*)

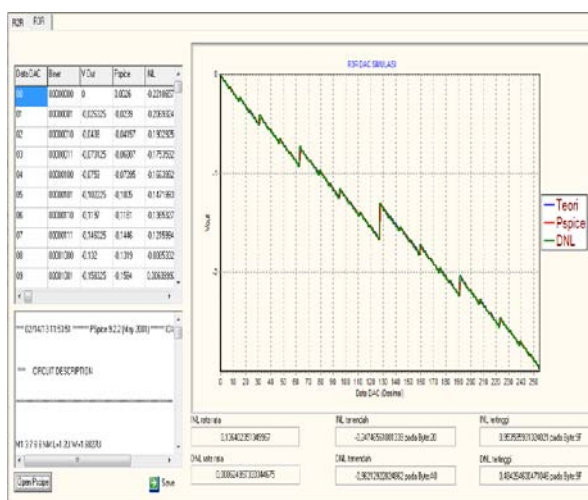
- CMRR
- PSRR
- Tegangan ayunan $V_{out \text{ min}}$
- Tegangan ayunan $V_{out \text{ max}}$
- Penguatan frekuensi rendah
- Disipasi daya

Dengan memperhatikan parameter tersebut maka perbandingan antara hasil simulasi dan perhitungan ditunjukkan dalam Tabel 2.

Pada simulasi tegangan keluaran 8 bit R3R DAC digunakan untuk mengetahui tegangan keluaran pada 8 bit R3R *digital to analog converter*. Dari hasil pemrograman menggunakan Op-Amp yang telah didesain didapatkan hasil simulasi Op-Amp dengan keluaran ditunjukkan dalam Gb. 13 di bawah ini



Gb. 13 Tegangan keluaran pada 8 bit R3R *digital to analog converter*

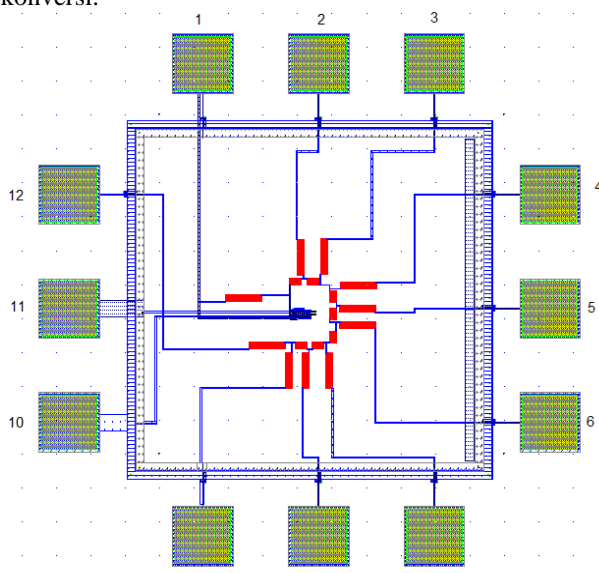


Gb. 14. Hasil Simulasi DNL dan INL 8 bit R3R DAC

Pada hasil simulasi tegangan keluaran *digital to analog converter* sebesar -2.9716 volt. Simulasi ini digunakan untuk mengetahui kelinearan tegangan keluaran masing-masing bit pada 8 bit R3R *digital to analog converter*. Hasil keluaran kelinearan pada tegangan keluaran dinotasikan dengan INL dan untuk kenaikan per stepnya pada LSB menggunakan notasi DNL ditunjukkan dalam Gb. 14.

Dari hasil INL dan DNL yang ditunjukkan dalam Gb. 14 diketahui nilai kelinearan terhadap hasil analisis perhitungan dari sebuah DAC. Hasil dari simulasi dapat memperlihatkan INL atau hasil kelinearan R2R DAC antara tegangan keluaran pada teori dan hasil tegangan keluaran simulasi pada masing-masing bit sehingga didapat simpangan tertinggi sebesar 0.9535 LSB pada byte ke 9F, simpangan terendah sebesar -0.2474 LSB pada byte ke 20 dan rata-rata simpangannya sebesar 0.1360 LSB. Sedangkan hasil DNL atau hasil kelinearan R3R DAC antara besar step kenaikan tegangan pada analisis perhitungan dan hasil step kenaikan tegangan pada simulasi di masing-masing bit sehingga didapat simpangan tertinggi sebesar 0.4842 LSB pada byte ke 9F, simpangan terendah sebesar -0.9621 LSB pada byte ke A0 dan rata-rata simpangannya sebesar 0.000624 LSB

Untuk hasil konversi data pada R3R *digital to analog converter* sesuai dengan hasil dari penyelesaian superposisi. Dalam hal ini R3R *digital to analog converter* tidak memiliki resolusi yang linear sehingga menyebabkan kenaikan tegangan pada konversi data tidak bisa dilakukan secara konstan tetapi menyebabkan lonjakan kenaikan data yang tidak beraturan seperti pada saat tegangan keluaran berada pada bit ke 128 yang memiliki lonjakan nilai untuk V_{out} yang paling tinggi dari -1.669 v naik menjadi 1.302 v. Untuk penggunaan R3R dalam *digital converter analog* ternyata tidak tepat karena tidak menghasilkan kelinearan lebih baik tetapi sebaliknya kelinearan semakin tidak beraturan yang dapat menjadikan data yang dikonversikan menjadi tidak dapat dikonversikan dengan baik karena ketidaklinearan dalam proses konversi.



Gb. 16 Layout Rangkaian *digital to analog converter* teknologi 1.2 μm

Penggambaran *layout* dilakukan dengan menggunakan *default process* Microwind (1.2 μm CMOS *Process*). *Layout* diGb.kan dalam bentuk gerbang IC CMOS *digital to analog converter*. *Layout digital to analog converter* diGb.kan dengan skala 1:0.6 μm (1 *grid* senilai 0,6 μm). *Layout digital to analog converter* ditunjukkan dalam Gb. 16.

Berikut fungsi pin untuk keseluruhan rangkaian IC

CMOS *digital to analog converter* 8 bit ditunjukkan dalam Tabel 3

TABEL 3
PIN IC CMOS 8bit R3R DAC

PIN IC CMOS	FUNGSI
1	V_{out}
2	V_{d1}
3	V_{d2}
4	V_{d3}
5	V_{d4}
6	V_{d5}
7	V_{d6}
8	V_{d7}
9	V_{d8}
10	V_{ss}
11	V_{dd}
12	Ground

V. KESIMPULAN

Berdasarkan hasil perancangan dan simulasi rangkaian 8 bit R3R *digital to analog converter* menggunakan teknologi 1.2 (μm) yang telah dilakukan, maka dapat diambil kesimpulan sebagai berikut:

- Penggunaan material sesuai dengan teknologinya memengaruhi besaran teknologi yang digunakan untuk perancangan DAC. Dimana pada perancangan menggunakan teknologi 1.2 μm . Dengan hasil perancangan pada masing-masing komponen memiliki perbandingan yaitu M_1 dan M_2 dengan w/l sebesar 1.6827/1.2 (μm). Untuk M_3 dan M_4 dengan w/l sebesar 3.2/1.2 (μm). Sedangkan M_5 dengan w/l sebesar 12.0576/1.2 (μm). M_6 dengan w/l sebesar 2.808/1.2 (μm). Untuk M_7 dan M_8 dengan w/l sebesar 1.490/1.2 (μm) dan untuk M_9 dengan w/l sebesar 1.2/0.12 (μm).
- Dari hasil simulasi Op-Amp didapatkan :
 - Ad (penguatan frekuensi rendah) rangkaian: 65,876 dB
 - GB.W (*Gain Bandwidth*) : 2,0012 MHz
 - SR (*Slew Rate*) : 31,862 $v/\mu\text{s}$
 - CMRR : 70 dB
 - PSRR : 81,681dB
 - Disipasi daya : 3,32 mW.
 - Ayunan tegangan keluaran: -4.985V sampai dengan 4.549V
- Dari perancangan diatas didapat suatu *digital to analog converter* R3R dengan hasil pengujian V_{outmax} sebesar 2.9716 V, sedangkan untuk INL simpangan tertinggi sebesar 0.9535 LSB pada byte ke 9F, simpangan terendah sebesar -0.2474 LSB pada byte ke 20 dan rata-rata simpangannya sebesar 0.1360 LSB. Sedangkan hasil DNL didapat simpangan tertinggi sebesar 0.4842 LSB pada byte ke 9F, simpangan terendah sebesar 0.9621 LSB pada byte ke A0 dan rata-rata simpangannya sebesar 0.000624 LSB.
- Untuk penggunaan R3R dalam *digital converter analog* ternyata tidak tepat karena tidak menghasilkan kelinearitasan lebih baik tetapi

sebaliknya kelinearitasan semakin tidak beraturan yang dapat menjadikan data yang dikonversikan menjadi rusak karena ketidaklinearitasan dalam proses konversi

- [4] Sasi, Santi R.1999. Studi dan perancangan IC Filter Highpass Butterworth Orde Dua Menggunakan Teknologi CMOS. Universitas Brawijaya. Malang
- [5] Anonymous.<http://www.mosis.com>.diakses tanggal 29 desember 2011

DAFTAR PUSTAKA

- [1] Stefanie, A. 2009. Perancangan IC 3 to 8 Decoder dengan Menggunakan Teknologi HCMOS (High Speed Complementary Metal Oxide Semiconductor). Universitas Brawijaya. Malang
- [2] Wikner, J.J.2001. Studies on CMOS digital to analog converters. Department of Electrical Engineering Linköpings universitet. Sweden
- [3] Baker, J.R. 2010. CMOS Circuit design Layout and Simulations. Third Edition. Jhon Wiley and Sons, INC. Canada
- Suryo Adi Wibowo**, lahir di Malang, 15 Maret 1987 sebagai anak pertama dari empat bersaudara, pasangan **Darsono sigit** dan **Siswi Astuti**. Tahun 1993 bersekolah di SDN Bareng 8 dan lulus tahun 1999. SMPN 6 Malang lulus tahun 2002. SMAN 9 Malang lulus tahun 2005. Sarjana Teknik Elektro Institut Teknologi Nasional Malang lulus tahun 2010.