

**PERENCANAAN DAN PEMBUATAN ALAT PENGUKUR
KADAR LAKTOSA PADA SUSU MURNI MENGGUNAKAN
MIKROKONTROLLER AT89C2051**



SKRIPSI

Disusun Oleh :

SIMI SUHAIMI

01.17.101



**KONSENTRASI TEKNIK ELEKTRONIKA
JURUSAN TEKNIK ELEKTRO S-1
FAKULTAS TEKNOLOGI INDUSTRI
INSTITUT TEKNOLOGI NASIONAL MALANG
SEPTEMBER 2006**

LEMBAR PERSETUJUAN



**PERENCANAAN DAN PEMBUATAN ALAT PENGUKUR
KADAR LAKTOSA PADA SUSU MURNI MENGGUNAKAN
MIKROKONTROLLER AT89C2051**

SKRIPSI

*Disusun Dan Diajukan Sebagai Salah Satu Syarat Untuk Memperoleh Gelar
Sarjana Teknik Elektronika Strata Satu (S-1)*

Disusun oleh:

**SIMI SUHAIMI
NIM: 01.17.101**

Diperiksa dan Disetujui

Dosen Pembimbing I

(Ir. Poerwanto, MS)

Dosen Pembimbing II

(I Komang Somawirata, ST. MT)

Mengetahui,

Ketua Jurusan Teknik Elektro S-1



(Ir. F. Yudi Limpraptono, MT)

NIP.P: 103 950 0274

**JURUSAN TEKNIK ELEKTRO S-1
KONSENTRASI TEKNIK ELEKTRONIKA
FAKULTAS TEKNOLOGI INDUSTRI
INSTITUT TEKNOLOGI NASIONAL MALANG
2006**



INSTITUT TEKNOLOGI NASIONAL MALANG
FAKULTAS TEKNOLOGI INDUSTRI
JURUSAN TEKNIK ELEKTRO S-1
KONSENTRASI TEKNIK ELEKTRONIKA

BERITA ACARA UJIAN SKRIPSI
FAKULTAS TEKNOLOGI INDUSTRI

1. Nama : SIMI SUHAIMI
2. NIM : 01.17.101
3. Jurusan : Teknik Elektro S-1
4. Konsentrasi : Teknik Elektronika
5. Judul Skripsi : Perencanaan Dan Pembuatan Alat Pengukur Kadar Laktosa Pada Susu Murni Menggunakan Mikrokontroller AT89C2051

Dipertahankan dihadapan Majelis Penguji Skripsi Jenjang Strata Satu (S-1) pada :
Hari : Sabtu
Tanggal : 23 September 2006
Dengan Nilai : 83,8 (A)

Panitia Ujian Skripsi



Ketua

Ir. Mochtar Asroni, MSME
NIP.Y.1018100036

Sekretaris

Ir. F Yudi Limpraptono, MT
NIP.Y.1039500274

Anggota Penguji

Penguji I

Ir. Usman Djuanda, MM

Penguji II

Sotyohadi, ST. MSc

SIMI SUHAIMI, 2006. Judul "Perencanaan dan Pembuatan Alat Pengukur Kadar Laktosa Pada Susu Murni Menggunakan Mikrokontroller AT89C2051", Skripsi Jurusan Teknik Elektro Strata 1, Program Studi Teknik Elektronika, Fakultas Teknologi Industri, Institut Teknologi Nasional Malang. Dosen Pembimbing Ir. Poerwanto, MT. Dan I Komang Somawirata, ST.MT

ABSTRAKSI

Susu segar merupakan cairan yang berasal dari ambing sapi sehat dan bersih yang diperoleh dengan cara pemerahan yang benar yang kandungan alaminya tidak dikurangi atau ditambah sesuatu apapun dan belum mendapat perlakuan apapun sesuai Standar Nasional Indonesia (SNI 01-3141-1998). Dalam kenyataannya peternak terkadang memberikan campuran seperti air, tepung dan bahan lainnya terhadap susu hasil pemerahan sehingga mengakibatkan terjadinya penurunan kadar laktosa dalam susu. Padahal susu dari peternak harus memenuhi standar minimal yang telah ditetapkan oleh industri susu sebesar 4,2%. Untuk mengatasi permasalahan tersebut maka dibuatlah suatu sistem uji kandungan laktosa tidak lagi dilakukan di laboratorium pabrik susu melainkan pada saat peternak menyerahkan susu hasil ternaknya.

Pendeteksian kadar laktosa pada susu didasarkan pada intensitas cahaya setelah melewati sampel susu. Jangkauan pendeteksian adalah antara 0,6 % – 8 %. Kalibrasi alat ini dilakukan dengan cara membandingkan antara keluaran alat dengan hasil pengujian pada Laboratorium Kimia Universitas Muhammadiyah Malang.

Alat Pengatur Kadar Laktosa pada Susu terdiri atas rangkaian sumber cahaya, sensor fotodiode, rangkaian Buffer, ADC, Mikrokontroller dan rangkaian penampil. Sumber cahaya menghasilkan cahaya yang sesuai dengan spektrum warna laktosa yaitu warna merah dengan panjang gelombang 660 nm. Cahaya tersebut selanjutnya akan diteruskan sampel sehingga diterima oleh sensor fotodiode. Sensor fotodiode, mengubah besaran cahaya menjadi arus. Oleh VR arus tersebut diubah menjadi tegangan yang selanjutnya dimasukkan ke rangkaian Buffer dan diteruskan ke ADC. ADC akan menghasilkan keluaran data digital yang berfungsi untuk mengakses alamat Mikrokontroller yang telah diisi dengan data kadar laktosa. Keluaran Mikrokontroller berupa kadar laktosa selanjutnya ditampilkan ke LCD.

Hasil pengujian alat menunjukkan kesalahan rata-rata sebesar 1,323 %. Adanya kesalahan pengukuran kadar laktosa ini dapat disebabkan karena penyimpangan yang terjadi pada rangkaian sensor maupun kesalahan pengkonversian oleh rangkaian ADC.

KATA PENGANTAR

Alhamdulillah, dengan memanjatkan puji syukur kehadirat Allah SWT, yang telah memberikan rahmat, hidayah serta segala karunia-Nya, akhirnya penyusun dapat menyelesaikan skripsi ini yang berjudul **“Perencanaan dan Pembuatan Alat Pengukur Kadar laktosa Pada Susu Murni Menggunakan Mikrokontroller AT89C2051”**. Hanya karena pertolongan-Nya semata penulis mampu melewati segala kendala yang ada selama penyusunan skripsi ini. Laporan skripsi ini merupakan salah satu persyaratan kelulusan Srata 1 Jurusan Teknik Elektro Program Studi Elektronika, Institut Teknologi Nasional Malang.

Penulis menyadari selama penyusunan skripsi ini tidak terlepas dari bantuan, bimbingan, dorongan dan motivasi dari berbagai pihak. Oleh sebab itu, dengan segala kerendahan hati penulis menyampaikan terima kasih kepada :

1. Kedua orang tua dan adik-adikku untuk do'a dan dukungannya selama studi hingga terselesaikannya skripsi ini.
2. Bapak Dr. Ir. Abraham Lomi, MSEE selaku Rektor Institut Teknologi Nasional Malang.
3. Bapak Ir. Mochtar Asroni, MSME selaku Dekan Fakultas Teknologi Industri Institut Teknologi Nasional Malang.
4. Bapak Ir. Yudi Limpraptono, MT, selaku Ketua Jurusan Teknik Elektro S-1.
5. Bapak Ir. Poerwanto, MT, selaku Dosen Pembimbing I.
6. Bapak I Komang Somawirata, ST.MT selaku Dosen Pembimbing II.
7. Teman-teman yang telah membantu terselesainya skripsi ini.

Akhir kata, penulis menyadari bahwa skripsi ini masih belum sempurna. Oleh karena itu, kritik dan saran yang membangun sangat diharapkan. Penulis berharap semoga skripsi ini dapat bermanfaat bagi masyarakat.

Malang, September 2006

Penyusun

DAFTAR ISI

	Hal.
LEMBAR PERSETUJUAN	i
ABSTRAKSI.....	ii
KATA PENGANTAR.....	iii
DAFTAR ISI.....	iv
DAFTAR GAMBAR.....	
DAFTAR TABEL	
BAB 1 PENDAHULUAN	
1.1. Latar Belakang	1
1.2. Rumusan Masalah	2
1.3. Batasan Masalah.....	2
1.4. Tujuan	3
1.5. Metodologi	3
1.6. Sistematika Penulisan	4
BAB II LANDASAN TEORI	
2.1. Susu.....	5
2.2. Spektrofotometri	6
2.3. Hukum Lambert-Beer	8
2.4. Sensor Fotodiode	10
2.5. Penguat Operasional.....	11
2.6. Rangkaian ADC	12
2.7. Mikrokontroler AT89C2051	14
2.7.1. Perangkat Keras Mikrokontroler AT89C2051	14
2.7.1.1. Arsitektur AT89C2051	15
2.7.1.2. Konfigurasi Pin-pin Mikrokontroler AT89C2051 ..	16
2.7.2. Organisasi Memori	18
2.7.2.1. Program Memori Internal.....	18
2.7.2.2. Data Memori (RAM) Internal	18

2.7.2.3. SFR.....	20
2.7.2.4. Program Status Word.....	21
2.7.2.5. PCON (Power Control).....	21
2.7.2.6. Sistem Interrupt.....	22
2.7.2.7. Timer/ Counter.....	24
2.7.2.8. Metode Pengalamatan.....	26
2.7.2.8.1. Pengalamatan Bit (Bit Addressing).....	26
2.7.2.8.2. Pengalamatan Tak Langsung.....	26
2.7.2.8.3. Pengalamatan Berindeks.....	26
2.7.2.8.4. Konstanta Immediate.....	26
2.8. LCD.....	26
2.8.1. Instruksi Operasi.....	30
2.8.2. Operasi Dasar.....	32
2.8.3. Sinyal <i>Interface</i> M1632.....	33

BAB III PERENCANAAN DAN PEMBUATAN ALAT

3.1. Pendahuluan.....	36
3.2. Perencanaan dan Pembuatan Perangkat Keras.....	38
3.2.1. Rangkaian Sumber Cahaya.....	38
3.2.2. Rangkaian Penerima Cahaya.....	38
3.2.3. Rangkaian Buffer.....	39
3.2.4. Rangkaian ADC.....	39
3.2.5. Sistem Mikrokontroler AT89C2051.....	41
3.2.5.1. Rangkaian <i>Clock</i>	43
3.2.5.2. Rangkaian <i>Reset</i>	44
3.2.6. LCD M1632.....	45
3.3. Perencanaan Perangkat Lunak.....	46

BAB IV PENGUJIAN ALAT DAN PEMBAHASAN HASIL

4.1. Pengujian Respon Sensor.....	49
4.1.1. Tujuan.....	49
4.1.2. Peralatan Yang Digunakan.....	49

4.1.3. Hasil Pengujian	49
4.1.4. Kesimpulan	50
4.2. Pengujian Rangkaian ADC	50
4.2.1. Tujuan	50
4.2.2. Peralatan Yang Digunakan.....	51
4.2.3. Hasil Pengujian	51
4.2.4. Kesimpulan	52
4.3. Pengujian Rangkaian Mikrokontroler.....	52
4.3.1. Tujuan	52
4.3.2. Peralatan Yang Digunakan.....	52
4.3.3. Hasil Pengujian	52
4.3.4. Kesimpulan	53
4.4. Pengujian Keseluruhan Sistem.....	53
BAB V PENUTUP	
5.1. Kesimpulan	55
5.2. Saran.....	55
DAFTAR PUSTAKA	57
LAMPIRAN	58

DAFTAR GAMBAR

	Hal.
Gambar 2.1. Spektrum Cahaya	7
Gambar 2.2. Spektrum Komponen Penyusun Susu	7
Gambar 2.3. Hubungan Absorbansi cahaya dengan kadar Laktosa.....	9
Gambar 2.4. Sensor Fotodiode.....	10
Gambar 2.5. Penguat Operasi	12
Gambar 2.6. Rangkaian Buffer	12
Gambar 2.7. Analog To Digital Converter	13
Gambar 2.8. Blok Diagram Mikrokontroler AT89C2051	15
Gambar 2.9. Konfigurasi Pin-Pin AT89C2051.....	17
Gambar 2.10. Skema Mendefinisikan Psw	21
Gambar 2.11. Skema Mendefinisikan Pcon.....	22
Gambar 2.12. Kegunaan Interut Enable Register	23
Gambar 2.13. Konfigurasi dan Guna Tmod.....	24
Gambar 2.14. Timer/Counter Mode Control Register	25
Gambar 2.15. Blok Diagram LCD	28
Gambar 2.16. Liquid Crystal Display	33
Gambar 2.17. Mengirim/Mengambil Data Ke/Dari M1632	34
Gambar 3.1. Blok Diagram Sistem secara Keseluruhan.....	37
Gambar 3.2. Rangkaian Sumber Cahaya	38
Gambar 3.3. Rangkaian Sensor Fotodiode.....	39
Gambar 3.4. Rangkaian Buffer	39
Gambar 3.5. Rangkaian ADC	40
Gambar 3.6. Rangkaian Mikrokontroler AT89C2051.....	42
Gambar 3.7. Rangkaian Clock	43
Gambar 3.8. Rangkaian Reset.....	45
Gambar 3.9. Rangkaian Display LCD	46
Gambar 3.10. Flowchart	48
Gambar 4.1. Grafik Keluaran Respon Sensor.....	50

DAFTAR TABEL

	Hal.
Tabel 2.1. Pengaturan Rs0-Rs1 untuk Select Register Bank	19
Tabel 2.2. Special Function Register	20
Tabel 2.3. Alamat Sumber Interupsi	23
Tabel 2.4. Mode Operasi Timer/Counter	25
Tabel 2.5. Fungsi Tiap Pin LCD	29
Tabel 2.6. Instruksi pada LCD	30
Tabel 2.7. Pemilihan Register pada LCD.....	32
Tabel 4.1. Hasil Pengujian respon Sensor.....	50
Tabel 4.2. Hasil Pengujian Rangkaian ADC.....	51
Tabel 4.3. Hasil Pengujian Rangkaian Mikrokontroler.....	53
Tabel 4.4. Hasil Pengujian Keluaran Alat.....	54

BAB I

PENDAHULUAN

1.1 Latar Belakang

Susu adalah bahan pangan yang paling padat gizi bila dibandingkan dengan bahan pangan lainnya, baik ditinjau dari segi kandungan asam amino maupun vitamin dan mineral. Susu disebut sebagai makanan yang hampir sempurna karena kandungan zat gizinya yang lengkap. Selain air, susu mengandung protein, karbohidrat, lemak, mineral, enzim-enzim, gas serta vitamin A, C dan D dalam jumlah memadai. Manfaat susu merupakan hasil dari interaksi molekul-molekul yang terkandung di dalamnya.

Susu segar merupakan cairan yang berasal dari kambing atau sapi sehat dan bersih yang diperoleh dengan cara pemerahan yang benar yang kandungannya alaminya tidak dikurangi atau ditambah sesuatu apapun dan belum mendapat perlakuan apapun sesuai dengan Standar Nasional Indonesia (SNI 01-3141-1998). Dalam prakteknya sangat kecil peluang kita untuk mengonsumsi susu segar definisi SNI tersebut di atas.

Akibat kebutuhan ekonomi yang mendesak, peternak terkadang memberikan campuran seperti air, tepung dan bahan lainnya terhadap susu hasil pemerahan sehingga susu yang dihasilkan akan lebih banyak. Penambahan bahan lain ini akan mengakibatkan terjadinya penurunan kadar laktosa dalam susu. Padahal susu dari peternak harus memenuhi standar minimal yang telah ditetapkan oleh industri susu. Selama ini susu dari peternak ditampung oleh koperasi susu yang

nantinya akan disalurkan kepada industri susu. Sebelum dijual, susu dari peternak diuji terlebih dahulu. Namun pemeriksaan ini hanya untuk mengetahui kebersihan susu saja. Sedangkan pemeriksaan terhadap kandungan gizi seperti laktosa akan dilakukan dalam laboratorium pabrik susu. Susu yang tidak lulus uji kandungan laktosa akan dikembalikan lagi kepada peternak. Tentunya hal tersebut menimbulkan kerugian bagi peternak yang sebenarnya susu hasilnya memenuhi standar dinyatakan tidak lulus karena dicampur dengan susu dari peternak lain yang sudah diberi campuran.

Untuk mengatasi permasalahan tersebut maka dibuatlah suatu sistem dimana uji kandungan laktosa tidak lagi dilakukan di laboratorium pabrik susu melainkan pada saat peternak menyerahkan susu hasil ternaknya. Sehingga susu yang dibawa dapat diketahui kelayakannya.

1.2 Rumusan Masalah

Dari latar belakang masalah di atas dapat dirumuskan permasalahan sebagai berikut:

- a) Bagaimana merancang dan membuat alat pengukur kadar laktosa pada susu murni ?
- b) Bagaimana membuat alat display kadar laktosa pada susu ?
- c) Bagaimana merencanakan dan membuat alat tersebut dapat bekerja sesuai dengan yang diharapkan ?

1.3 Batasan Masalah

Agar permasalahan yang dibahas tidak terlalu meluas, maka penulis mem

batasi hanya pada hal-hal berikut :

1. Menekankan pada perancangan, pembuatan dan pembahasan sistem pengukur kadar laktosa pada susu murni.
2. Sensor yang digunakan adalah fotodiode.
3. Alat display yang digunakan adalah LCD M1631.

1.4 Tujuan

Tujuan penyusunan skripsi ini adalah merancang dan membuat alat pengukur kadar laktosa pada susu murni menggunakan mikrokontroler AT89C2051.

1.5 Metodologi

Guna merealisasikan Tugas Akhir tersebut diatas, maka metodologi penulisannya dilakukan sebagai berikut :

1. Kajian Pustaka

Bertujuan untuk mengumpulkan literatur yang berisikan teori yang berhubungan perencanaan alat, dipadukan dengan teori yang didapat di bangku kuliah.

2. Perencanaan dan Pembuatan Alat

Bertujuan untuk membuat diagram blok rangkaian yang sesuai dengan rencana kerja, yang kemudian direalisasikan dengan melaksanakan perencanaan dan pembuatan alat berdasarkan diagram blok rangkaian yang disusun.

3. Studi Analisa Alat

Dimaksudkan untuk melakukan analisis pengujian alat yang telah dirancang, apakah sesuai dengan fungsi kerja yang diharapkan atau tidak.

4. Penyusunan Buku Laporan

Bertujuan untuk menyusun data laporan berpedoman pada alat yang telah selesai dibuat beserta kesimpulan cara kerja dari alat tersebut.

1.6 Sistematika Penulisan

Bab I Pendahuluan

Pada bab ini dibahas tentang latar belakang permasalahan, rumusan masalah, batasan masalah, tujuan, metodologi, dan sistematika penulisan.

Bab II Landasan Teori

Pada bab ini dibahas tentang teori-teori yang menunjang dalam perencanaan dan pembuatan alat.

Bab III Perencanaan Dan Pembuatan Alat

Pada bab ini dibahas tentang perencanaan dan pembuatan perangkat keras (*hardware*) dan perangkat lunak (*software*).

Bab IV Pengujian Alat Dan Pembahasan Hasil

Pada bab ini dibahas tentang proses serta hasil dari pengujian alat.

Bab V Penutup

Pada bab ini akan disampaikan kesimpulan dari perencanaan dan pembuatan serta pengujian alat.

BAB II

LANDASAN TEORI

2.1 Susu

Susu adalah bahan pangan yang paling padat gizi bila dibandingkan dengan bahan pangan lainnya, baik ditinjau dari segi kandungan asam amino maupun vitamin dan mineral. Susu disebut sebagai makanan yang hampir sempurna karena kandungan zat gizinya yang lengkap. Selain air, susu mengandung protein, karbohidrat, lemak, mineral, enzim-enzim, gas serta vitamin A, C dan D dalam jumlah memadai. (Aksi Agraris, 1974;2).

Manfaat susu merupakan hasil dari interaksi molekul-molekul yang terkandung di dalamnya. Susunan air susu rata-rata terdiri dari:

1. Air (87,70%)
2. Lemak (3,45%)
3. Laktosa (4,60%)
4. Kasein (2,79%)
5. Albumin (0,50%)
6. Mineral (0,85%)

Laktosa adalah satu-satunya disakarida dalam susu ibu serta karbohidrat utama dalam produk susu. Namun, sebagai gula, laktosa tidak semanis disakarida atau monosakarida lain seperti sukrosa, fruktosa atau glukosa. Tingkat kemanisan laktosa hanya seperenam kemanisan glukosa. (Astawan, 2005:1)

Pada pemanasan suhu 100 -130 °C, laktosa akan menghasilkan karamel berwarna coklat. Laktosa mudah larut dalam air. Apabila terhidrolisa oleh asam dan enzim laktase, laktosa akan diubah menjadi glukosa dan galaktosa. Kadar laktosa yang harus dipenuhi untuk dapat diterima oleh industri susu minimal sebesar 4,2 %. Besar kecilnya kadar laktosa ini dipengaruhi oleh pemberian pakan yang dilakukan oleh peternak. Pemberian hijauan yang cukup akan menghasilkan susu dengan kadar laktosa yang baik. (Hadiwiyoto,1994;45)

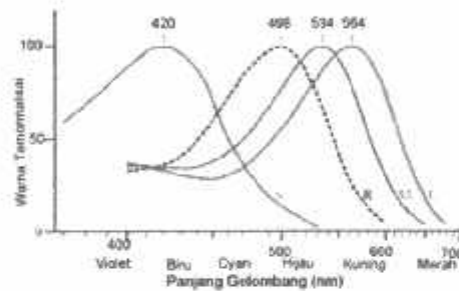
Selama ini pengujian yang dilakukan membutuhkan waktu relatif lama. Pengujian kadar laktosa dapat dilakukan melalui berbagai metode seperti metode sederhana, larutan Fehling, polarimetri dan kromatografi cairan. Selain itu juga dapat digunakan spektrofotometri dalam pengujian kadar laktosa pada susu. (Hadiwiyoto,1994;69)

2.2 Spektrofotometri

Instrumentasi fotometri adalah instrumentasi yang titik beratnya pada pengukuran besaran cahaya, sifat aneka ragam material dan obyek, serta interaksi terhadap radiasi cahaya. Kuantitas dasar yang termasuk yaitu fotometri penyerapan (absorpsi cahaya), pantulan (refleksi cahaya), pembauran (emisi cahaya), dan penerusan (transmisi cahaya). Kuantitas tersebut untuk memberikan gambaran terhadap sifat-sifat zat atau materi yang diukur.

Interaksi antara radiasi elektromagnetik dengan atom atau molekul yang berupa absorpsi menghasilkan spektrofotometri absorpsi yaitu spektrofotometri ultra violet(UV), spektrofotometri sinar tampak (VIS), dan spektrofotometri inframerah (IR). Spektrofotometri ultra violet dipakai untuk aplikasi kuantitatif

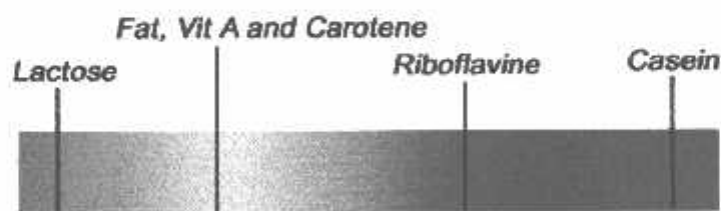
menggunakan radiasi dengan panjang gelombang 200-400 nm, spektrofotometri sinar tampak menggunakan radiasi dengan panjang gelombang 400-700 nm, sedangkan spektrofotometri infra merah dengan panjang gelombang sekitar 700-800 nm. Sebagian besar instrumen dioperasikan dalam rentang panjang gelombang sinar tampak. Spektrum cahaya dan panjang gelombang ditunjukkan dalam Gambar 2.1.



Gambar 2.1 Spektrum Cahaya

Sumber: After Bowmaker J.K. and Dartnall H.J.A. 1980; 1

Spektrum warna susu ditunjukkan dalam Gambar 2.2. Berdasarkan Gambar 2.2 dapat diketahui bahwa laktosa mempunyai spektrum warna merah sehingga perancangan alat ini dipergunakan panjang gelombang antara 630 – 700 nm.



Gambar 2.2 Spektrum Komponen Penyusun Susu

Sumber: Walstra and Gennes , 2005: 1

2.3 Hukum Lambert-Beer

Hubungan antara panjang gelombang medium yang dilewati cahaya dan daya radiasi pertama kali dirumuskan oleh Lambert. Hukum ini menyatakan bahwa seberkas cahaya monokromatis melalui sebuah medium yang dapat menyerap cahaya untuk daya radiasi cahaya tersebut akan berkurang secara eksponensial dengan bertambah panjangnya medium tersebut. Sedangkan hubungan konsentrasi medium penyerap dengan daya radiasi seberkas cahaya dikemukakan oleh Beer. Hukum ini menyatakan bahwa daya radiasi seberkas cahaya monokromatis yang melewati sebuah medium penyerap akan berkurang secara eksponensial dengan bertambahnya konsentrasi larutan tersebut. Gabungan kedua rumusan ini dikenal dengan hukum Lambert-Beer. Apabila seberkas cahaya monokromatis dengan daya radiasi (P_0) dijatuhkan pada kuvet yang berisi larutan dengan konsentrasi (c) maka setelah berkas tersebut melewati jarak (b), daya radiasi cahaya akan turun sampai (P). Daya radiasi cahaya setelah melewati larutan akan berkurang karena sebagian cahaya diserap oleh larutan pada panjang gelombang tertentu.

Hukum Lambert ini tentunya hanya berlaku jika di dalam bahan/medium tersebut tidak ada reaksi kimia ataupun proses fisis yang dapat dipicu atau diimbis oleh berkas cahaya datang tersebut. Dalam hal demikian, intensitas cahaya yang keluar setelah melewati bahan/medium tersebut dapat dituliskan dalam bentuk sederhana sbb.:

$$I = T \times I_0 \quad (2.1)$$

dengan I adalah intensitas berkas cahaya keluar, I_0 adalah intensitas berkas cahaya masuk/datang, dan T adalah transmitansi.

Transmitansi adalah perbandingan antara daya radiasi cahaya setelah melewati larutan terhadap daya radiasi sebelum melewati larutan. Semakin tinggi konsentrasi larutan semakin banyak pula cahaya yang akan diserap larutan dan semakin sedikit cahaya yang akan diteruskan larutan sehingga transmitansinya semakin kecil.

Karena $P=P_0$ untuk $b=0$ maka

$$T = \frac{P}{P_0} = 10^{-\epsilon bc} \quad (2.2)$$

$$\text{Log } T = -\epsilon bc \quad (2.3)$$

$$\text{Log } \frac{1}{T} = \epsilon bc$$

$$A = \log \frac{P}{P_0} \quad (2.4)$$

$$A = \epsilon bc \quad (2.5)$$

Dengan

P_0 = daya radiasi sebelum melewati larutan

P = daya radiasi setelah melewati larutan

A = penyerapan

ϵ = koefisien absorpsi (liter.mol⁻¹cm⁻¹). Koefisien absorpsi laktosa sebesar $k=6,3$ (Helrich, 1990)

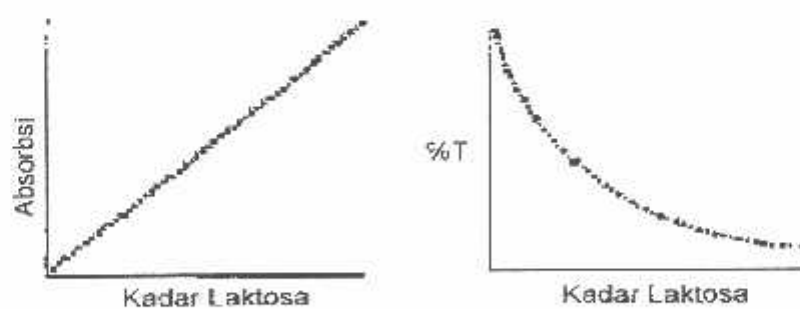
b = panjang larutan yang dilalui cahaya(cm)

c = konsentrasi larutan (mol)

Dari persamaan 2.5 dapat diubah menjadi

$$c = \frac{A}{b\epsilon}$$

karena besarnya koefisien absorpsi dan panjang lintasan tetap maka terdapat hubungan yang linier antara daya serap suatu larutan dengan besarnya konsentrasi larutan tersebut. Hubungan antara absorpsi cahaya dengan kadar laktosa dapat digambarkan dalam Gambar 2.3.



Gambar 2.3 Hubungan Absorbansi Cahaya dengan Kadar Laktosa
Sumber: Walstra and Gennes , 2005: 1

2.4 Sensor Fotodiode

Detektor yang berfungsi untuk mengubah sinyal radiasi yang diterima menjadi sinyal elektronik, yaitu berupa sensor fotodiode. Sensor ini ditunjukkan dalam Gambar 2.4.



Gambar 2.4 Sensor fotodiode

Sumber: Roithner,2005:1

Pada fotodiode ini terdapat suatu jendela kecil yang memungkinkan cahaya luar dapat masuk dan mengenai PN junction. Pada keadaan normal fotodiode berlaku sebagai diode biasa yang dapat menghantarkan arus listrik dari anoda ke katoda, namun mempunyai tahanan balik yang besar. Bila cahaya luar mengenai junction foto diode, maka tahanan balik akan mengecil dan menimbulkan arus balik, sehingga foto diode berlaku sebagai diode yang dibalik atau dibias reverse.

Semakin besar intensitas cahaya yang diterima, maka makin besar pula arus balik yang ditimbulkannya. Bila energi photon diserap dalam suatu semikonduktor, maka akan menghasilkan pasangan elektron-hole pada lapisan pengosongan. Arus balik akan timbul bila elektron-elektron dan hole-hole yang telah dibangkitkan oleh photon saling memisahkan diri karena pengaruh medan

listrik. Dimana elektron-elektron akan menuju sisi N dan hole-hole menuju ke sisi P, sehingga dihasilkan arus dari katoda menuju ke anoda. Arus balik yang dihasilkan sebanding dengan sinar yang diserap. Karena pengaruh suatu junction yang lebih tinggi menciptakan lebih banyak pasangan elektron-hole, sehingga mengakibatkan aliran arus balik yang melewati junction bertambah.

Sebuah photodiode, biasanya mempunyai karakteristik yang lebih baik daripada phototransistor dalam responnya terhadap cahaya inframerah. Biasanya photodiode mempunyai respon 100 kali lebih cepat daripada phototransistor. Oleh sebab itulah para designer cenderung menggunakan photodiode daripada menggunakan phototransistor. Tetapi sebuah phototransistor tetap mempunyai keunggulan yaitu mempunyai kemampuan untuk menguatkan arus bocor menjadi ratusan kali jika dibandingkan dengan photodiode.

2.5 Penguat Operasional

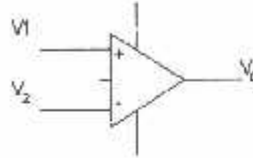
Penguat berfungsi untuk menguatkan sinyal keluaran yang dihasilkan detektor cahaya. Penguat yang digunakan adalah penguat operasional. Karakteristik dari suatu penguat operasional adalah:

- impedansi masukan yang sangat tinggi sehingga arus masukan dapat diabaikan.
- penguatan loop terbuka (A_v) sangat tinggi sehingga tegangan keluaran penguat menjadi :

$$V_{out} = A_v((V_+) - (V_-)) \quad (2.6)$$

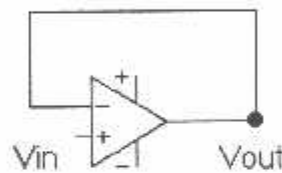
- impedansi keluaran amat rendah sehingga keluaran penguat tidak terpengaruh pada pembebanan.
-

Sebuah penguat operasi ditunjukkan dalam Gambar 2.5.



Gambar 2.5 Penguat Operasi

Buffer Analog



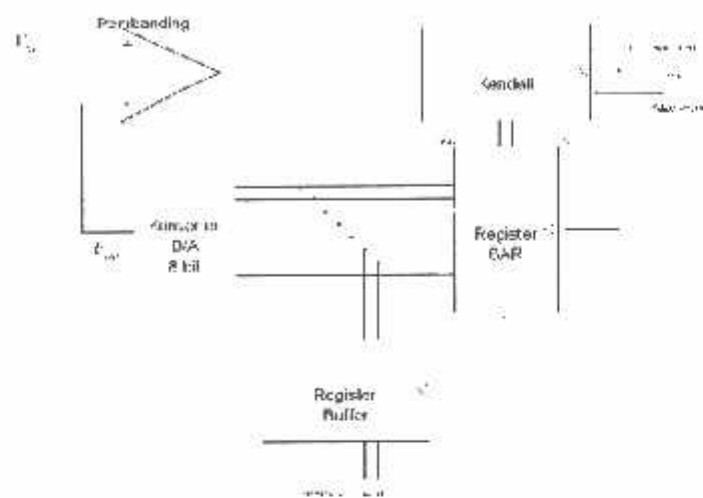
Gambar 2.6 Buffer

Buffer analog berfungsi sebagai penyangga tegangan masukan dari sensor sebelum masuk ke ADC. Sehingga menghasilkan tegangan keluaran $V_{out} = V_{in}$.

2.6 Rangkaian ADC

ADC digunakan untuk mengkonversi sinyal analog dari sensor menjadi sinyal digital. ADC tipe 0804 yang mempunyai satu jalur masukan sinyal analog yaitu $V_{in} (+)$ untuk tegangan maksimal dan $V_{in} (-)$ untuk tegangan minimal dari ADC.

Pendekatan yang paling luas digunakan dalam konversi A/D adalah metode aproksimasi berturut-turut (*successive-approximation methode*), yang diperlihatkan dalam Gambar 2.7.



Gambar 2.7 Analog To Digital Converter

Konverter D/A menerima tegangan masukan suatu tegangan analog dan beberapa saat kemudian menghasilkan keluaran digital yang mewakili masukan analog tersebut. Konversi ADC yang bekerja berdasarkan metode pendekatan berturut-turut mengikuti langkah berikut:

1. Jika sinyal konversi berubah dari logika tinggi ke rendah, register SAR akan dikosongkan dan V_{out} bernilai nol. Ketika sinyal mulai konversi kembali berlogika tinggi, pulsa detak pertama akan menyebabkan rangkaian kendali menset MSB dalam register SAR.
2. Setelah keluaran digital ini muncul, mulai V_{out} dari keluaran D/A akan dibandingkan. Bila nilai ini melebihi tegangan V_{in} , keluaran negatif dari pembanding akan menyebabkan rangkaian kendali akan mereset MSB dalam register SAR. Tetapi bila nilai ini lebih kecil dari tegangan V_{in} , keluaran positif dari pembanding akan menyebabkan rangkaian kendali akan menset MSB dalam register SAR.
3. Pada pulsa-pulsa detak berikutnya secara berturut-turut, bit MSB yang lebih rendah pada register SAR akan diset dan diuji. Bila suatu bit menyebabkan nilai V_{out} melebihi V_{in} maka bit yang bersangkutan akan direset, tetapi bila suatu bit menyebabkan nilai

V_{out} kurang dari V_{in} maka bit yang bersangkutan akan diset. Langkah ini dilakukan sampai bit terakhir/LSB.

4. Apabila konversi telah selesai dilakukan, rangkaian kendali membangkitkan sinyal selesai konversi register buffer dengan nilai digital akhir hasil konversi.

Waktu konversi merupakan waktu yang dibutuhkan IC untuk mengkonversi tegangan masukan analog menjadi data keluaran biner. Waktu konversi berkisar antara 12 - 100 μ s.

Resolusi dari suatu konverter A/D merupakan kenaikan analog terkecil yang menyebabkan perubahan keluaran sebesar 1 LSB dan ditentukan oleh banyaknya bit keluaran digitalnya, dimana jumlah level analognya adalah sebesar 2^n .

2.7 Mikrokontroler

Perbedaan mendasar antara mikrokontroler dengan mikroprosesor adalah mikrokontroler selain memiliki CPU juga dilengkapi memori dan input output yang merupakan kelengkapan dari sytem minimum mikrokomputer, sehingga sebuah mikrokontroler dapat dikatakan sebagai mikrokomputer dalam keping tunggal (Single Chip Mikrocomputer) yang dapat berdiri sendiri.

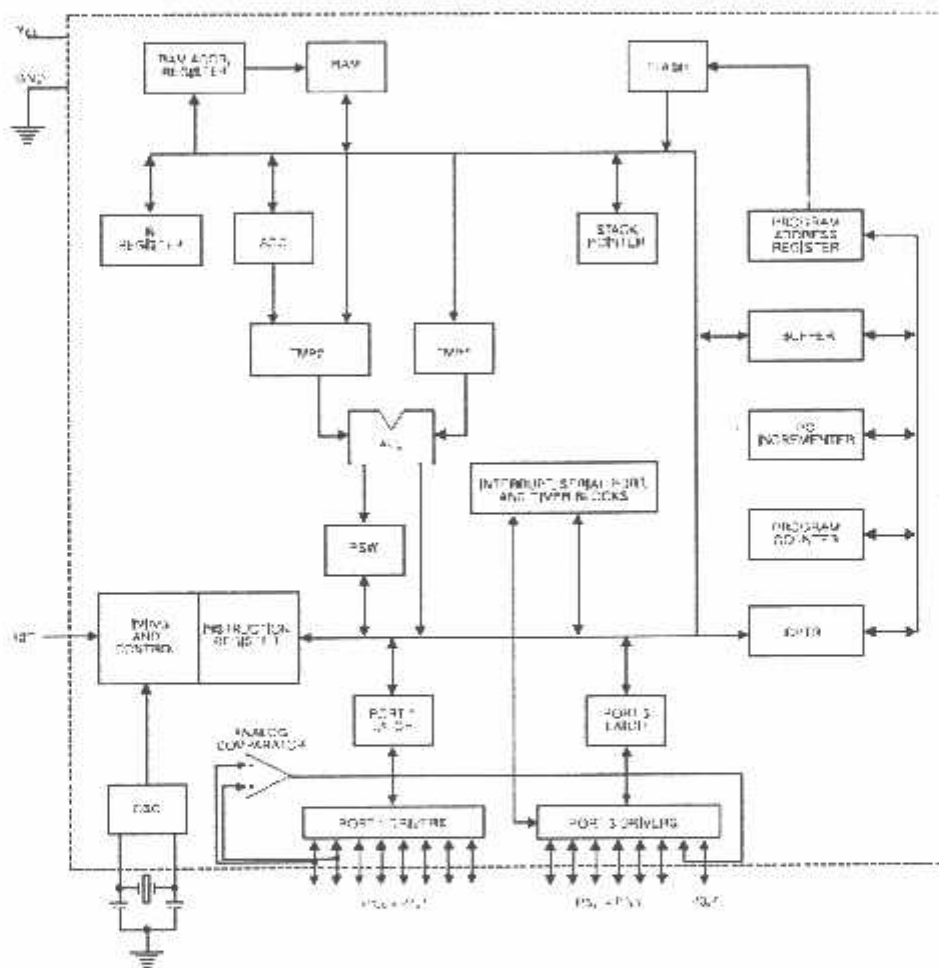
Mikrokontroler AT 89C2051 adalah keluarga MCS-51, membutuhkan daya yang rendah, memiliki performa yang tinggi, dan merupakan mikrokomputer 8 bit yang dilengkapi 2 Kbyte EPROM (Erasable and Programable Read Only Memory) dan 128 RAM byte internal.

2.7.1. Perangkat Keras Mikrokontroler AT 89C2051

Perangkat keras Mikrokontroller AT89C2051 terdiri dari :

- CPU 8bit
 - Memory
 - Port input output yang dapat diprogram
-

- Timer dan counter
- Sumber interrupt
- Port serial yang dapat diprogram
- Oscilator dan Clock



Gambar 2.8 Blok Diagram Mikrokontroler AT89C2051

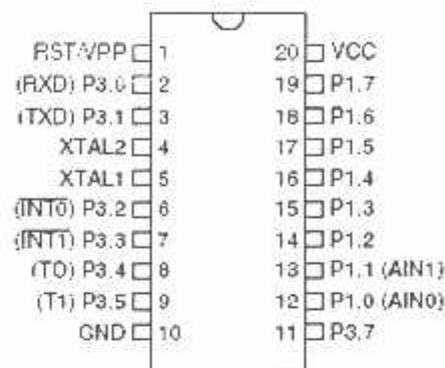
2.7.1.1. Arsitektur AT 89C2051

Arsitektur AT 89C2051 adalah sebagai berikut:

1. CPU (Central Processing Unit) 8bit dengan register A (Accumulator) dan B
2. 16 Bit Program Counter (PC) dan Data Pointer (DP/IR)
3. 8 bit Program Status Word (PSW)
4. 8 bit stack Pointer
5. 2 Kbyte internal EPROM
6. 128 byte internal RAM
 - 4 bank register, masing – masing berisi 8 register
 - 16 byte yang dapat dialamati pada bit level
 - 80 byte general pupose memory data
7. 16 pin input output yang tersusun atas P1 dan P3, masing – masing 8 bit
8. 2 buah timer dan counter
9. Receiver / Transmitter dan serial full duplex : SBUF
10. Control Register, yaitu ; TCON, TMOD, SCON, PCON, IP dan IE
11. 5 buah sumber interrupt (2 buah sumber interrupt internal dan 3 buah sumber interrupt external)
12. Oscillator dan Clock Internal

2.7.1.2. Konfigurasi Pin – pin Mikrokontroler AT89C2051

Mikrokontroler AT 89C2051 terdiri atas 20 pin, dengan konfigurasi sebagai berikut :



Gambar 2.9 Konfigurasi Pin-pin AT89C2051

Fungsi dari tiap – tiap pin adalah sebagai berikut:

1. Vcc (Supply Tegangan)
2. GND (Ground)
3. Port 1 adalah port I/O bidireksional 8 bit. Pin port P1.2 sampai P1.7 memberikan tarikan internal. P1.1 berperan sebagai input positif (AIN0) dan input negatif (AIN1) dari komparator analog presisi on chip. Buffer output p1 bisa diturunkan sampai 20 mA dan bisa mengarahkan diplay LED secara langsung. Jika 1 untuk pin port 1, maka dia bisa digunakan sebagai input. Jika P1.2 sampai P1.7 digunakan sebagai input diginakan secara eksternal, maka ia akan dijadikan sebagai arus sumber (In.) karena tarikan internal. Port 1 juga menerima kode selama pemrograman dan pembuktian Flash
4. Port 3 memiliki P3.0 sampai P3.5, P3.7 dan port 3 terdiri dari tujuh pin I/O bidirekisdonal dengan menarik internal. P3.6 memiliki ikatan keras sebagai suatu input untuk output komparator on chip dan tidak bisa dijangkau sebagai pin I/O tujuan umum. Buffer output port 3 bisa

diturunkan sampai 20mA. Jika ditulis untuk pin port 3, maka pin bisa ditarik ke atas dengan penarikan dan bisa digunakan sebagai input. Sebagai input, pin port 3 yang ditarik ke bawah secara eksternal akan menjadikan arus sumber (I_{in}) karena tarikan ke atas. Port 3 berperan sebagai fungsi fitur khusus dari AT 89C2051, port 3 juga menerima sinyal pengendalian dari pemrograman dan penjelasan flash.

5. RST adalah input reset.
6. X-TAL1 dan X-TAL2 . Pin ini dihubungkan dengan kristal bila menggunakan oscillator eksternal. X-TAL1 merupakan input inverting oscillator amplifier sedangkan X-TAL2 merupakan output inverting oscillator amplifier.

2.7.2. Organisasi Memory

Di dalam AT89C2051 ruang alamat telah dibedakan untuk program memory dan memory data.

2.7.2.1. Program memory internal

AT 89C2051 memiliki pemrograman memory sebesar 4Kbyte dan 2Kbyte dengan ruang alamat 0000H-07FFH. Jika alamat – alamat program lebih tinggi dari pada 07FFh, yang melebihi kapasitas ROM internal menyebabkan AT89C2051 secara otomatis mengambil kode byte dari memori eksternal. Code byte juga dapat diambil hanya dari eksternal memory dengan alamat 0000H-07FFH dengan cara menghubungkan pin ke ground.

2.7.2.2. Data Memory (RAM) Internal

Ruang alamat bawah memory data (RAM) internal dengan kapasitas 128 byte yaitu 00H-07H yang terbagi atas 3 daerah, yaitu:

- Empat register bank

Setiap bank terdiri dari 8 register (R0-R7) sehingga jumlah register untuk keempat bank register (bank 0- bank 3) menjadi 32 buah register yang menempati ruang alamat 00H-1FH. Mengaktifkan salah satu bank register dapat dilakukan dengan mengatur RS0-RS1 pada PSW (Program Status Word).

- Bit Addressable

Terdiri atas 16 byte yang berada pada alamat 20H-2FH. Masing – masing 128 lokasi bit ini dapat dialamati secara langsung.

- Strach Pad Area

Terdiri atas 80 byte yang secara langsung dan digunakan untuk keperluan umum (general purpose) misalnya digunakan untuk lokasi stack.

Tabel 2.1 Pengaturan Rs0-Rs1 Untuk Select Register Bank

RS1	RS0	Select Register Bank
0	1	Bank0
0	1	Bank1
1	0	Bank2
1	1	Bank3

2.7.2.3. SFR (Register Fungsi Khusus)

Suatu pin area on chip yang disegut dengan fungsi khusus ditunjukkan tabel berikut ini :

Tabel 2.2 Special Function Register

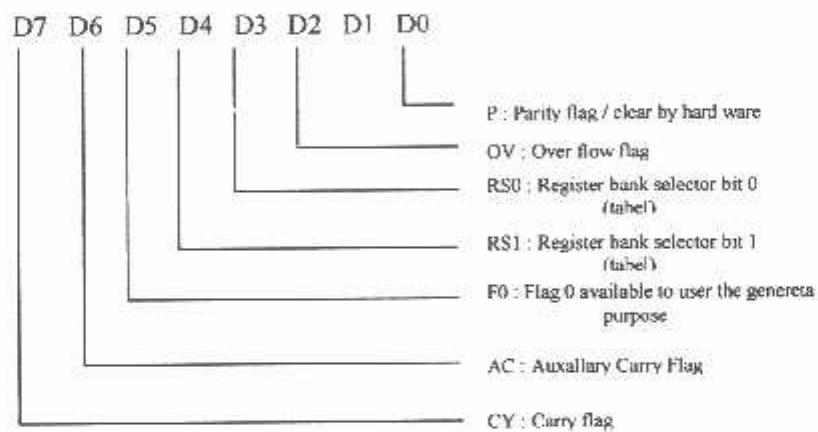
0F8H								0FFH
0F0H	B 00000000							0F7H
0E8H								0EFH
0E0H	ACC 00000000							0E7H
0D8H								0DFH
0D0H	PSW 00000000							0D7H
0C8H								0CFH
0C0H								0C7H
0B8H	IP XXX00000							0BFH
0B0H	P3 11111111							0B7H
0A8H	0XX00000							0AFH
0A0H								0A7H
98H	SCON 00000000	SBUF XXXX XXXX						9FH
90H	P1 11111111							97H
88H	TCON 00000000	TMOD 000000 00	TLO 00000000	TL1 00000000	TH0 00000000	TH1 00000000		8FH
80H		SP 000001 11	DPL 00000000	DPH 00000000			PCON 0XXX000 0	87H

Tidak semua pengalamatan digunakan, dan semua alamat yang digunakan tidak semua diterapkan dalam chip. Akses baca pada alamat ini umumnya akan

mengembalikan detik acak, dan akses tulis tidak memiliki pengaruh yang tidak ditentukan. Software user hendaknya tidak menulis satu untuk lokasi yang tidak terdaftar, karena mungkin digunakan untuk produk masa mendatang untuk mendukung feature baru. Dalam hal ini nilai reset atau tidak aktif dari bit baru ini akan selalu menjadi nol.

2.7.2.4. Program Status Word

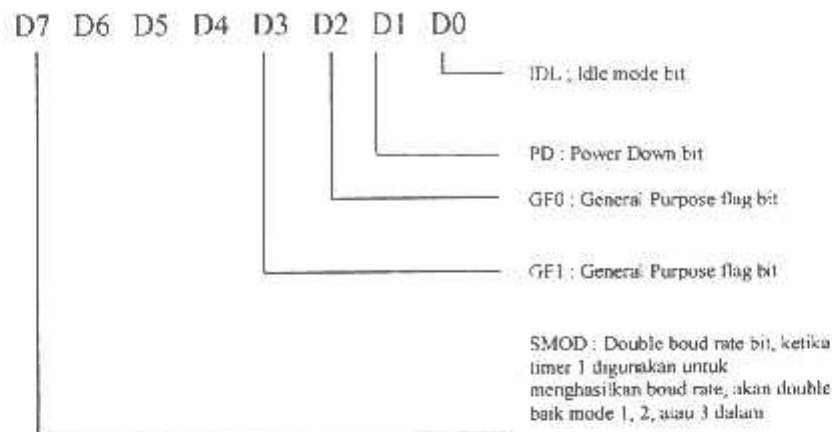
Register ini terletak di alamat D0H. Cara mendefinisikannya adalah sebagai berikut :



Gambar 2.10 Skema Mendefinisikan Psw

2.7.2.5. PCON (Power Control)

Register ini terletak pada alamat 87H. Cara mendefinisikannya adalah sebagai berikut :



Gambar 2.11 Skema Mendefinisikan Pcon

2.7.2.6. Sistem interrupt

Mikrokontroler AT89C2051 memiliki 5 sumber interrupt yang dapat membangkitkan permintaan yaitu :INT0, INT1, T0, T1, dan port serial.

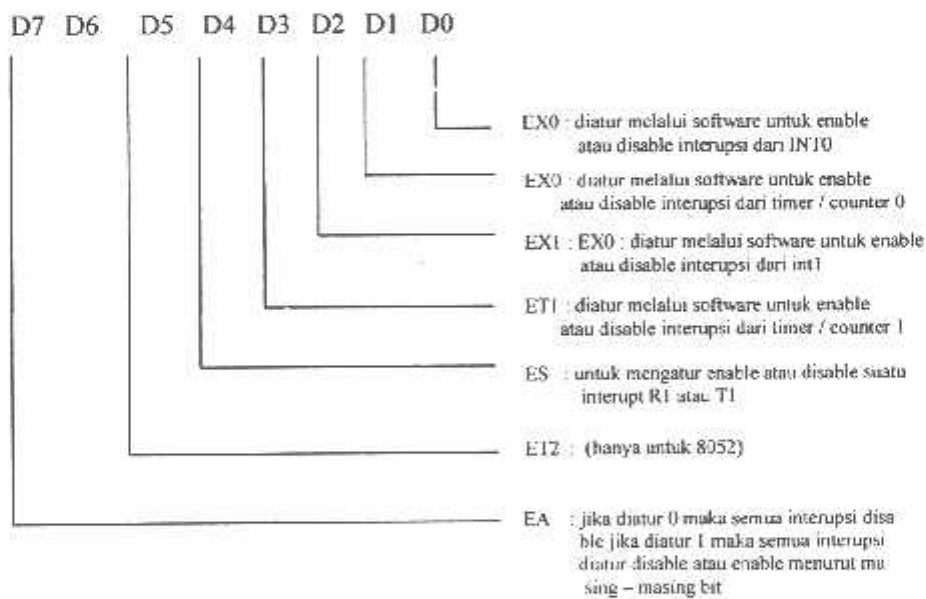
Saat terjadinya interrupt mikrokontroler secara otomatis akan menuju subrutin pada alamat tersebut. Setelah interrupt service selesai dikerjakan, mikrokontroler akan mengerjakan program semula. Dua sumber eksternal adalah INT0 dan INT1 dimana kedua interrupt eksternal akan aktif atau transisi tergantung isi IT0 dan IT1 pada register TCON. Interrupt T0 dan T1 aktif pada saat timer yang sesuai mengalami roll over. Interupsi serial dilakukan dengan melakukan operasi OR pada RI dan TI. Tiap – tiap sumber interupsi dapat enable atau disable secara software.

Tingkat prioritas semua sumber interupsi dapat diprogram sendiri – sendiri dengan set atau clear bit pada SFRS (Interrupsi Priority).

Tabel 2.3 Alamat Sumber Interupsi

Sumber Interupt	Alamat Awal
Interupt Luar 0 (INT0)	0003H
Pewaktu / pencacah 0 (T0)	003BH
Interupt Luar 1 (INT1)	001BH
Pewaktu / pencacah 1 (T1)	001BH
Port Serial	0023H

Register yang berperan dalam mengatur aktif tidaknya interupsi adalah input enable register, berikut adalah susunan dari bit – bit beserta kegunaannya



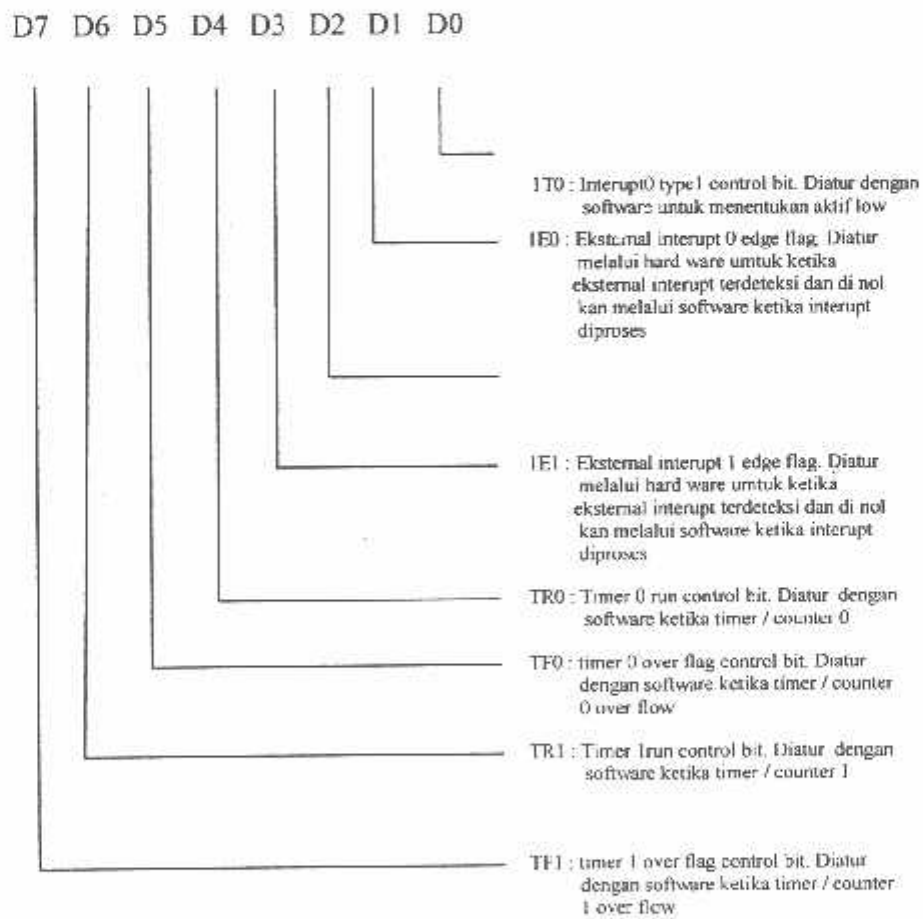
Gambar 2.12 Kegunaan Interupt Enable Register

2.7.2.7. Timer / Counter

Pengendalian kerja dari timer / counter dilakukan dengan pengaturan register yang berhubungan dengan kinerja dari timer /counter yaitu melalui sebuah timer / counter mode control.

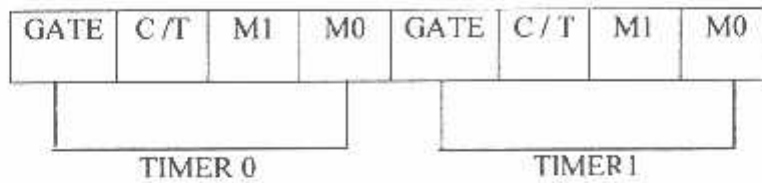
Untuk mengaktifkan timer / counter yang meliputi penentuan fungsi sebagai timer atau sebagai counter serta pemilihan mode operasi dapat diatur melalui TMOD yang beralamat pada 98H.

Konfigurasi yang dimaksud adalah sebagai berikut :



Gambar 2.13 Konfigurasi Dan Guna Tmod

Tmod : Timer / Counter Mode Control Register



Gambar 2.14 Timer / Counter Mode Control Register

Tabel 2.4 Mode Operasi Timer / Counter

M1	M0	Oprating Mode
0	0	Timer 13 bit
0	1	Timer / Counter 16 bit
1	0	16 bit auto reload Timer / Counter
1	1	TLO dari timer adalah 8 bit timer / counter dikendalikan oleh kontrol bit timer 0. TH0 adalah timer 8 bit yang dikendalikan oleh timer 1 control bit

▪ *Gate*

Bila gate = 1, Timer / Counter x enable hanya pada saat pin INTx tinggi dari Trx 1. Saat gate 0, timer / counter enable jika bit trx 1.

▪ *CT*

Jika bit C / T = 0, maka timer / counter x akan berfungsi sebagai timer. Jika C / T = 1, maka counter x akan berfungsi sebagai counter.

▪ *M1 dan M2*

Menentukan mode

2.7.2.8. Metode pengalamatan

2.7.2.8.1. Pengalamatan Bit (bit Addressing)

Pengalamatan langsung tiap bit ini hanya dilakukan pada lokasi RAM internal yaitu 20H-2FH, dan sebagian SFR, port 1, port 3, TCON register, SCON register, IE register, PSW register, ACC DAN b register.

2.7.2.8.2. Pengalamatan Tak Langsung

Pada pengalamatan tak langsung, instruksi menunjukkan suatu register yang isinya adalah alamat dari operand, eksternal dan internal RAM dapat dialamati secara tak langsung. Register alamat untuk data dengan lebar 8 bit dapat berupa R0 dan R1 yang digunakan untuk memilih register bank atau stack pointer. Register alamat untuk data dengan lebar 16 bit digunakan untuk data pointer (DPTR).

2.7.2.8.3. Pengalamatan Berindeks

Yang dapat diakses dengan pengalamatan berindeks hanya memori program. Mode ini dimaksudkan untuk membaca tabel look-up tabel program.

2.7.2.8.4. Konstanta Immediate

Pengalamatan langsung dilakukan dengan memberikan nilai ke suatu register secara langsung dengan menggunakan tanda #.

Contoh : `mov a,#100h`

2.8. LCD

Liquid Crystal Display atau LCD merupakan komponen optoelektronik yaitu komponen yang bekerja atau dipengaruhi oleh sinar (optolistrik), komponen pembangkit cahaya (*light emitting*) dan komponen-komponen yang akan

mengubah sinar. LCD terbuat dari bahan kristal cair yang merupakan suatu komponen organik dan mempunyai sifat optik seperti benda padat meskipun bahan tetap cair.

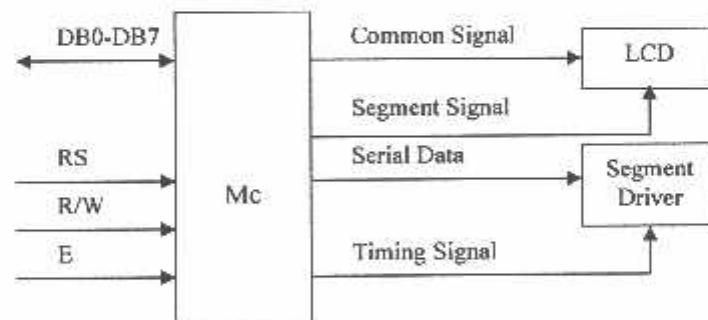
Sel kristal cair terdiri dari selapis bahan kristal cair yang diapit antara dua kaca tipis yang transparan. Antara dua lembar kaca tersebut diberi bahan kristal cair (*liquid crystal*) yang tembus cahaya. Permukaan luar dari masing-masing keping kaca mempunyai lapisan penghantar tembus cahaya seperti oksida timah (*tin oxide*) atau oksida indium (*indium oxide*). Sel mempunyai ketebalan sekitar 1×10^{-5} meter dan diisi dengan kristal cair.

Karena sel-sel kristal cair merefleksikan cahaya dan bukan membangkitkan cahaya maka konsumsi daya yang dibutuhkan relatif rendah. Energi yang dipergunakan hanya untuk mengaktifkan kristal cair. Pada dasarnya LCD bekerja pada tegangan rendah (3 – 15 Vrms), frekuensi rendah (25 – 60 Hz) sinyal AC dan memakai arus listrik yang sangat kecil (25 - 300 μ A). LCD seringkali ditata sebagai tampilan *seven segment* untuk menampilkan angka tetapi juga memiliki keistimewaan lain, yaitu kemampuan untuk menampilkan karakter dan berbagai macam simbol.

Salah satu jenis LCD diantaranya adalah LCD M1632, suatu jenis piranti dengan konsumsi daya yang rendah, disusun dari dot matrik dan dikontrol oleh ROM atau RAM generator karakter dan RAM data display. Pengontrolan utamanya adalah pada ROM generator dan display data RAM yang menghasilkan kode ASCII jika padanya diberikan *input* ASCII. Untuk dapat difungsikan dengan baik maka perlu diperhatikan proses analisis yang telah ditentukan oleh pabrik

pembuatnya. Timing penganalisan sangat dipertimbangkan, karena jika meleset sampai ordo *milisecon* maka dapat dipastikan LCD tidak dapat berfungsi.

LCD Display Module M1632 buatan Seiko Instrument Inc. ini terdiri dari dua bagian, yang pertama merupakan panel LCD sebagai media penampil informasi dalam bentuk huruf/angka dua baris, masing-masing baris bisa menampung 16 huruf/angka. Bagian kedua merupakan sebuah sistem yang dibentuk dengan mikrokontroler yang ditempelkan dibalik pada panel LCD, berfungsi mengatur tampilan informasi serta berfungsi mengatur komunikasi M1632 dengan mikrokontroler yang memakai tampilan LCD itu. Dengan demikian pemakaian M1632 menjadi sederhana, sistem lain yang M1632 cukup mengirimkan kode-kode ASCII dari informasi yang ditampilkan seperti layaknya memakai sebuah printer.



Gambar 2.15. Blok Diagram LCD

Adapun karakteristik dari LCD M1632 antara lain :

- Dengan 16 karakter – 2 baris dalam bentuk dotmatrik 5x7 dan cursor
- *Duty ratio* 1/16
- Memiliki ROM pembangkitan karakter untuk 192 jenis karakter
- RAM untuk data display sebanyak 80x8 *bit*

- Dapat dirangkai dengan MPU 8 bit/4 bit
- RAM data display dan RAM pembangkit karakter dapat dibaca oleh MPU
- Memiliki fungsi instruksi antara lain *display on/off*, *Cursor on/off*, *display karakter blink*, *cursor shift* dan *display shift*
- Memiliki rangkaian osilator sendiri
- Catu tegangan tunggal yaitu ± 5 V
- Memiliki rangkaian *reset* otomatis pada catu daya yang dihidupkan
- Temperatur operasi $0^{\circ} - 50^{\circ}$

LCD memiliki 16 pin, masing-masing memiliki fungsi sebagai berikut :

Tabel 2.5. Fungsi Tiap Pin LCD

No. Pin	Symbol	Level	Fungsi	
1	V _{SS}	-	Power Supply	0 V (GND)
2	V _{CC}	-		5 V \pm 10%
3	V _{EE}	-		For LCD Drive
4	RS	H/L	Sinyal seleksi <i>register</i> H ; Data <i>Input</i> [<i>register data (write/read)</i>] L ; Instruction <i>Input</i> [<i>register instruksi (write)</i>], <i>busy flag</i> dan <i>address counter (read)</i>	
5	R/W	H/L	H ; <i>Read</i> L ; <i>Write</i>	
6	E	H	<i>Enable</i> Signal [sinyal penanda mulai operasi, aktif saat operasi <i>write</i> atau <i>read</i>]	
7	DB0	H/L	4 bit bus data lower 2 arah, dapat dibaca atau ditulis terhadap mikrokontroler	
8	DB1	H/L		
9	DB2	H/L		
10	DB3	H/L		
11	DB4	H/L	4 bit bus data upper 2 arah, dapat dibaca atau ditulis terhadap mikrokontroler, DB7 juga sebagai <i>busy flag</i>	
12	DB5	H/L		
13	DB6	H/L		
14	DB7	H/L		
15	V+BL	-	Back Light Supply	4 - 4,2 V 50 - 200 mA
16	V-BL	-		0 V (GND)

2..8.1. Instruksi Operasi

Tabel 2.6. Instruksi Pada LCD

Instruksi	RS	RW	D7	D6	D5	D4	D3	D2	D1	D0
Display Clear	0	0	0	0	0	0	0	0	0	1
Cursor Home	0	0	0	0	0	0	0	0	1	*
Entry Mode Set	0	0	0	0	0	0	0	1	I/D	S
Display On/Off	0	0	0	0	0	0	1	D	C	B
Cursor Display Shift	0	0	0	0	0	1	S/C	R/L	*	*
Function Set	0	0	0	0	i	DL	1	*	*	*
CG RAM Address Set	0	0	0	1	A_{CG}					
DD RAM Address Set	0	0	1	A_{DD}						
BF/Address Read	0	1	BF	AC						
Data Write to CG RAM	1	0	Write Data							
Data Read from CG RAM	1	1	Read Data							

*Invalid Bit

A_{CG} ; CG RAM Address dan A_{DD}

DD RAM Address

Pada LCD juga terdapat instruksi – instruksi sebagai berikut :

1. Display clear

Membersihkan tampilan yang ada pada LCD serta menyimpan, sedangkan kursor kembali ke posisi semula.

2. Cursor home

Hanya membersihkan tampilan dan kursor kembali ke semula.

3. Empty Mode Set : layar beraksi sebagai tampilan tulis.

S : 1/0 = menggeser layar.

1/0 : 1 = kursor bergerak ke kanan dan layar bergerak ke kiri.

1/0 : 0 = kursor bergerak ke kiri dan layar bergerak ke kanan

4. Display On/Off Control.

D : 1 = layar on

D : 0 = layar off

C : 1 – kursor on

C : 0 = kursor *off*

B : 1 = kursor berkedip-kedip

B : 0 = kursor tidak berkedip – kedip

5. *Cursor Display Shift*

S/C : 1 = LCD diidentifikasi sebagai layar

S/C : 0 = LCD diidentifikasi sebagai kursor

R/L : 1 = menggeser satu spasi ke kanan

R/L : 0 = menggeser satu spasi ke kiri

6. *Fuction Set*

DL : 1 = panjang data LCD pada 8 *bit*

DL : 0 = panjang data LCD pada 4 *bit*

Bit upper ditransfer terlebih dahulu kemudian diikuti dengan 4 *bit lower*.

N : 1/0 = LCD menggunakan 2 atau 1 baris karakter

P : 1/0 = LCD menggunakan 5 x 10 dot matrik

7. CG RAM *address set* : menulis alamat RAM ke karakter

8. DD RAM *address set* : menulis alamat RAM ke tampilan

9. BF/*address set* : BF = 1/0, LCD dalam keadaan sibuk atau tidak sibuk.

10. *Data write to CG RAM or DD RAM* : membaca *hyre* dari alamat terakhir RAM yang dipilih.

2.8.2. Operasi Dasar

- *Register*

Kontrol dari LCD memiliki 2 buah *register 8 bit* yaitu *register* instruksi (IR) dan *register* data (DR). IR memiliki instruksi seperti *display*, *clear*, *cursor shift* dan *display data* (DD RAM) serta *karakter* (CG RAM). DR menyimpan data untuk ditulis ke DD RAM ataupun membaca data dari DD RAM dan CG RAM. Ketika data ditulis ke DD RAM atau CG RAM maka DR secara otomatis menulis data ke DD RAM atau CG RAM. Ketika data pada CG RAM atau DD RAM akan dibaca maka alamat data ditulis pada IR. Sedangkan data akan dimasukkan melalui DR sehingga dapat dibaca oleh mikrokontroler.

Tabel 2.7. Pemilihan Register Pada LCD ^[13]

RS	RW	Operasi
0	0	Seleksi IR, IR <i>Write Display Clear</i>
0	1	<i>Busy Flag</i> (DB7), <i>@ Counter</i> (DB0-DB7) <i>Read</i>
1	0	Seleksi DR, DR <i>Write</i>
1	1	Seleksi DR, DR <i>Read</i>

- *Busy Flag*

Busy Flag menunjukkan bahwa modul siap untuk menerima instruksi selanjutnya sebagaimana terlihat pada tabel diatas. *Register* seleksi sinyal akan melalui DB7 jika RS=0 dan R/W=1. Jika bernilai 1 maka sedang melakukan kerja *internal* dan instruksi tidak akan dapat diterima, oleh karena itu status dari *flag* harus diperiksa sebelum melaksanakan instruksi selanjutnya.

- *Address Counter (AC)*

AC menunjukkan lokasi memori dalam modul LCD. Pemilihan lokasi alamat lewat Ac diberikan lewat *register* instruksi (IR) ketika data pada A, maka AC secara otomatis menaikkan atau menurunkan alamat tergantung dari *Entry Mode Set*.

- *Display Data RAM*

Pada LCD, masing-masing *line* memiliki *range* alamat tersendiri. Alamat itu diekspresikan dengan bilangan hexadesimal. Untuk *line* 1 *range* alamat berkisar antara 40_H-4F_H.

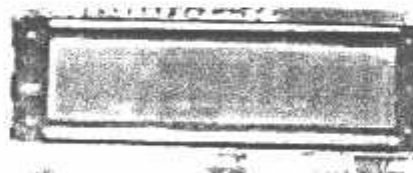
- *Character Generator ROM (CG ROM)*

CG ROM memiliki tipe dot matrik 5x7, dimana pada LCD telah tersedia ROM sebagai pembangkit karakter dalam kode ASCII.

- *Character Generator RAM (CG RAM)*

CG RAM dipakai untuk pembuatan karakter tersendiri melalui program.

Adapun bentuk fisik dari LCD M1632 adalah pada gambar berikut :



Gambar 2.16. Liquid Crystal Display

2.8.3. Sinyal *Interface* M1632

Untuk berhubungan dengan mikrokontroler pemakai, M1632 dilengkapi dengan 8 jalur data (DB0 - DB7) yang dipakai untuk menyalurkan kode ASCII

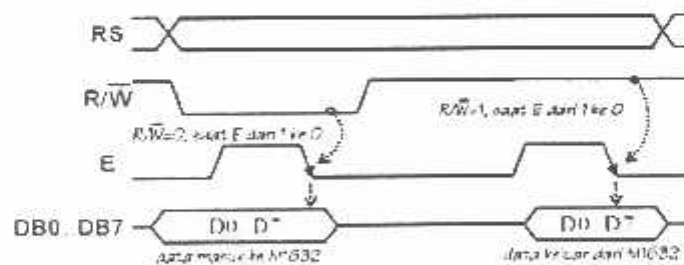
maupun perintah pengatur kerjanya M1632. Selain itu dilengkapi pula dengan E, R/W dan RS seperti layaknya komponen yang kompatibel dengan mikroprosesor.

Kombinasi lainnya E dan $\overline{R/W}$ merupakan sinyal standar pada komponen buatan Motorola. Sebaliknya sinyal-sinyal dari MCS51 merupakan sinyal khas Intel dengan kombinasi sinyal WR dan RD.

RS, singkatan dari *Register Select*, dipakai untuk membedakan jenis data yang dikirim ke M1632, kalau RS=0 data yang dikirim adalah perintah untuk mengatur kerja M1632, sebaliknya kalau RS=1 data yang dikirim adalah kode ASCII yang ditampilkan.

Demikian pula saat pengambilan data, saat RS=0 data yang diambil dari M1632 merupakan data status yang mewakili aktivitas M1632, dan saat RS=1 maka data yang diambil merupakan kode ASCII dari data yang ditampilkan.

Proses mengirim/mengambil data ke/dari M1632 bisa dijabarkan sebagai berikut :



Gambar 2.17 Mengirim/Mengambil Data Ke/Dari M1632

1. RS harus dipersiapkan dulu, untuk menentukan jenis data seperti yang telah dibicarakan di atas.

2. R/\overline{W} di-nol-kan untuk menandakan akan diadakan pengiriman data ke M1632. Data yang akan dikirim disiapkan di DB0..DB7, sesaat kemudian sinyal E di-satu-kan dan di-nol-kan kembali. Sinyal E merupakan sinyal sinkronisasi, saat E berubah dari 1 menjadi 0 data di DB0 .. DB7 diterima oleh M1632.
 3. Untuk mengambil data dari M1632 sinyal R/\overline{W} di-satu-kan, menyusul sinyal E di-satu-kan. Pada saat E menjadi 1, M1632 akan meletakkan datanya di DB0 .. DB7, data ini harus diambil sebelum sinyal E di-nol-kan kembali.
-

BAB III

PERENCANAAN DAN PEMBUATAN ALAT

3.1 Pendahuluan

Pada bab ini akan dibahas perencanaan dan pembuatan Alat Pengukur Kadar Laktosa pada Susu Murni. Perencanaan dan pembuatan alat ini meliputi sensor fotodiode, ADC, Mikrokontroler AT89C2051, dan LCD sebagai tampilan.

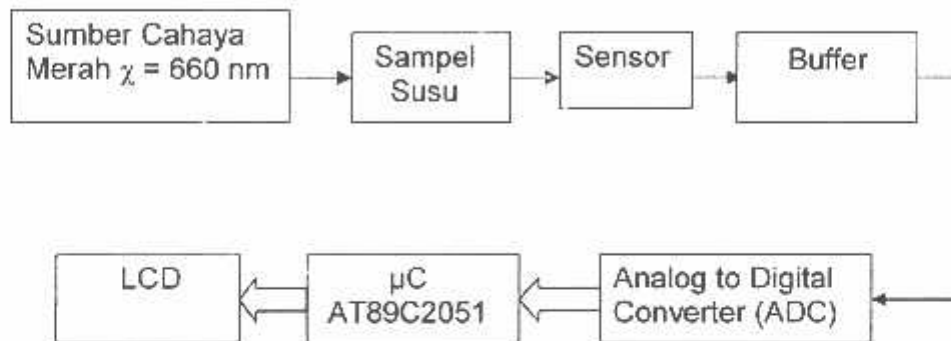
Spesifikasi rangkaian secara global ditetapkan terlebih dahulu sebagai acuan dalam perancangan selanjutnya. Spesifikasi sistem yang direncanakan adalah sebagai berikut :

- Pendeteksian kadar laktosa pada susu murni didasarkan pada intensitas cahaya setelah melewati sampel susu.
- Jangkauan pendeteksian adalah antara 0,6 % – 8 %.
- Kalibrasi alat ini dilakukan dengan cara membandingkan antara keluaran alat dengan hasil pengujian pada Laboratorium Kimia Universitas Muhammadiyah Malang.

Adapun diagram blok rangkaian Alat Pengatur Kadar Laktosa pada Susu Murni ditunjukkan dalam Gambar 3.1. Berdasarkan diagram blok rangkaian yang ditunjukkan dalam Gambar 3.1 maka peralatan yang dirancang dibagi dalam beberapa bagian yaitu :

- Rangkaian sensor yang terdiri dari rangkaian sumber cahaya dan rangkaian penerima.
- Rangkaian ADC.

- Rangkaian Mikrokontroller AT89C2051
- Rangkaian penampil.



Gambar 3.1 Blok Diagram Sistem secara keseluruhan

Prinsip kerjanya yaitu :

- Sumber cahaya menghasilkan cahaya yang sesuai dengan spektrum warna laktosa yaitu warna merah dengan panjang gelombang 660 nm. Cahaya tersebut selanjutnya akan diteruskan oleh sampel yang berisi susu sehingga diterima oleh sensor fotodiode.
- Sensor fotodiode mengubah besaran cahaya menjadi arus. Oleh VR arus diubah menjadi tegangan antara 0 sampai 5 volt dc. Tegangan tersebut selanjutnya dimasukkan ke Buffer dan diteruskan ke ADC.
- ADC akan menghasilkan keluaran data digital yang berfungsi untuk mengakses alamat mikrokontroller AT89C2051 yang telah diisi dengan data kadar laktosa.
- Keluaran Mikrokontroller berupa kadar laktosa selanjutnya ditampilkan oleh LCD.

3.2 Perencanaan dan Pembuatan perangkat Keras

3.2.1. Rangkaian Sumber Cahaya

Rangkaian sumber cahaya menggunakan LED warna merah dengan panjang gelombang 660 nm. LED ini membutuhkan tegangan sebesar 2 V dan arus sebesar 10 mA. Sehingga nilai resistor beban yang digunakan adalah sebesar :

$$V_{CC} = V_{LED} + I_{LED} \cdot R_L \quad (3.1)$$

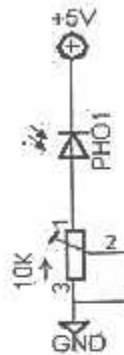
$$R_L = \frac{V_{CC} - V_{LED}}{I_{LED}} = \frac{5 - 2}{10 \cdot 10^{-3}} = 300 \Omega$$



Gambar 3.2 Rangkaian sumber cahaya

3.2.2 Rangkaian Penerima Cahaya

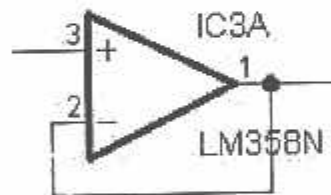
Sensor cahaya yang digunakan adalah fotodioda yang akan menyerap cahaya pada panjang gelombang 660 nm. Sensor ini akan menghasilkan respon berupa arus jika pada katodanya dihubungkan dengan dengan tegangan catu. Sedangkan VR berfungsi untuk mengatur tegangan keluaran dari sensor. Rangkaian fotodioda ditunjukkan dalam gambar 3.3



Gambar 3.3 Rangkaian Sensor Fotodioda

3.2.3 Rangkaian Buffer

Buffer analog berfungsi sebagai penyangga tegangan masukan dari sensor sebelum masuk ke ADC. Tegangan pada kutub non-inverting sama dengan tegangan pada kutub inverting sehingga pada rangkaian buffer ini tegangan masukan sama dengan tegangan keluaran $V_{out} = V_{in}$.



Gambar 3.4 Rangkaian Buffer

3.2.4 Rangkaian ADC

ADC yang digunakan untuk mengkonversi sinyal analog sensor menjadi sinyal digital adalah ADC tipe 0804 yang mempunyai satu jalur masukan sinyal analog yaitu $V_{in}(+)$ untuk tegangan maksimal dan $V_{in}(-)$ untuk tegangan minimal ADC. Tegangan catu ADC adalah sebesar 5 V jadi untuk mendapatkan $V_{in}(+)$ maka pin tersebut dihubungkan dengan tegangan catu dan untuk $V_{in}(-)$ dihubungkan dengan ground. Untuk pin 9 ditentukan tegangan sebesar:

$$\frac{V_{ref}}{2} = \frac{5}{2} = 2,5 \text{ V} \quad (3.2)$$

Nilai resistor-resistor pembagi tegangan untuk $V_{ref}/2$ adalah masing-masing $10 \text{ k}\Omega$. Sedangkan kenaikan tiap langkah untuk kenaikan keluaran biner diperoleh:

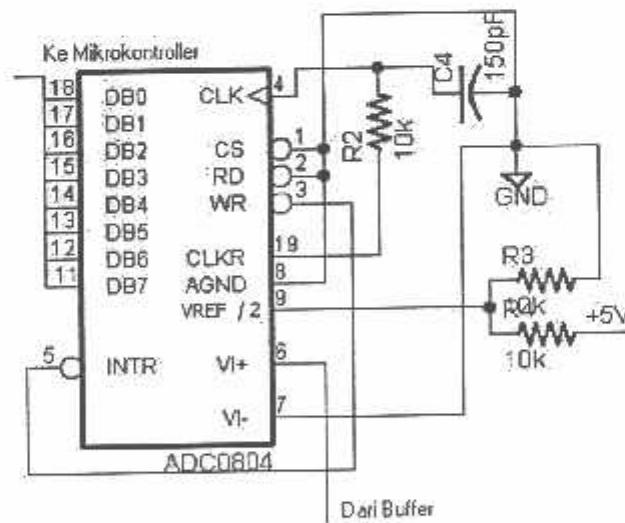
$$V_{step} = \frac{V_{cc}}{2^n - 1} = \frac{5}{256 - 1} = 19,6 \text{ mV} \quad (3.3)$$

Kelebihan dari ADC tipe 0804 adalah adanya pewaktu internal yang dapat dibangkitkan dengan menambahkan RC pada pin 4 dan 19. Dalam *datasheet* dijelaskan bahwa nilai R dan nilai C yang digunakan adalah sebesar 10 k dan 150 pF sehingga frekuensi yang dibangkitkan adalah:

$$f = \frac{1}{1,1RC} \quad (3.4)$$

$$f = \frac{1}{1,1 \cdot 10 \cdot 10^3 \cdot 150 \cdot 10^{-12}} = 606,06 \text{ kHz}$$

Agar dapat dioperasikan terus menerus maka pin CS dan RD dihubungkan dengan ground, sedangkan pin WR dan INTR saling dihubungkan. Rangkaian ADC ditunjukkan dalam Gambar 3.5.



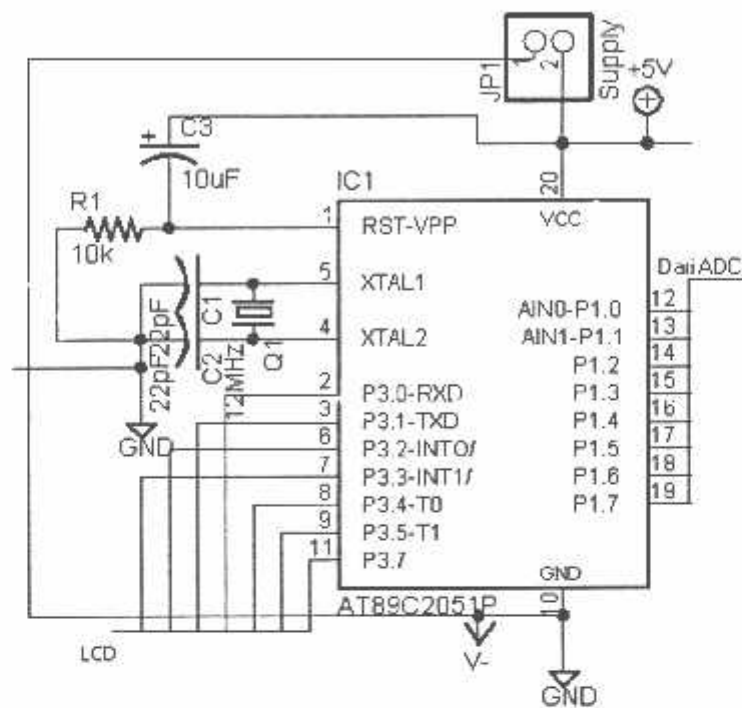
Gambar 3.5 Rangkaian ADC

3.2.5 Sistem Mikrokontroler AT89C2051

Sistem mikrokontroler terdiri atas mikrokontroler dan komponen-komponen pendukung agar sistem dapat berkerjasama dengan optimal. Mikrokontroler AT 89C2051 adalah keluarga MCS-51, membutuhkan daya yang rendah, memiliki performa yang tinggi, dan merupakan mikrokomputer 8 bit yang dilengkapi 2 Kbyte EPROM (Erasable and Programable Read Only Memory) dan 128 RAM byte internal.

Mikrokontroler AT89C2051 akan memproses masukan dan keluaran yang ada pada peralatan ini, pengontrolan tersebut dilakukan melalui pengaktifkan pin-pin atau port yang terdapat didalam mikrokontroler tersebut. Untuk mengaktifkan pin-pin atau port yang terdapat didalam mikrokontroler dilakukan dengan menggunakan perangkat lunak (*software*) yang ditempatkan pada *flash program memori internal* tanpa menggunakan memori program eksternal. Sehingga \overline{EA} (*Eksternal Acces Enable*) yang terdapat pada pin 31 diberi logika tinggi.

Perancangan mikrokontroler AT89C2051 dapat dilihat dalam gambar berikut :



Gambar 3.6 Perencanaan Rangkaian Mikrokontroler AT89C2051

Port-port yang digunakan dalam sistem adalah:

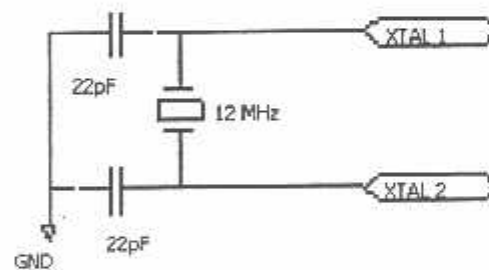
- Pin 12-19 (P1.0 – P1.7) digunakan sebagai masukan dari ADC.
- Pin 2,3,6,7 (P3.0 – P3.3) digunakan sebagai port data pada LCD yang menggunakan interface data 4Bit..
- Pin 8-11 (P3.4 – P3.7) digunakan sebagai pin kontrol (RS,RW,E) bagi LCD
- Pin 5, 4 (XTAL1 dan XTAL2) digunakan untuk *clock*.
- Pin 1 (*RESET*), *reset* aktif tinggi yang terhubung dengan rangkaian *power on reset* dan jika diaktifkan akan *mereset* mikrokontroler.
- Pin 10 (GND) digunakan sebagai *ground*.
- Pin 20 (Vcc) digunakan sebagai tegangan sumber.

3.2.5.i. Rangkaian *Clock*

Kecepatan proses yang diperlukan oleh mikrokontroler ditentukan oleh sumber *clock* yang mengendalikan mikrokontroler tersebut. Mikrokontroler AT89C2051 memiliki internal *clock* generator yang berfungsi sebagai sumber *clock* yang diperlukan. Untuk sistem *clock*nya dipasang kristal dan resonator keramik yang berfungsi sebagai pembangkit *clock* osilator yang ada pada mikrokontroler.

Rangkaian ini terdiri dari dua buah kapasitor dan sebuah kristal. Untuk mengendalikan frekuensi osilatornya cukup dengan menghubungkan kristal pada pin 5 (XTAL1) dan pin 4 (XTAL2) serta dua buah kapasitor ke *ground*.

Dalam minimum sistem ini menggunakan kristal 12 Mhz dan C1=C2 sebesar 22 pF. Dengan rangkaian sebagai berikut :



Gambar 3.7 Perencanaan Rangkaian *Clock* pada Mikrokontroler AT89C2051

Dengan menggunakan nilai kristal dan kapasitor diatas maka dapat dihitung waktu yang diperlukan untuk satu siklus mesin.

Diketahui : $F = 12 \text{ Mhz}$

$$T = \frac{1}{f} \quad (3-5)$$

Sehingga :

$$T = \frac{1}{12\text{Mhz}} = \frac{1}{12} \mu\text{s}$$

Maka untuk satu siklus mesin dari mikrokontroler AT89C2051 adalah sebesar :

$$T_m = 12 \times T \quad (3.6)$$

$$T_m = 12 \times \frac{1}{12} \mu\text{s} = 1 \mu\text{s}$$

$$T_m = 1 \mu\text{s}$$

3.2.5.2. Rangkaian *Reset*

Rangkaian *reset* dalam mikrokontroler AT89C2051 akan melakukan *reset* setelah catu daya dihidupkan. Pada saat kondisi *reset* maka faktor *reset* pada alamat 0000H akan dituju oleh mikrokontroler AT89C2051 (dalam hal ini program *counter*) agar program yang terdapat didalam mikrokontroler kembali ke kondisi semula atau dengan kata lain mikrokontroler mengakses awal dari program yang telah diisi didalamnya. Untuk *mereset* mikrokontroler AT89C2051, maka pin *RESET* diberi logika tinggi selama sekurangnya dua siklus mesin (24 periode osilator). Untuk membangkitkan sinyal *reset*, kapasitor dihubungkan dengan V_{CC} dan sebuah resistor yang dihubungkan ke *ground*. Besarnya nilai tahanan dan kapasitor pada rangkaian *reset* akan menentukan lamanya waktu pulsa *reset*.

Rangkaian ini terbentuk oleh komponen R dan C yang sudah ditetapkan oleh ATMEL. Nilai R yang dipakai adalah 10 K Ω dan untuk C sebesar 10 μ F.

$$F_o = \frac{1}{1,1 \cdot RC} \quad (3-7)$$

$$F_0 = \frac{1}{1,1 \cdot 10^3 \cdot 10 \cdot 10^{-6}}$$

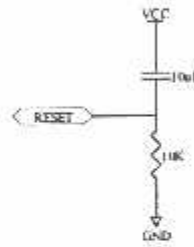
$$F_0 = 90,9 \text{ Hz.}$$

Maka periode *clock* = $\frac{1}{F}$

$$T = \frac{1}{90,9}$$

$$T = 0,011 \text{ detik}$$

Rangkaian *reset* ditunjukkan dalam gambar dibawah ini sebagai berikut :

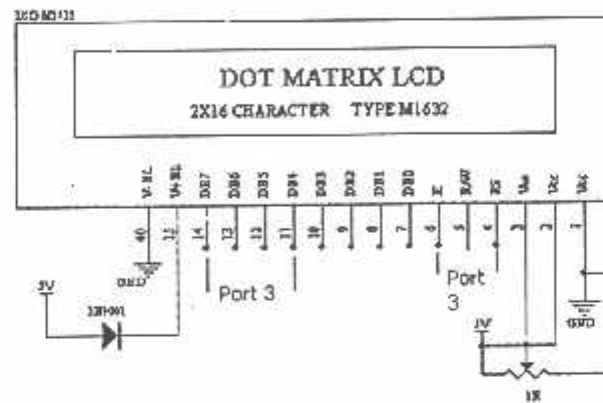


Gambar 3.8 Perencanaan Rangkaian *Reset* pada Mikrokontroler AT89C2051

3.2.6. LCD

LCD (*Liquid Crystal Display*) digunakan sebagai tampilan kadar laktosa pada susu. Sinyal-sinyal yang dipergunakan oleh LCD adalah data bus, RS, R/W dan E. Dihubungkan ke P3.4,P3.5,P3.7 Sinyal E digunakan untuk mengaktifkan LCD. LCD akan aktif jika mikrokontroler memberikan instruksi tulis pada alamat LCD. Sedangkan P1.0 dipergunakan untuk memberikan sinyal RS yang membedakan data yang diberikan pada LCD. Sinyal RS diberikan ke LCD untuk membedakan sinyal antara instruksi program atau instruksi penulisan data. Untuk pin R/W akan berlogika *low* (0) apabila dihubungkan dengan *ground* maka LCD

difungsikan hanya untuk menuliskan program atau data ke display. Untuk mengambil data dari mikrokontroler maka pin data DB0-DB7 dari IC ini dihubungkan dengan P3.0 – P3.7 yang merupakan pin data dari mikrokontroler.



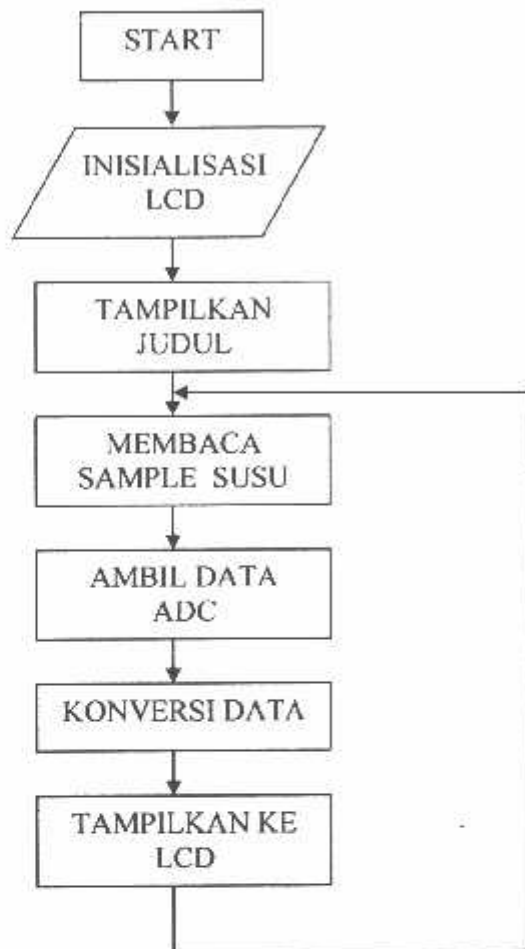
Gambar 3.9. Perencanaan Rangkaian Display LCD

3.3 Perencanaan Perangkat Lunak

Perancangan perangkat lunak diperlukan untuk menjalankan sistem sesuai yang kita harapkan. Untuk pemakaian mikrokontroler didalam suatu sistem, perlu direncanakan perangkat lunak yang dapat mengatur sistem tersebut. Perangkat lunak disini adalah susunan perintah-perintah (program) didalam memori yang harus dilaksanakan oleh mikrokontroler.

Dalam mikrokontroler memori merupakan fasilitas utama karena disinilah disimpan perintah-perintah yang harus dikerjakan. Memori disini dapat dibedakan menurut fungsinya menjadi memori program dan memori data. Menurut letaknya memori dapat dibedakan menjadi memori dalam dan memori luar. Memori dalam adalah memori yang disediakan didalam mikrokontroler itu sendiri. Memori luar adalah memori tambahan dari luar mikrokontroler. Memori

ini diberikan bila memori didalam mikrokontroler tidak mencukupi untuk menampung semua program dan data. Perencanaan perangkat lunak (*software*) didasarkan perencanaan perangkat keras yang telah dibuat sebelumnya, untuk mendapatkan sistem kerja yang diharapkan.



Gambar 3.10. Flowchart

BAB IV

PENGUJIAN ALAT DAN PEMBAHASAN HASIL

Pada bab ini akan dijelaskan mengenai hasil pengujian alat pada tiap-tiap blok yang meliputi blok sensor, rangkaian ADC, dan rangkaian penampil. Selain itu dijelaskan pengujian alat secara keseluruhan. Pengujian alat ini perlu untuk dilakukan untuk mendapatkan hasil pengukuran serta kerja alat sesuai dengan yang diharapkan.

1.1. Pengujian Respon sensor

4.1.1 Tujuan

Pengujian ini bertujuan untuk mengetahui kemampuan sensor dalam mendeteksi adanya perbedaan intensitas cahaya setelah melewati sampel susu dengan berbagai kadar laktosa.

4.1.2. Peralatan Yang Digunakan

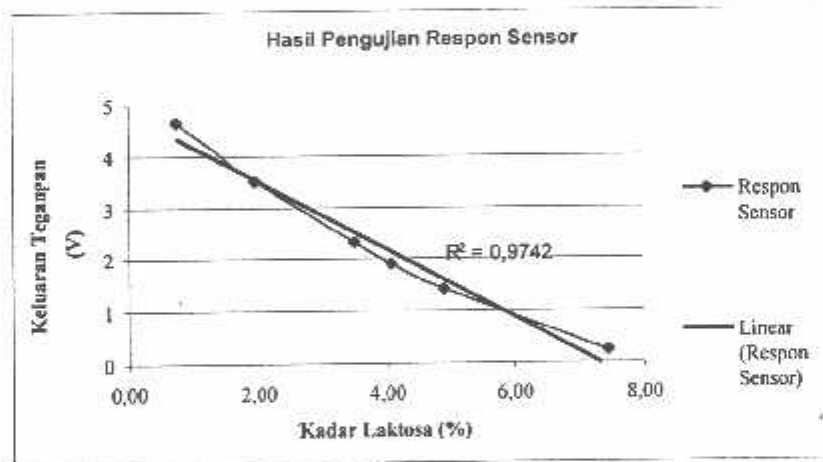
- Catu Daya
- Rangkaian Pengujian LED dan Sensor
- Multimeter
- Kabel Jepit Buaya

4.1.3. Hasil Pengujian

Dari hasil pengujian diperoleh data keluaran tegangan dari rangkaian buffer analog yang ditunjukkan dalam Tabel 4.1.

Tabel 4.1 Hasil Pengujian Respon Sensor

Sampel Susu	Keluaran Tegangan (V)	Kadar Laktosa Hasil Pengukuran Laboratorium (%)
1	0,234	7,43
2	1,431	4,90
3	1,921	4,08
4	2,313	3,49
5	3,509	1,95
6	4,665	0,73



Gambar 4.1 Grafik Keluaran Respon Sensor

4.1.4. Kesimpulan

Dari hasil pengujian didapatkan bahwa perubahan tegangan keluaran dari rangkaian buffer terhadap perubahan kadar laktosa adalah mendekati linier.

4.2 Pengujian Rangkaian ADC

4.2.1. Tujuan

Pengujian ini bertujuan untuk mengetahui kemampuan ADC dalam

mengkonversi sinyal untuk selanjutnya dibandingkan hasilnya berdasarkan perhitungan untuk dicari prosentase kesalahannya.

4.2.2. Peralatan Yang Digunakan

- Catu daya
- Rangkaian Pengujian ADC 0804
- Project Board
- LED

4.2.3. Hasil Pengujian

Dari hasil pengujian rangkaian ADC diperoleh data yang ditunjukkan dalam Tabel 4.2.

Tabel 4.2 Hasil Pengujian ADC

No	Vin	Perhitungan								Nilai	Pengujian								Nilai	% Kesalahan		
		7	6	5	4	3	2	1	0		7	6	5	4	3	2	1	0				
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
2	0.5	0	0	0	1	1	0	1	0	26	0	0	0	1	1	0	1	0	26	0	0	0
3	1	0	0	1	1	0	0	1	1	51	0	0	1	1	0	0	1	1	51	0	0	0
4	1.5	0	1	0	0	1	1	0	1	77	0	1	0	0	1	1	0	1	77	0	0	0
5	2	0	1	1	0	0	1	1	0	102	0	1	1	0	0	1	1	0	103	0.9	0	0
6	2.5	1	0	0	0	0	0	0	0	128	1	0	0	0	0	0	0	0	128	0	0	0
7	3	1	0	0	1	1	0	0	1	153	1	0	0	1	1	0	1	0	154	0.65	0	0
8	3.5	1	0	1	1	0	0	1	1	179	1	0	1	1	0	0	1	1	179	0	0	0
9	4	1	1	0	0	1	1	0	0	204	1	1	0	0	1	1	0	0	204	0	0	0
10	4.5	1	1	1	0	0	1	1	0	230	1	1	1	0	0	1	0	1	229	0.43	0	0
11	5	1	1	1	1	1	1	1	1	255	1	1	1	1	1	1	1	1	255	0	0	0
Kesalahan Rata-rata																				0.18		

Prosentase kesalahan antara hasil pengujian dan hasil perhitungan dapat dihitung dengan persamaan:

$$\% \text{ kesalahan} = \left| \frac{\text{pengukuran} - \text{perhitungan}}{\text{perhitungan}} \right| \times 100\% \quad (4.1)$$

4.2.4. Kesimpulan

Pada saat tegangan sebesar 0 volt semua LED mati dan pada saat tegangan 5 volt semua LED menyala. Dari Tabel 4.2 juga dapat dilihat bahwa kesalahan terbesar adalah 0,9%. Hasil pengujian rangkaian ADC menunjukkan kesalahan rata-rata sebesar 0,18%.

4.3 Pengujian Rangkaian Mikrokontroller

4.3.1. Tujuan

Pengujian ini bertujuan untuk mengetahui kesesuaian alamat yang ditunjuk dengan data yang telah diisikan ke dalam Mikrokontroller.

4.3.2. Peralatan Yang Digunakan

- Catu daya
- Rangkaian Pengujian Mikrokontroller
- LED
- Switch Button

4.3.3. Hasil Pengujian

Dari hasil pengujian rangkaian Mikrokontroler diperoleh data yang ditunjukkan dalam Tabel 4.3.

Tabel 4.3 Hasil Pengujian Rangkaian Mikrokontroller

No	Alamat Memori	Data Isian	Data Keluaran
1	12	73	73
2	33	61	61
3	4A	53	53
4	6A	43	43
5	8B	34	34
6	A3	27	27
7	B9	21	21
8	C7	17	17

4.3.4. Kesimpulan

Dari Tabel 4.3 dapat dilihat bahwa data keluaran sesuai dengan data masukan sehingga dapat disimpulkan bahwa rangkaian Mikrokontroler telah bekerja dengan baik.

4.4. Pengujian Rangkaian Keseluruhan

Dilakukan dengan cara menggabungkan semua bagian pada blok diagram termasuk perangkat lunak yang telah dibuat. Pengujian ini bertujuan untuk mengetahui kemampuan sistem yang telah dibuat dalam pengukuran kadar laktosa pada susu murni apakah semua system dapat berjalan, sesuai dengan perencanaan. Pengujian ini dibandingkan dengan data pengukuran kadar laktosa hasil pengukuran laboratorium. Dari hasil pengujian diperoleh data yang ditunjukkan dalam Tabel 4.4.

Tabel 4.4 Hasil Pengujian Keluaran Alat

Sampel Susu	Kadar Laktosa Hasil Keluaran Alat	Kadar Laktosa Hasil Pengukuran Laboratorium (%)	Persentase Kesalahan
1	7,4	7,43	0,404
2	4,9	4,90	0,000
3	4,1	4,08	0,416
4	3,5	3,49	0,200
5	2,0	1,95	2,407
6	0,7	0,73	4,502
Kesalahan rata-rata			1,323

Prosentase kesalahan antara hasil pengujian dan hasil perhitungan dapat dihitung dengan persamaan 4.1. Dari Tabel 4.4 dapat dilihat bahwa kesalahan terbesar adalah 4,502 %. Hasil pengujian alat menunjukkan kesalahan rata-rata sebesar 1,323 %. Adanya kesalahan pengukuran kadar laktosa ini dapat disebabkan karena penyimpangan yang terjadi pada rangkaian sensor maupun kesalahan pengkonversian oleh rangkaian ADC.

Untuk pengkalibrasian alat dilakukan dengan cara membandingkan antara keluaran alat dengan hasil pengujian pada laboratorium. Dari hasil pengujian, jangkauan keluaran sensor untuk pengukuran antara 8 – 0.6 % adalah 28,5 – 49,8 μ A. Dengan mengambil nilai batas atas dan batas bawah kemudian diperoleh data acuan.

BAB V

PENUTUP

5.1 Kesimpulan

Berdasarkan perencanaan alat dan hasil pengujian yang telah dilakukan baik pengujian per blok rangkaian maupun pengujian sistem secara keseluruhan dapat disimpulkan sebagai berikut:

1. Pengukuran kadar laktosa mempunyai jangkauan pengukuran antara 0,6 – 8 %.
2. Mikrokontroller mempunyai kemampuan untuk mengolah data sehingga dapat digunakan untuk pengontrolan pada alat pengukur kadar laktosa pada susu murni.
3. Dari hasil pengujian yang dilakukan pada 6 sampel susu maka error rata-rata yang didapatkan sebesar 1,323%.
4. Kadar laktosa pada susu murni pada waktu pengukuran tergantung pada kondisi susu pada saat diambil.
5. Ukuran alat ini relatif kecil sehingga mudah dibawa kemana-mana dengan power supply yang digunakan berupa 4 buah baterai charge.

5.2. Saran

Dalam pengembangan lebih lanjut perlu diperhatikan hal-hal sebagai berikut:

1. Untuk pengembangan lebih lanjut tidak menutup kemungkinan alat ini Memanfaatkan comparator internal pada Mikrokontroler sebagai ADC sehingga lebih efisien lagi.
 2. Tidak menutup kemungkinan alat ini dapat dikembangkan untuk mengukur kandungan gizi lainnya pada susu murni.
-

DAFTAR PUSTAKA

- S, Wasito, *Vademekum Elektronika*, Edisi Kedua, PT Gramedia Pustaka Utama, Jakarta, 1984.
- Seiko, *Liquid Crystal Display Module M1632 User Manual*, Seiko Instrument Inc, 1987.
- Aksi Agraris Kanisius.1974. *Beternak Sapi Perah*.Kanisius.Yogyakarta
- Astawan, Made. 2005. *Proses UHT: Upaya Penyelamatan Gizi Pada Susu*.
www.waspada-online.com
- Suwodo, Hadiwiyoto.1994. *Pengujian Mutu Susu dan Hasil Olahannya*. Liberty. Yogyakarta
- Bowmaker J.K. and Dartnall H.J.A.1980. Visual pigments of rods and cones in a human retina. www.wikipedia.com
- Walstra and Genes. 2005. *Dairy Chemistry and Phisics*. University of Guelph.
- Tolkheim, Roger L. 1994. *Elektronika Digital*, Jakarta. Erlangga.
- Malvino, Albert Paul, 1996.*Prinsip-Prinsip Elektronika*, Edisi ketiga, Alih bahasa: Hanapi Gunawan, Penerbit Erlangga, Jakarta.
<http://www.atmel.com>.
<http://www.nationalsemiconductor.com>.



INSTITUT TEKNOLOGI NASIONAL MALANG
FAKULTAS TEKNOLOGI INDUSTRI
JURUSAN TEKNIK ELEKTRO S-1
KONSENTRASI ELEKTRONIKA

LEMBAR BIMBINGAN SKRIPSI

Nama Mahasiswa : Simi Subaimi
NIM : 01.17.101
Jurusan : Teknik Elektro S-1
Konsentrasi : Teknik Elektronika
Judul Skripsi : Perencanaan Dan Pembuatan Alat Pengukur Kadar
Laktosa Pasa Susu Murni Menggunakan
Mikrokontroller AT89C2051.
Mulai Bimbingan Skripsi : 15 Agustus 2006
Selesai Bimbingan Skripsi : 15 Februari 2007
Dosen Pembimbing : Ir. Poerwanto, MS
Dengan Nilai : 87

Mengetahui

Ketua Jurusan Teknik Elektro S-1

Ir. F. Yudi Limpraptono, MT

NIPY. 1039500274

Disetujui

Dosen Pembimbing

Ir. Poerwanto, MS



INSTITUT TEKNOLOGI NASIONAL MALANG
FAKULTAS TEKNOLOGI INDUSTRI
JURUSAN TEKNIK ELEKTRO S-1
KONSENTRASI ELEKTRONIKA

LEMBAR BIMBINGAN SKRIPSI

Nama Mahasiswa : Simi Suhaimi
NIM : 01.17.101
Jurusan : Teknik Elektro S-1
Konsentrasi : Teknik Elektronika
Judul Skripsi : Perencanaan Dan Pembuatan Alat Pengukur Kadar
Laktosa Pasa Susu Murni Menggunakan
Mikrokontroller AT89C2051.
Mulai Bimbingan Skripsi : 15 Agustus 2006
Selesai Bimbingan Skripsi : 15 Februari 2007
Dosen Pembimbing II : I Komang Somawirata, ST.MT
Dengan Nilai : 88

Mengetahui

Ketua Jurusan Teknik Elektro S-1

Ir. F. Yudi Limpraptono, MT

NIPY.1039500274

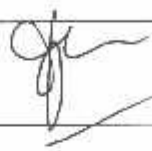
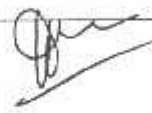
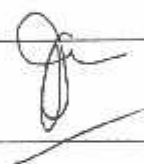

Disetujui

Dosen Pembimbing

I Komang Somawirata, ST.MT

FORMULIR BIMBINGAN SKRIPSI

Nama : Simi Suhaimi
 Nim : 01.17.101
 Masa Bimbingan : 15 Agustus 2006 s/d 15 Februari 2007
 Judul Skripsi : Perencanaan dan Pembuatan Alat Pengukur Kadar Laktosa Pada Susu Menggunakan Mikrokontroller AT89C2051

No.	Tanggal	Uraian	Paraf Pembimbing
1.	01-09-06	Bab I	
2.	-	Rumusan masalah } diperbaiki	
3.	-	Batasan - - }	
4.		Bab II	
5.		Ket. dicantumkan	
6.		Bab III	
7.		Tahapan di bagian hard ware dan soft ware (flow chart)	
8.		Skema kerangka daftaran isi	
9.		Bab I & Bab II	
10.	05-09-06	Bab IV = Kesimpulan & Saran dibaca	




Malang,
 Dosen Pembimbing



Ir. Poerwanto, MS.
 NIP.

FORMULIR BIMBINGAN SKRIPSI

Nama : Simi Suhaimi
 Nim : 01.17.101
 Masa Bimbingan : 15 Agustus 2006 s/d 15 Februari 2007
 Judul Skripsi : Perencanaan dan Pembuatan Alat Pengukur Kadar Laktosa Pada Susu Menggunakan Mikrokontroler AT89C2051

No.	Tanggal	Uraian	Paraf Pembimbing
1.	25/08/06	Bab I & Bab II	
2.	1/09/06	Bab III Rev Gambar & Rangkaian.	
3.	5/09/06	Bab IV & Bab V Rev. data percolan di seruitkan dgn lab.	
4.		- Kalibrasi sensor di utamakan!!!	
5.	20/09/06	SKRIPSI jadi:	
6.		- Dat sheet LCD di tambahkan	
7.		- Di pelajari sistem konversi data dari ADC → LCD	
8.		- penyesuaian volt tegangan out dari sensor.	
9.			
10.			

Malang,
 Dosen Pembimbing



I Komang Somawirata, ST., MT.
 NIP.Y. 1030100361



LEMBAR PERSETUJUAN PERBAIKAN SKRIPSI

Dari hasil ujian skripsi jurusan Teknik Elektro jenjang strata satu (S-1) yang diselenggarakan pada :

Hari : Sabtu
Tanggal : 23 September 2006


Telah dilakukan perbaikan oleh :

Nama : Simi Suhaimi
NIM : 01.17.101
Jurusan : Teknik Elektro S-1
Konsentrasi : Elektronika
Judul Skripsi : Perencanaan dan Pembuatan Alat Pengukur Kadar Laktosa Pada Susu Murni Menggunakan Mikrokontroler AT89C2051.

Perbaikan Meliputi :

No.	Materi Perbaikan	Keterangan
1.	Menghitung lagi error pada table pengujian keluaran alat	J
2.	Cara mengkalibrasi alat	A

Penguji


Setyohadi, MSc.



INSTITUT TEKNOLOGI NASIONAL
FAKULTAS TEKNOLOGI INDUSTRI
JURUSAN TEKNIK ELEKTRO

Formulir Perbaikan Ujian Skripsi

Dalam pelaksanaan Ujian Skripsi Janjang Strata 1 Jurusan Teknik Elektro Konsentrasi T. Energi Listrik / T. Elektronika, maka perlu adanya perbaikan skripsi untuk mahasiswa :

NAMA: Sini Subaini
NIM: 0117101
Perbaikan meliputi

- 1) pd Hal 54 Perhitungan Error motor
udu dititung lagi!
- 2) Cara pengkalibrasian alat, analisisnya!

Malang 23-9-2006



UNIVERSITAS MUHAMMADIYAH MALANG
LABORATORIUM KIMIA

Jl. Raya Tlogomas No. 246 Telp.0341- 464318 Psw. 152 Malang 65144

LAPORAN ANALISIS

No. Surat : 358 /LK-B/IX/2006

Contoh disampaikan oleh pelanggan dengan keterangan sebagai berikut:

Pelanggan : **Simi Suhaimi**
01.17.101
Fakultas Teknik Industri/T Elektronika
Institut Teknologi Nasional - Malang

Jenis Contoh : Gula sukrosa dan Susu skim

Tgl. Penerimaan : 28 Agustus 2006

Analisis/Uji yang diminta : Laktosa

Metode Analisis : *Chloramin T – thiosulfat titrimetri*

Hasil Analisis :

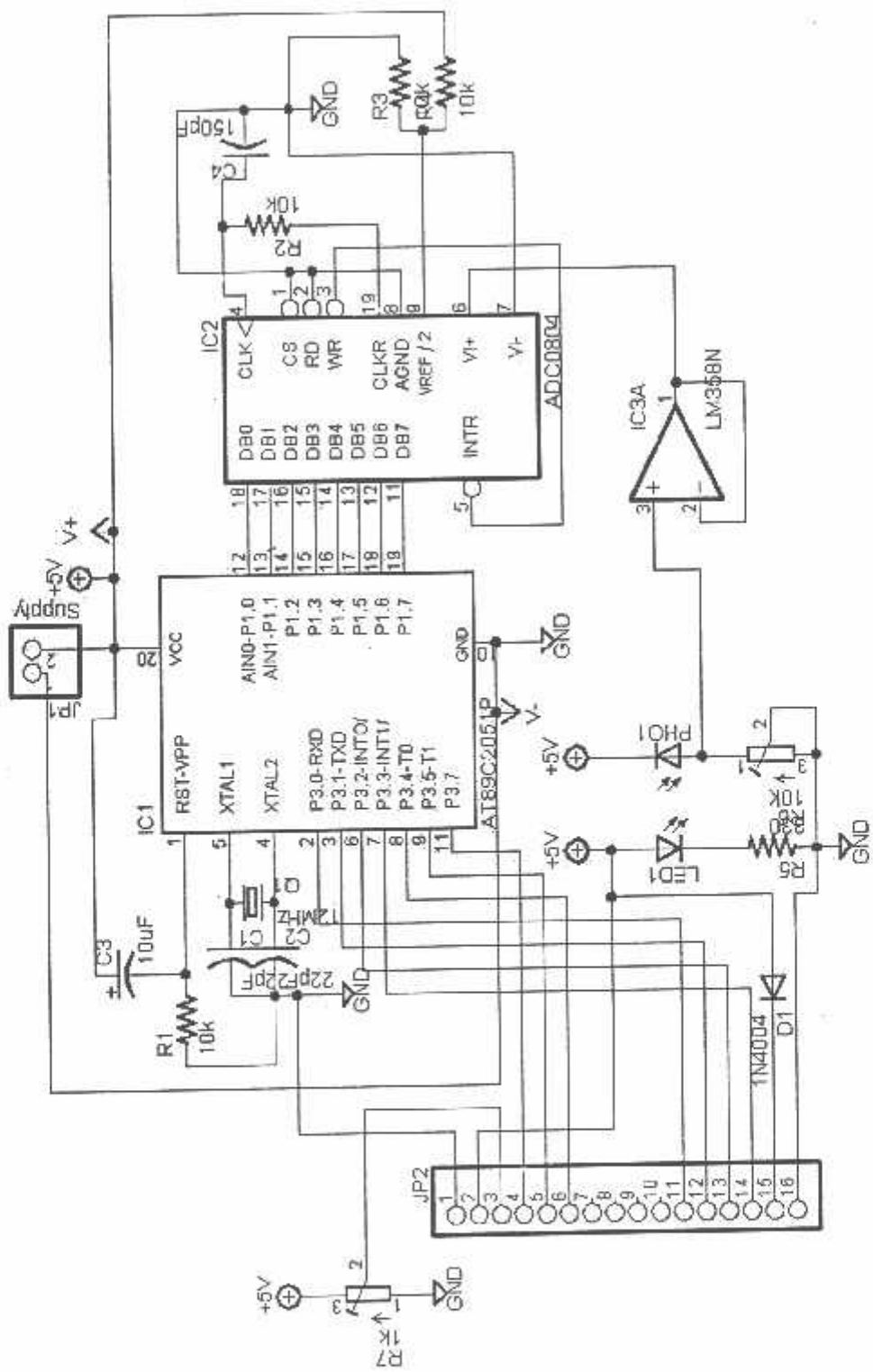
Sampel	Laktosa (%)
I	7.43
II	4.90
III	4.08
IV	3.49
V	1.95
VI	0.73

Malang, 30 Agustus 2006

Kepala Laboratorium



[Signature]
Dra. Rr. Eko Susetyarini, MSi



LISTING PROGRAM

```
;Fungsi - fungsi port
;Port 3.0-3.3 data lcd
;p3.7 RS (1 = data, 0 = instruksi)
;p3.5 R/W (1 = read, 0 = write)
;p3.4 E (enable lcd H to L)
```

```
ORG 0H
LJMP DEF
```

```
;====
;Program Utama
;=====
MAIN:
```

```
    mOV DPTR,#data_lcd4
    call cetak_atas
    mov dptr,#data_lcd5
    call cetak_bawah
    call delay_lama
```

```
    mOV DPTR,#data_lcd6
    call cetak_atas
    mov dptr,#data_lcd7
    call cetak_bawah
    call delay_lama
```

```
    mOV DPTR,#data_lcd8
    call cetak_atas
    mov dptr,#data_lcd9
    call cetak_bawah
    call delay_lama
```

```
    mOV DPTR,#data_lcd10
    call cetak_atas
    mov dptr,#data_lcd11
    call cetak_bawah
    call delay_lama
```

```
    mOV DPTR,#data_lcd2
    call cetak_atas
    mov dptr,#data_lcd3
    call cetak_bawah
    call delay_lama
```

ulang:

```
    mov dptr,#data_lcd
    mov ram_kar,#0c6h
    call kirim_inst
    mov temp,P1
    MOV A,temp
    MOVC A,@A+DPTR
    mov temp4,a
    swap a
    mov temp,a
    anl temp,#0fh
    mov a,temp
    add a,#30h
    mov temp,a
    mov ram_kar,temp
    call cetak_kar
    mov ram_kar,#' '
    call cetak_kar
    anl temp4,#0fh
    mov a,temp4
    add a,#30h
    mov temp4,a
    mov ram_kar,temp4
    call cetak_kar
    MOV ram_delay1,#5
    MOV ram_Delay2,#255
    MOV ram_delay3,#255
    call delay
    ljmp ulang
```

;=====

;Sub Rutin

;=====

;Delay

DELAY:

```
    MOV temp,ram_delay1
```

delay0:

```
    MOV temp2,ram_delay2
```

DELAY1:

```
    MOV temp3,ram_Delay3
```

```
    DJNZ temp3,$
```

```
    DJNZ temp2,DELAY1
```

```
    DJNZ temp,delay0
```

```
    RET
```

```

;Enable lcd
enable_lcd_inst:
    clr p3.7
    MOV ram_delay1,#1

    MOV ram_Delay2,#1
    MOV ram_delay3,#80h
    CLR p3.4
    call delay
    SETB p3.4
    call delay
    CLR p3.4
    call delay
    RET

enable_lcd_data:
    setb p3.7
    MOV ram_delay1,#1
    MOV ram_Delay2,#1
    MOV ram_delay3,#80h
    CLR p3.4
    call delay
    SETB p3.4
    call delay
    CLR p3.4
    call delay
    RET

;cetak karakter
cetak_kar:
    mov temp,ram_kar
    mov a,temp
    swap a
    anl a,#0fh
    anl p3,#0f0h
    orl p3,a
    call enable_lcd_data
    anl p3,#0f0h
    mov a,ram_kar
    anl a,#0fh
    orl p3,a
    call enable_lcd_data
    ret

;kirim instruksi
kirim_inst:
    mov temp,ram_kar

```

```

    mov a,temp
    swap a
    anl a,#0fh
    anl p3,#0f0h
    orl p3,a
    call enable_lcd_inst
    anl p3,#0f0h
    mov a,ram_kar
    anl a,#0fh
    orl p3,a
    call enable_lcd_inst
    ret

```

;konversi

konversi:

```

    mov a,ram_input
    mov r0,#0

```

loop1:

```

    subb a,#100
    inc r0
    jnc loop1
    dec r0
    add a,#100
    mov ram_data1,r0
    mov r0,#0

```

loop2:

```

    subb a,#10
    inc r0
    jnc loop2
    dec r0
    add a,#10
    inc a
    mov ram_data2,r0
    mov ram_data3,a
    ret

```

;cetak_atas

cetak_atas:

```

    mov ram_kar,#80h
    call kirim_inst
    MOV loop,#16

```

while1:

```

    MOV A,#0
    MOVC A,@A+DPTR
    MOV ram_kar,A
    call cetak_kar

```

```

    INC DPTR
    DJNZ loop,while1
    ret

;cetak_bawah
cetak_bawah:
    mov ram_kar,#0c0h
    call kirim_inst
    MOV loop,#16
while2:
    MOV A,#0
    MOVC A,@A+DPTR
    MOV ram_kar,A
    call cetak_kar
    INC DPTR
    DJNZ loop,while2
    ret

;Delay lama
delay_lama:
    MOV ram_delay1,#10
    MOV ram_delay2,#0ffh
    MOV ram_Delay3,#0ffh
    call delay
    ret

;Selesai
selesai:
    LJMP selesai

=====
;Definisi
=====
;definisi sram
DEF:
ram_delay1 data 20h
ram_delay2 data 21h
ram_delay3 data 22h
loop DATA 23h
ram_kar data 24h
ram_data1 data 25h
ram_data2 data 26h
ram_data3 data 27h
ram_input data 28h

temp data 00h
temp2 data 01h
temp3 data 02h

```

LJMP MAIN

;=====

;Segment Data

;=====

Data_adc:

Db 80H,80H,79H,78H,78H,77H,77H,76H,76H,75H,75H,74H,74H,73H,73H,72H
Db 72H,71H,71H,70H,70H,69H,69H,68H,68H,68H,67H,67H,66H,66H,65H,65H
Db 64H,64H,64H,63H,63H,62H,62H,62H,61H,61H,60H,60H,59H,59H,59H,58H
Db 58H,57H,57H,57H,56H,56H,56H,55H,55H,54H,54H,54H,53H,53H,53H,52H
Db 52H,51H,51H,51H,50H,50H,50H,49H,49H,49H,48H,48H,48H,47H,47H,47H
Db 46H,46H,46H,45H,45H,45H,44H,44H,44H,43H,43H,43H,42H,42H,42H,41H
Db 41H,41H,41H,41H,40H,40H,40H,39H,39H,39H,38H,38H,38H,38H,37H,37H
Db 37H,36H,36H,36H,36H,35H,35H,35H,34H,34H,34H,34H,33H,33H,33H,32H
Db 32H,32H,32H,31H,31H,31H,31H,30H,30H,30H,30H,29H,29H,29H,28H,28H
Db 28H,28H,27H,27H,27H,27H,26H,26H,26H,26H,25H,25H,25H,25H,24H,24H
Db 24H,24H,24H,23H,23H,23H,23H,22H,22H,22H,22H,21H,21H,21H,21H,20H
Db 20H,20H,20H,20H,19H,19H,19H,19H,18H,18H,18H,18H,18H,17H,17H,17H
Db 17H,16H,16H,16H,16H,16H,15H,15H,15H,15H,15H,14H,14H,14H,14H,14H
Db 13H,13H,13H,13H,13H,12H,12H,12H,12H,11H,11H,11H,11H,11H,10H,10H
Db 10H,10H,10H,09H,09H,09H,09H,09H,09H,08H,08H,08H,08H,08H,07H,07H
Db 07H,07H,07H,06H,06H,06H,06H,06H,06H,00H,00H,00H,00H,00H,00H,00H

data_lcd2:

db 'Kadar Laktosa '

data_lcd3:

db ' 0,0 '25h, ' '

data_lcd4:

db 'Alat Pengukur '

data_lcd5:

db 'Kadar Laktosa '

data_lcd6:

db ' Pada Susu '

data_lcd7:

db ' Murni '

data_lcd8:

db ' Oleh '

data_lcd9:

db ' Simi Suhaimi '

data_lcd10:

db 'Elektronika - S1'

data_lcd11:

db ' ITN Malang '

end

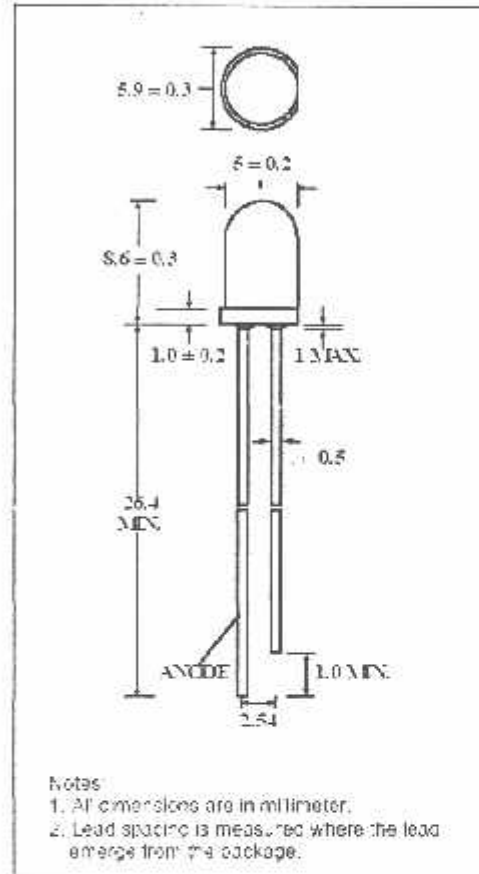
B5-436-30D

DESCRIPTION

- Super bright LED Lamp
- Round type
- T1-3/4 (5mm) diameter
- Lens color: Water Clear
- With Flange
- Solder leads without stand-off

FEATURES

- Emitted color: Super Red
- High Luminous intensity
- Technology: GaAlAs
- Peak wavelength $\lambda_p = 660\text{nm}$
- Viewing angle: 30°



SPECIFICATION OF LED CHIP
B5-436-30D
[RED]

1) Commodity Type and Physical Characteristics.

- | | |
|----------------------|--|
| 1. Material | GaAlAs/GaAlAs(DDH) |
| 2. Electrode | Top Side N (cathode)side :Au Alloy/Al Pad
Bottom Side P (anode)side :Au Alloy |
| 3. Electrode Pattern | Fig.1 |
| 4. Chip Size | Fig.2 |
| 5. Chip Thickness | Fig.2 |
| 6. Emission Area | Fig.2 |

2) Electro-Optical Characteristics (Ta=25°C)

parameters	symbol	condition	min.	typ.	max.	unit
Forward Voltage	Vf	If=20mA		1.9	2.2	V
Reverse Current	Ir	Vr=5V			10	uA
Brightness	Iv	If=20mA	40	60		mcd
Power Intensity	Po	If=20mA	1.5	2.2		mW
Peak Wavelength	λ_p	If=20mA	650	660	670	nm
Spectral Radiation Bandwidth	$\Delta\lambda$	If=20mA		20		nm
Rise Time	tr	If=20mA		100		ns
Fall Time	tf	If=20mA		100		ns

‡ Die shall be mounted on TO=18 gold header without resin coated.

Unit: um)

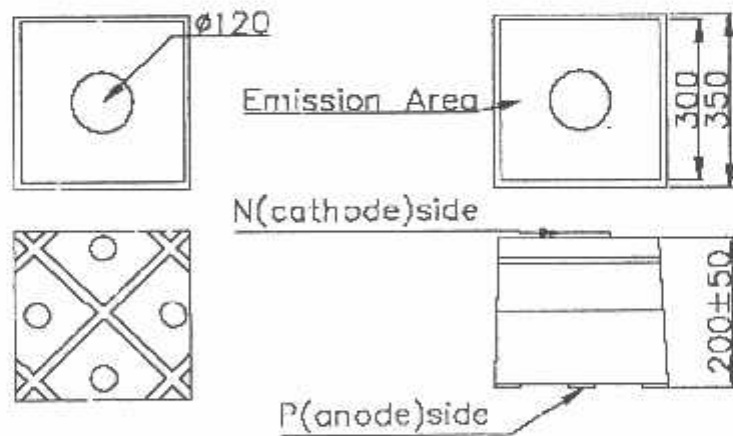


Fig.1 Electrode Pattern

Fig.2 Chip size and Emission Area



8-bit Microcontroller with 2K Bytes Flash

AT89C2051

Features

- Compatible with MCS-51™ Products
- 2K Bytes of Reprogrammable Flash Memory
 - Endurance: 1,000 Write/Erase Cycles
- 2.7V to 6V Operating Range
- Fully Static Operation: 0 Hz to 24 MHz
- Two-level Program Memory Lock
- 128 x 8-bit Internal RAM
- 15 Programmable I/O Lines
- Two 16-bit Timer/Counters
- Six Interrupt Sources
- Programmable Serial UART Channel
- Direct LED Drive Outputs
- On-chip Analog Comparator
- Low-power Idle and Power-down Modes

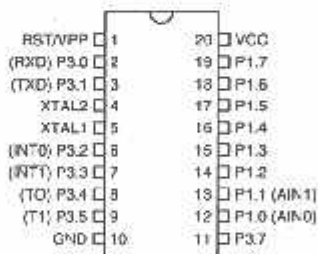
Description

The AT89C2051 is a low-voltage, high-performance CMOS 8-bit microcomputer with 2K bytes of Flash programmable and erasable read only memory (PEROM). The device is manufactured using Atmel's high-density nonvolatile memory technology and is compatible with the industry-standard MCS-51 instruction set. By combining a versatile 8-bit CPU with Flash on a monolithic chip, the Atmel AT89C2051 is a powerful microcomputer which provides a highly-flexible and cost-effective solution to many embedded control applications.

The AT89C2051 provides the following standard features: 2K bytes of Flash, 128 bytes of RAM, 15 I/O lines, two 16-bit timer/counters, a five vector two-level interrupt architecture, a full duplex serial port, a precision analog comparator, on-chip oscillator and clock circuitry. In addition, the AT89C2051 is designed with static logic for operation down to zero frequency and supports two software selectable power saving modes. The Idle Mode stops the CPU while allowing the RAM, timer/counters, serial port and interrupt system to continue functioning. The power-down mode saves the RAM contents but freezes the oscillator disabling all other chip functions until the next hardware reset.

Pin Configuration

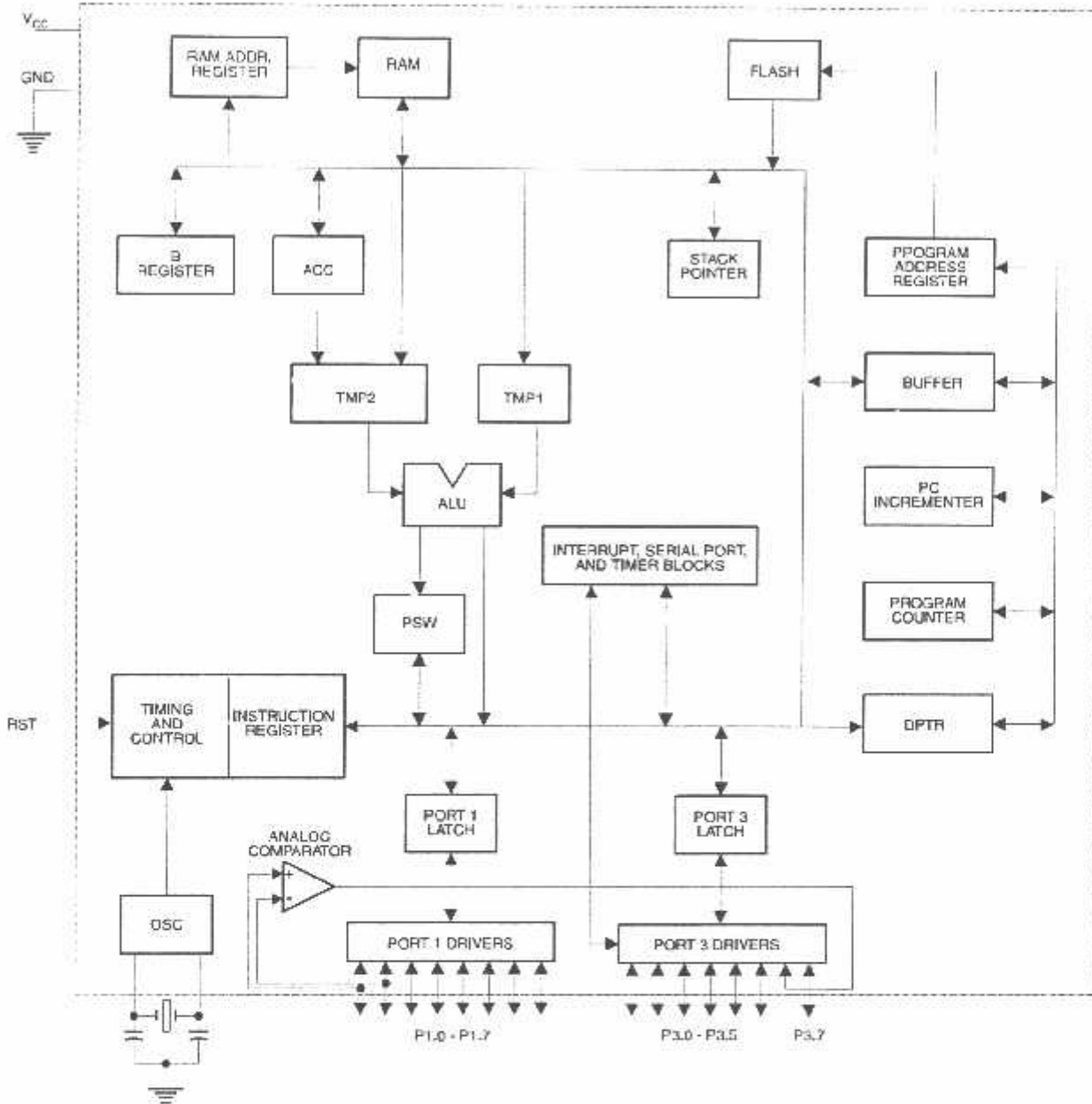
PDIP/SOIC



Rev. 03E8E-02/00



Block Diagram



Pin Description

VCC

Supply voltage.

GND

Ground.

Port 1

Port 1 is an 8-bit bi-directional I/O port. Port pins P1.2 to P1.7 provide internal pullups. P1.0 and P1.1 require external pullups. P1.0 and P1.1 also serve as the positive input (AIN0) and the negative input (AIN1), respectively, of the on-chip precision analog comparator. The Port 1 output buffers can sink 20 mA and can drive LED displays directly. When 1s are written to Port 1 pins, they can be used as inputs. When pins P1.2 to P1.7 are used as inputs and are externally pulled low, they will source current (I_{IH}) because of the internal pullups.

Port 1 also receives code data during Flash programming and verification.

Port 3

Port 3 pins P3.0 to P3.5, P3.7 are seven bi-directional I/O pins with internal pullups. P3.6 is hard-wired as an input to the output of the on-chip comparator and is not accessible as a general purpose I/O pin. The Port 3 output buffers can sink 20 mA. When 1s are written to Port 3 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 3 pins that are externally being pulled low will source current (I_{IH}) because of the pullups.

Port 3 also serves the functions of various special features of the AT89C2051 as listed below:

Port Pin	Alternate Functions
P3.0	RXD (serial input port)
P3.1	TXD (serial output port)
P3.2	$\overline{INT0}$ (external interrupt 0)
P3.3	$\overline{INT1}$ (external interrupt 1)
P3.4	T0 (timer 0 external input)
P3.5	T1 (timer 1 external input)

Port 3 also receives some control signals for Flash programming and verification.

RST

Reset input. All I/O pins are reset to 1s as soon as RST goes high. Holding the RST pin high for two machine cycles while the oscillator is running resets the device.

Each machine cycle takes 12 oscillator or clock cycles.

XTAL1

Input to the inverting oscillator amplifier and input to the internal clock operating circuit.

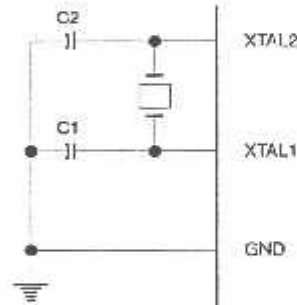
XTAL2

Output from the inverting oscillator amplifier.

Oscillator Characteristics

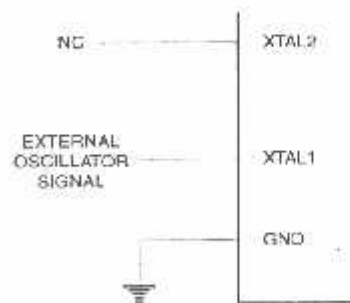
XTAL1 and XTAL2 are the input and output, respectively, of an inverting amplifier which can be configured for use as an on-chip oscillator, as shown in Figure 1. Either a quartz crystal or ceramic resonator may be used. To drive the device from an external clock source, XTAL2 should be left unconnected while XTAL1 is driven as shown in Figure 2. There are no requirements on the duty cycle of the external clock signal, since the input to the internal clocking circuitry is through a divide-by-two flip-flop, but minimum and maximum voltage high and low time specifications must be observed.

Figure 1. Oscillator Connections



Note: C1, C2 = 30 pF \pm 10 pF for Crystals
= 40 pF \pm 10 pF for Ceramic Resonators

Figure 2. External Clock Drive Configuration





Special Function Registers

A map of the on-chip memory area called the Special Function Register (SFR) space is shown in the table below.

Note that not all of the addresses are occupied, and unoccupied addresses may not be implemented on the chip. Read accesses to these addresses will in general return

random data, and write accesses will have an indeterminate effect.

User software should not write 1s to these unlisted locations, since they may be used in future products to invoke new features. In that case, the reset or inactive values of the new bits will always be 0.

Table 1. AT89C2051 SFR Map and Reset Values

0F0H								0FFH
0F0H	B 00000000							0F7H
0E8H								0EFH
0E0H	ACC 00000000							0E7H
0D8H								0DFH
0D0H	PSW 00000000							0D7H
0C8H								0CFH
0C0H								0C7H
0B8H	IP XXX00000							0BFH
0B0H	P3 11111111							0B7H
0A8H	IE 0XX00000							0AFH
0A0H								0A7H
98H	SCON 00000000	SBUF XXXXXXXX						9FH
90H	P1 11111111							97H
88H	TCON 00000000	TMOD 00000000	TL0 00000000	TL1 00000000	TH0 00000000	TH1 00000000		8FH
80H		SP 0000C111	DPL 00000000	DPH 00000000			PCON 0XX00000	87H

Restrictions on Certain Instructions

The AT89C2051 and is an economical and cost-effective member of Atmel's growing family of microcontrollers. It contains 2K bytes of flash program memory. It is fully compatible with the MCS-51 architecture, and can be programmed using the MCS-51 instruction set. However, there are a few considerations one must keep in mind when utilizing certain instructions to program this device.

All the instructions related to jumping or branching should be restricted such that the destination address falls within the physical program memory space of the device, which is 2K for the AT89C2051. This should be the responsibility of the software programmer. For example, LJMP 7E0H would be a valid instruction for the AT89C2051 (with 2K of memory), whereas LJMP 900H would not.

1. Branching Instructions:

LCALL, LJMP, ACALL, AJMP, SJMP, JMP @A+DPTR

These unconditional branching instructions will execute correctly as long as the programmer keeps in mind that the destination branching address must fall within the physical boundaries of the program memory size (locations 00H to 7FFH for the 89C2051). Violating the physical space limits may cause unknown program behavior.

CJNE [...], DJNZ [...], JB, JNB, JC, JNC, JBC, JZ, JNZ With these conditional branching instructions the same rule above applies. Again, violating the memory boundaries may cause erratic execution.

For applications involving interrupts the normal interrupt service routine address locations of the 80C51 family architecture have been preserved.

2. MOVX-related Instructions, Data Memory:

The AT89C2051 contains 128 bytes of internal data memory. Thus, in the AT89C2051 the stack depth is limited to 128 bytes, the amount of available RAM. External DATA memory access is not supported in this device, nor is external PROGRAM memory execution. Therefore, no MOVX [...] instructions should be included in the program.

A typical 80C51 assembler will still assemble instructions, even if they are written in violation of the restrictions mentioned above. It is the responsibility of the controller user to know the physical features and limitations of the device being used and adjust the instructions used correspondingly.

Program Memory Lock Bits

On the chip are two lock bits which can be left unprogrammed (U) or can be programmed (P) to obtain the additional features listed in the table below:

Lock Bit Protection Modes⁽¹⁾

Program Lock Bits			Protection Type
	LB1	LB2	
1	U	U	No program lock features.
2	P	U	Further programming of the Flash is disabled.
3	P	P	Same as mode 2, also verify is disabled.

Note: 1. The Lock Bits can only be erased with the Chip Erase operation.

Idle Mode

In idle mode, the CPU puts itself to sleep while all the on-chip peripherals remain active. The mode is invoked by software. The content of the on-chip RAM and all the special functions registers remain unchanged during this mode. The idle mode can be terminated by any enabled interrupt or by a hardware reset.

P1.0 and P1.1 should be set to "0" if no external pullups are used, or set to "1" if external pullups are used.

It should be noted that when idle is terminated by a hardware reset, the device normally resumes program execution, from where it left off, up to two machine cycles before the internal reset algorithm takes control. On-chip hardware inhibits access to internal RAM in this event, but access to the port pins is not inhibited. To eliminate the possibility of an unexpected write to a port pin when idle is terminated by reset, the instruction following the one that invokes idle should not be one that writes to a port pin or to external memory.

Power-down Mode

In the power down mode the oscillator is stopped, and the instruction that invokes power down is the last instruction executed. The on-chip RAM and Special Function Registers retain their values until the power down mode is terminated. The only exit from power down is a hardware reset. Reset redefines the SFRs but does not change the on-chip RAM. The reset should not be activated before V_{CC} is restored to its normal operating level and must be held active long enough to allow the oscillator to restart and stabilize.

P1.0 and P1.1 should be set to "0" if no external pullups are used, or set to "1" if external pullups are used.





Programming The Flash

The AT89C2051 is shipped with the 2K bytes of on-chip PEROM code memory array in the erased state (i.e., contents = FFH) and ready to be programmed. The code memory array is programmed one byte at a time. *Once the array is programmed, to re-program any non-blank byte, the entire memory array needs to be erased electrically.*

Internal Address Counter: The AT89C2051 contains an internal PEROM address counter which is always reset to 000H on the rising edge of RST and is advanced by applying a positive going pulse to pin XTAL1.

Programming Algorithm: To program the AT89C2051, the following sequence is recommended.

1. Power-up sequence:
Apply power between V_{CC} and GND pins
Set RST and XTAL1 to GND
 2. Set pin RST to "H"
Set pin P3.2 to "H"
 3. Apply the appropriate combination of "H" or "L" logic levels to pins P3.3, P3.4, P3.5, P3.7 to select one of the programming operations shown in the PEROM Programming Modes table.
- To Program and Verify the Array:
4. Apply data for Code byte at location 000H to P1.0 to P1.7.
 5. Raise RST to 12V to enable programming.
 6. Pulse P3.2 once to program a byte in the PEROM array or the lock bits. The byte-write cycle is self-timed and typically takes 1.2 ms.
 7. To verify the programmed data, lower RST from 12V to logic "H" level and set pins P3.3 to P3.7 to the appropriate levels. Output data can be read at the port P1 pins.
 8. To program a byte at the next address location, pulse XTAL1 pin once to advance the internal address counter. Apply new data to the port P1 pins.
 9. Repeat steps 5 through 8, changing data and advancing the address counter for the entire 2K bytes array or until the end of the object file is reached.
 10. Power-off sequence:
set XTAL1 to "L"
set RST to "L"
Turn V_{CC} power off

Data Polling: The AT89C2051 features $\overline{\text{Data}}$ Polling to indicate the end of a write cycle. During a write cycle, an attempted read of the last byte written will result in the complement of the written data on P1.7. Once the write cycle has been completed, true data is valid on all outputs, and

the next cycle may begin. $\overline{\text{Data}}$ Polling may begin any time after a write cycle has been initiated.

Ready/Busy: The Progress of byte programming can also be monitored by the RDY/BSY output signal. Pin P3.1 is pulled low after P3.2 goes High during programming to indicate BUSY. P3.1 is pulled High again when programming is done to indicate READY.

Program Verify: If lock bits LB1 and LB2 have not been programmed code data can be read back via the data lines for verification:

1. Reset the internal address counter to 000H by bringing RST from "L" to "H".
2. Apply the appropriate control signals for Read Code data and read the output data at the port P1 pins.
3. Pulse pin XTAL1 once to advance the internal address counter.
4. Read the next code data byte at the port P1 pins.
5. Repeat steps 3 and 4 until the entire array is read.

The lock bits cannot be verified directly. Verification of the lock bits is achieved by observing that their features are enabled.

Chip Erase: The entire PEROM array (2K bytes) and the two Lock Bits are erased electrically by using the proper combination of control signals and by holding P3.2 low for 10 ms. The code array is written with all "1"s in the Chip Erase operation and must be executed before any non-blank memory byte can be re-programmed.

Reading the Signature Bytes: The signature bytes are read by the same procedure as a normal verification of locations 000H, 001H, and 002H, except that P3.5 and P3.7 must be pulled to a logic low. The values returned are as follows.





- (000H) = 1EH indicates manufactured by Atmel
- (001H) = 21H indicates 89C2051

Programming Interface

Every code byte in the Flash array can be written and the entire array can be erased by using the appropriate combination of control signals. The write operation cycle is self-timed and once initiated, will automatically time itself to completion.

All major programming vendors offer worldwide support for the Atmel microcontroller series. Please contact your local programming vendor for the appropriate software revision.

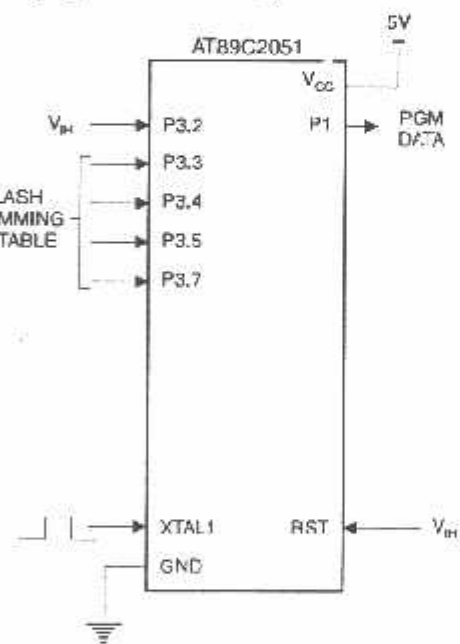
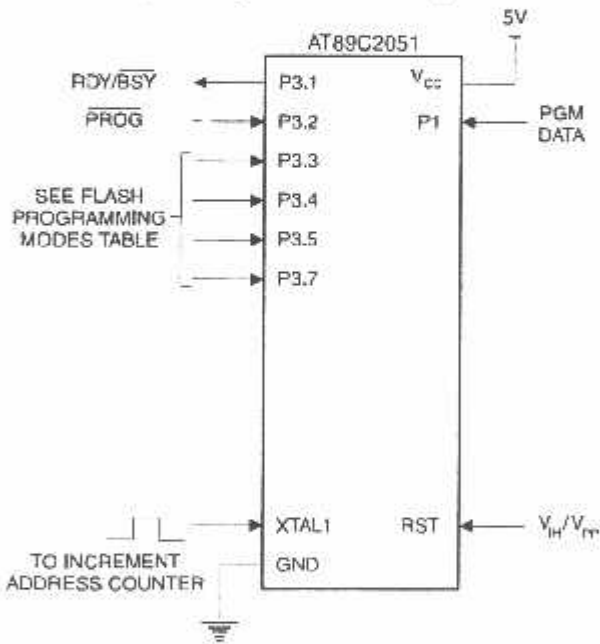
Flash Programming Modes

Mode		RST/NPP	P3.2/PROG	P3.3	P3.4	P3.5	P3.7
Write Code Data ⁽¹⁾⁽³⁾		12V		L	H	H	H
Read Code Data ⁽¹⁾		H	H	L	L	H	H
Write Lock	Bit - 1	12V		H	H	H	H
	Bit - 2	12V		H	H	L	L
Chip Erase		12V	 (2)	H	L	L	L
Read Signature Byte		H	H	L	L	L	L

- Notes:
1. The internal PEROM address counter is reset to 000H on the rising edge of RST and is advanced by a positive pulse at XTAL 1 pin.
 2. Chip Erase requires a 10 ms $\overline{\text{PROG}}$ pulse.
 3. P3.1 is pulled Low during programming to indicate RDY/BSY.

Figure 3. Programming the Flash Memory

Figure 4. Verifying the Flash Memory





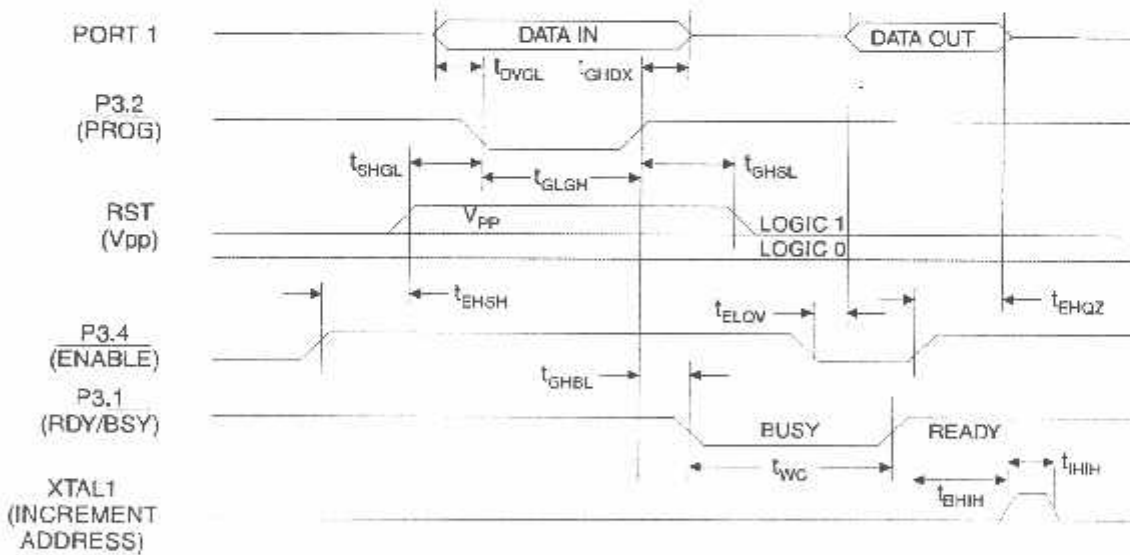
Flash Programming and Verification Characteristics

$T_A = 0^\circ\text{C to } 70^\circ\text{C}$, $V_{CC} = 5.0 \pm 10\%$

Symbol	Parameter	Min	Max	Units
V_{PP}	Programming Enable Voltage	11.5	12.5	V
I_{PP}	Programming Enable Current		250	μA
t_{DVGL}	Data Setup to $\overline{\text{PROG}}$ Low	1.0		μs
t_{CHDX}	Data Hold after $\overline{\text{PROG}}$	1.0		μs
t_{EHSH}	P3.4 ($\overline{\text{ENABLE}}$) High to V_{PP}	1.0		μs
t_{SHGL}	V_{PP} Setup to $\overline{\text{PROG}}$ Low	10		μs
t_{GHSL}	V_{PP} Hold after $\overline{\text{PROG}}$	10		μs
t_{GLGH}	$\overline{\text{PROG}}$ Width	1	110	μs
t_{ELQV}	$\overline{\text{ENABLE}}$ Low to Data Valid		1.0	μs
t_{EHQZ}	Data Float after $\overline{\text{ENABLE}}$	0	1.0	μs
t_{GHBL}	$\overline{\text{PROG}}$ High to $\overline{\text{BUSY}}$ Low		50	ns
t_{WC}	Byte Write Cycle Time		2.0	ms
t_{BHH}	$\overline{\text{RDY/BSY}}$ to Increment Clock Delay	1.0		μs
t_{IHL}	Increment Clock High	200		ns

Note: 1. Only used in 12-volt programming mode.

Flash Programming and Verification Waveforms



Absolute Maximum Ratings*

Operating Temperature	-55°C to +125°C
Storage Temperature	-65°C to +150°C
Voltage on Any Pin with Respect to Ground	-1.0V to +7.0V
Maximum Operating Voltage	6.6V
DC Output Current	25.0 mA

*NOTICE: Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC Characteristics

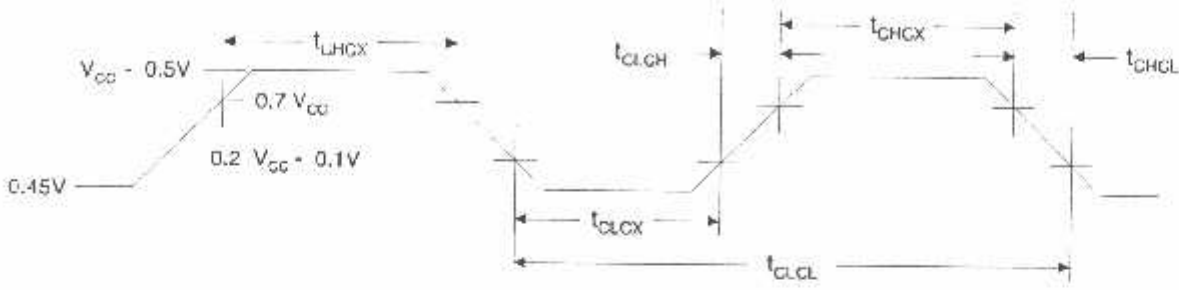
$T_A = -40^\circ\text{C}$ to 85°C , $V_{CC} = 2.0\text{V}$ to 6.0V (unless otherwise noted)

Symbol	Parameter	Condition	Min	Max	Units
V_{IL}	Input Low-voltage		-0.5	$0.2 V_{CC} - 0.1$	V
V_{IH}	Input High-voltage	(Except XTAL1, RST)	$0.2 V_{CC} + 0.9$	$V_{CC} + 0.5$	V
V_{IH1}	Input High-voltage	(XTAL1, RST)	$0.7 V_{CC}$	$V_{CC} + 0.5$	V
V_{OL}	Output Low-voltage ⁽¹⁾ (Ports 1, 3)	$I_{OL} = 20\text{ mA}$, $V_{CC} = 5\text{V}$ $I_{OL} = 10\text{ mA}$, $V_{CC} = 2.7\text{V}$		0.5	V
V_{OH}	Output High-voltage (Ports 1, 3)	$I_{OH} = -80\ \mu\text{A}$, $V_{CC} = 5\text{V} \pm 10\%$	2.4		V
		$I_{OH} = -30\ \mu\text{A}$	$0.75 V_{CC}$		V
		$I_{OH} = -12\ \mu\text{A}$	$0.9 V_{CC}$		V
I_{IL}	Logical 0 Input Current (Ports 1, 3)	$V_{IN} = 0.45\text{V}$		-50	μA
I_{TL}	Logical 1 to 0 Transition Current (Ports 1, 3)	$V_{IN} = 2\text{V}$, $V_{CC} = 5\text{V} \pm 10\%$		-750	μA
I_{LI}	Input Leakage Current (Port P1.0, P1.1)	$0 < V_{IN} < V_{CC}$		± 10	μA
V_{OS}	Comparator Input Offset Voltage	$V_{CC} = 5\text{V}$		20	mV
V_{CM}	Comparator Input Common Mode Voltage		0	V_{CC}	V
RRST	Reset Pull-down Resistor		50	300	K Ω
C_{IO}	Pin Capacitance	Test Freq. = 1 MHz, $T_A = 25^\circ\text{C}$		10	pF
I_{CC}	Power Supply Current	Active Mode, 12 MHz, $V_{CC} = 6\text{V}/3\text{V}$		15/5.5	mA
		Idle Mode, 12 MHz, $V_{CC} = 6\text{V}/3\text{V}$ P1.0 & P1.1 = 0V or V_{CC}		5/1	mA
	Power-down Mode ⁽²⁾	$V_{CC} = 6\text{V}$ P1.0 & P1.1 = 0V or V_{CC} $V_{CC} = 3\text{V}$ P1.0 & P1.1 = 0V or V_{CC}		100	μA
				20	μA

- Notes: 1. Under steady state (non-transient) conditions, I_{OL} must be externally limited as follows:
 Maximum I_{OL} per port pin: 20 mA
 Maximum total I_{OL} for all output pins: 80 mA
 If I_{OL} exceeds the test condition, V_{OL} may exceed the related specification. Pins are not guaranteed to sink current greater than the listed test conditions.
2. Minimum V_{CC} for Power-down is 2V.



External Clock Drive Waveforms



External Clock Drive

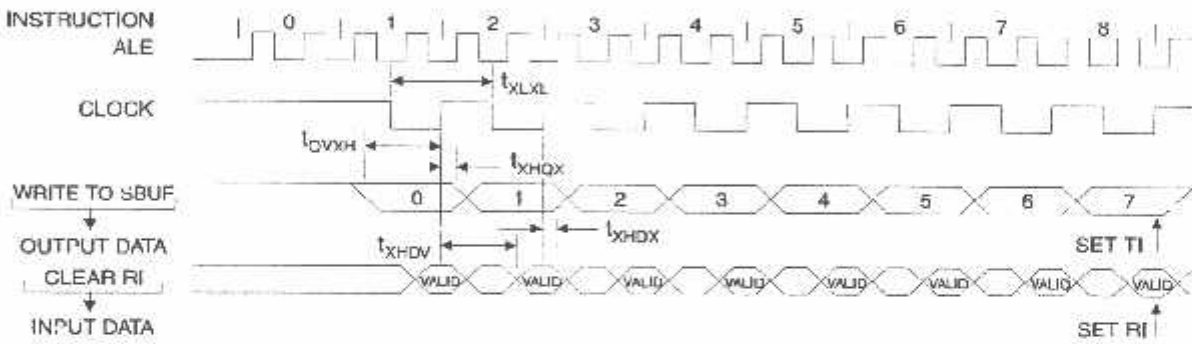
Symbol	Parameter	$V_{CC} = 2.7V \text{ to } 6.0V$		$V_{CC} = 4.0V \text{ to } 6.0V$		Units
		Min	Max	Min	Max	
$1/t_{CLCL}$	Oscillator Frequency	0	12	0	24	MHz
t_{CLCL}	Clock Period	83.3		41.6		ns
t_{CHCX}	High Time	30		15		ns
t_{CLCX}	Low Time	30		15		ns
t_{CLCH}	Rise Time		20		20	ns
t_{CHCL}	Fall Time		20		20	ns

Serial Port Timing: Shift Register Mode Test Conditions

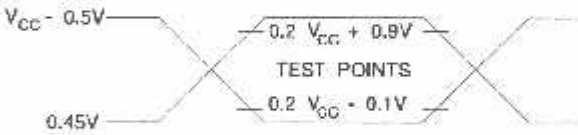
V_{CC} = 5.0V ± 20%; Load Capacitance = 80 pF

Symbol	Parameter	12 MHz Osc		Variable Oscillator		Units
		Min	Max	Min	Max	
t _{LXL}	Serial Port Clock Cycle Time	1.0		12t _{CLCL}		μs
t _{OVXH}	Output Data Setup to Clock Rising Edge	700		10t _{CLCL} -133		ns
t _{XHOX}	Output Data Hold after Clock Rising Edge	50		2t _{CLCL} -117		ns
t _{XHDX}	Input Data Hold after Clock Rising Edge	0		0		ns
t _{XHDV}	Clock Rising Edge to Input Data Valid		700		10t _{CLCL} -133	ns

Shift Register Mode Timing Waveforms



AC Testing Input/Output Waveforms⁽¹⁾



Note: 1. AC Inputs during testing are driven at V_{CC} - 0.5V for a logic 1 and 0.45V for a logic 0. Timing measurements are made at V_{IH} min. for a logic 1 and V_{IL} max. for a logic 0.

Float Waveforms⁽¹⁾

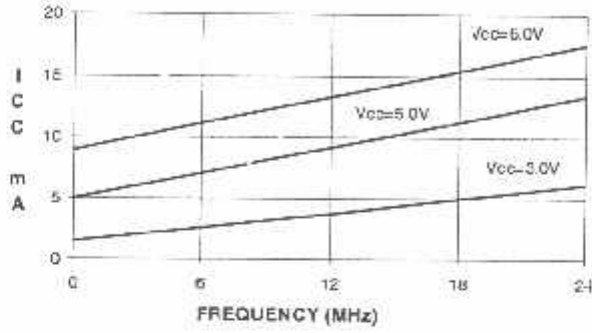


Note: 1. For timing purposes, a port pin is no longer floating when a 100 mV change from load voltage occurs. A port pin begins to float when 100 mV change from the loaded V_{OH}/V_{OL} level occurs.

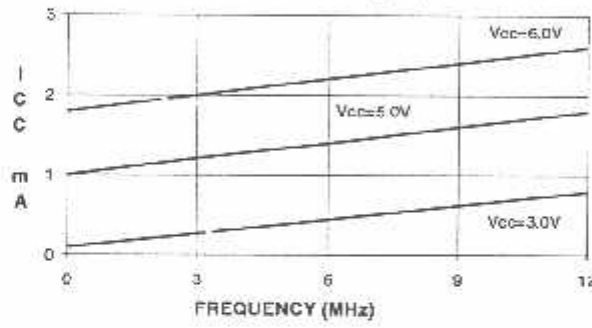




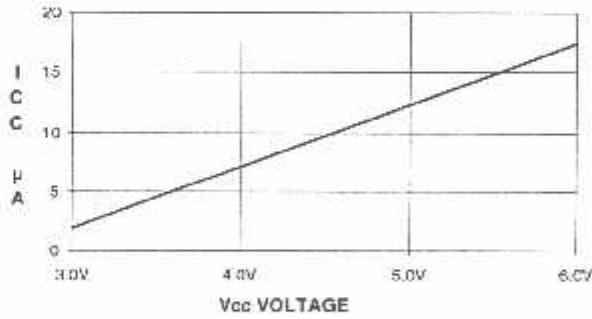
AT89C2051
TYPICAL I_{CC} - ACTIVE (85°C)



AT89C2051
TYPICAL I_{CC} - IDLE (85°C)



AT89C2051
TYPICAL I_{CC} vs. VOLTAGE - POWER DOWN (85°C)



- Notes:
1. XTAL1 tied to GND for I_{CC} (power-down)
 2. P1.0 and P1.1 = V_{CC} or GND
 3. Lock bits programmed

Ordering Information

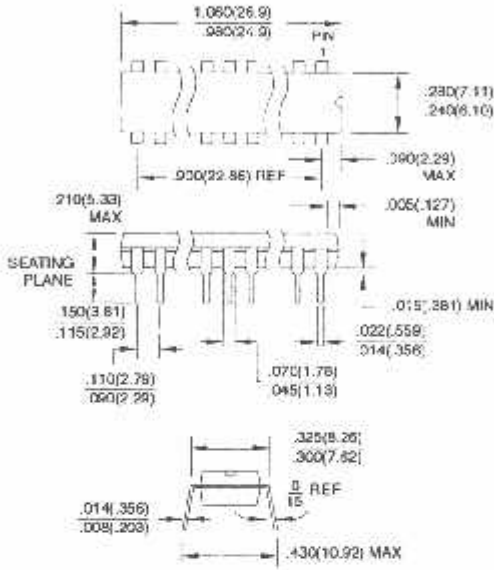
Speed (MHz)	Power Supply	Ordering Code	Package	Operation Range
12	2.7V to 6.0V	AT89C2051-12PC	20P3	Commercial (0°C to 70°C)
		AT89C2051-12SC	20S	
		AT89C2051-12PI	20P3	Industrial (-40°C to 85°C)
		AT89C2051-12SI	20S	
24	4.0V to 6.0V	AT89C2051-24PC	20P3	Commercial (0°C to 70°C)
		AT89C2051-24SC	20S	
		AT89C2051-24PI	20P3	Industrial (-40°C to 85°C)
		AT89C2051-24SI	20S	

Package Type	
20P3	20-lead, 0.300" Wide, Plastic Dual In-line Package (PDIP)
20S	20-lead, 0.300" Wide, Plastic Gull Wing Small Outline (SOIC)

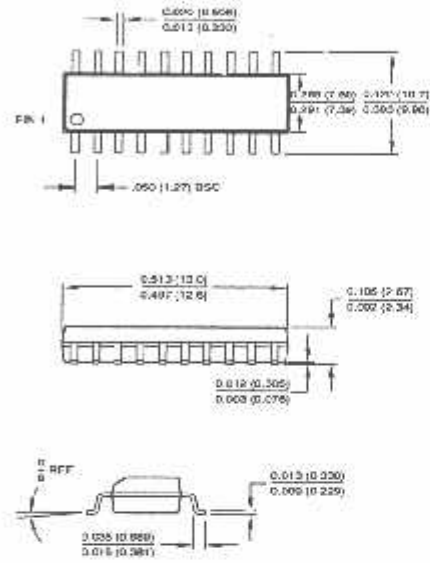


Packaging Information

20P3, 20-lead, 0.300" Wide, Plastic Dual Inline Package (PDIP)
 Dimensions in Inches and (Millimeters)
 JEDEC STANDARD MS-001 AD



20S, 20-lead, 0.300" Wide, Plastic Gull Wing Small Outline (SOIC)
 Dimensions in Inches and (Millimeters)





Atmel Headquarters

Corporate Headquarters

2325 Orchard Parkway
San Jose, CA 95131
TEL (408) 441-0311
FAX (408) 487-2600

Europe

Atmel U.K., Ltd.
Coliseum Business Centre
Riverside Way
Camberley, Surrey GU15 3YL
England
TEL (44) 1276-686-677
FAX (44) 1276-686-697

Asia

Atmel Asia, Ltd.
Room 1219
Chinachem Golden Plaza
77 Mody Road Tsimhatsui
East Kowloon
Hong Kong
TEL (852) 2721-9778
FAX (852) 2722-1369

Japan

Atmel Japan K.K.
9F, Tonetsu Shinkawa Bldg.
1-24-8 Shinkawa
Chuo-ku, Tokyo 104-0033
Japan
TEL (81) 3-3523-3551
FAX (81) 3-3523-7581

Atmel Operations

Atmel Colorado Springs

1150 E. Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906
TEL (719) 576-3300
FAX (719) 540-1759

Atmel Rousset

Zone Industrielle
13106 Rousset Cedex
France
TEL (33) 4-4253-6000
FAX (33) 4-4253-6001

Fax-on-Demand

North America:
1-(800) 292-8635
International:
1-(408) 441-0732

e-mail

literature@atmel.com

Web Site

<http://www.atmel.com>

BBS

1-(408) 436-4309

© Atmel Corporation 2000.

Atmel Corporation makes no warranty for the use of its products, other than those expressly contained in the Company's standard warranty which is detailed in Atmel's Terms and Conditions located on the Company's web site. The Company assumes no responsibility for any errors which may appear in this document, reserves the right to change devices or specifications detailed herein at any time without notice, and does not make any commitment to update the information contained herein. No licenses to patents or other intellectual property of Atmel are granted by the Company in connection with the sale of Atmel products, expressly or by implication. Atmel's products are not authorized for use as critical components in life support devices or systems.

Marks bearing ® and/or ™ are registered trademarks and trademarks of Atmel Corporation.

Terms and product names in this document may be trademarks of others.



Printed on recycled paper.

0366E-02/00XM

ADC0801/ADC0802/ADC0803/ADC0804/ADC0805 8-Bit μ P Compatible A/D Converters

General Description

The ADC0801, ADC0802, ADC0803, ADC0804 and ADC0805 are CMOS 8-bit successive approximation A/D converters that use a differential potentiometric ladder—similar to the 256R products. These converters are designed to allow operation with the NSC800 and INSB080A derivative control bus with TRI-STATE® output latches directly driving the data bus. These A/Ds appear like memory locations or I/O ports to the microprocessor and no interfacing logic is needed.

Differential analog voltage inputs allow increasing the common-mode rejection and offsetting the analog zero input voltage value. In addition, the voltage reference input can be adjusted to allow encoding any smaller analog voltage span to the full 8 bits of resolution.

Features

- Compatible with 8080 μ P derivatives—no interfacing logic needed - access time - 135 ns
- Easy interface to all microprocessors, or operates "stand alone"

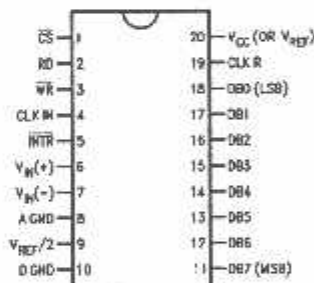
- Differential analog voltage inputs
- Logic inputs and outputs meet both MOS and TTL voltage level specifications
- Works with 2.5V (LM336) voltage reference
- On-chip clock generator
- 0V to 5V analog input voltage range with single 5V supply
- No zero adjust required
- 0.3" standard width 20-pin DIP package
- 20-pin molded chip carrier or small outline package
- Operates ratiometrically or with 5 V_{DC} , 2.5 V_{DC} , or analog span adjusted voltage reference

Key Specifications

- Resolution 8 bits
- Total error $\pm 1/4$ LSB, $\pm 1/2$ LSB and ± 1 LSB
- Conversion time 100 μ s

Connection Diagram

ADC080X
Dual-In-Line and Small Outline (SO) Packages



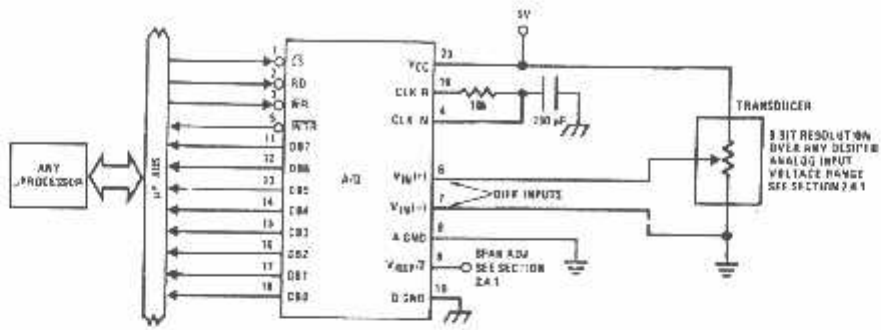
See Ordering Information

Ordering Information

TEMP RANGE		0°C TO 70°C	0°C TO 70°C	-40°C TO +85°C
ERROR	$\pm 1/4$ Bit Adjusted	ADC0802LCWM	ADC0804LCN	ADC0801LCN
	$\pm 1/2$ Bit Unadjusted			ADC0802LCN
	$\pm 1/4$ Bit Adjusted			ADC0803LCN
	± 1 Bit Unadjusted			ADC0805LCN/ADC0804LCJ
PACKAGE OUTLINE		M20B—Small Outline	N20A—Molded DIP	

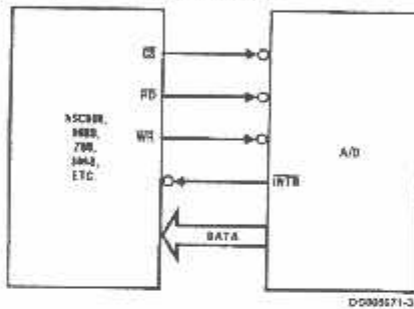
TRI-STATE® is a registered trademark of National Semiconductor Corp.
2-80 is a registered trademark of Zilog Corp.

Typical Applications



DS30671-1

8080 Interface



DS30671-2

Error Specification (Includes Full-Scale, Zero Error, and Non-Linearity)			
Part Number	Full-Scale Adjusted	$V_{REF/2} = 2.500 V_{DC}$ (No Adjustments)	$V_{REF/2}$ = No Connection (No Adjustments)
ADC0801	$\pm 1/4$ LSB		
ADC0802		$\pm 1/4$ LSB	
ADC0803	$\pm 1/4$ LSB		
ADC0804		± 1 LSB	
ADC0805			± 1 LSB

Absolute Maximum Ratings (Notes 1, 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage (V_{CC}) (Note 3)	8.5V
Logic Control Inputs	-0.3V to +18V
At Other Input and Outputs	-0.3V to ($V_{CC}+0.3V$)
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C

Infrared (15 seconds)	220°C
Storage Temperature Range	-65°C to +150°C
Package Dissipation at $T_A=25^\circ\text{C}$	875 mW
ESD Susceptibility (Note 10)	800V

Operating Ratings (Notes 1, 2)

Temperature Range	$T_{MIN} \leq T_A \leq T_{MAX}$
ADC0804LCJ	$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$
ADC0801/02/03/05LCN	$-40^\circ\text{C} < T_A \leq +85^\circ\text{C}$
ADC0804LCN	$0^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$
ADC0802/04LOWM	$0^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$
Range of V_{CC}	$1.5 V_{DD} \text{ to } 5.3 V_{DD}$

Electrical Characteristics

The following specifications apply for $V_{CC}=5 V_{DD}$, $T_{MIN} \leq T_A \leq T_{MAX}$ and $f_{CLK}=640 \text{ kHz}$ unless otherwise specified

Parameter	Conditions	Min	Typ	Max	Units
ADC0801: Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			$\pm 1/4$	LSB
ADC0802: Total Unadjusted Error (Note 8)	$V_{REF}/2=2.500 V_{DD}$			$\pm 1/4$	LSB
ADC0803: Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			$\pm 1/4$	LSB
ADC0804: Total Unadjusted Error (Note 8)	$V_{REF}/2=2.500 V_{DD}$			± 1	LSB
ADC0805: Total Unadjusted Error (Note 8)	$V_{REF}/2$ -No Connection			± 1	LSB
$V_{REF}/2$ Input Resistance (Pin 9)	ADC0801/02/03/05 ADC0804 (Note 9)	2.5 0.75	8.0 1.1		k Ω k Ω
Analog Input Voltage Range	(Note 4) $V(+)$ or $V(-)$	Grnd-0.05		$V_{DD}+0.05$	V_{DD}
DC Common-Mode Error	Over Analog Input Voltage Range		$\pm 1/16$	$\pm 1/4$	LSB
Power Supply Sensitivity	$V_{CC}=5 V_{DD} \pm 10\%$ Over Allowed $V_{IN}(+)$ and $V_{IN}(-)$ Voltage Range (Note 4)		$\pm 1/16$	$\pm 1/4$	LSB

AC Electrical Characteristics

The following specifications apply for $V_{CC}=5 V_{DD}$ and $T_{MIN} \leq T_A \leq T_{MAX}$ unless otherwise specified

Symbol	Parameter	Conditions	Min	Typ	Max	Units
T_C	Conversion Time	$f_{CLK}=640 \text{ kHz}$ (Note 5)	103		114	μs
$T_{C,MIN}$	Conversion Time	(Notes 5, 6)	66		73	$1/f_{CLK}$
f_{CLK}	Clock Frequency	$V_{CC}=5V_i$ (Note 5)	100	640	1480	kHz
	Clock Duty Cycle		40		60	%
CR	Conversion Rate in Free-Running Mode	INTR tied to WR with $\overline{CS}=0 V_{DD}$, $f_{CLK}=640 \text{ kHz}$	8770		9708	conv/s
$t_{W,WR}$	Width of WR Input (Start Pulse Width)	$\overline{CS}=0 V_{DD}$ (Note 7)	100			ns
t_{ACC}	Access Time (Delay from Falling Edge of \overline{RD} to Output Data Valid)	$C_L=100 \text{ pF}$		135	200	ns
t_{HL}, t_{HL}	TRI-STATE Control (Delay from Rising Edge of \overline{RD} to Hi-Z State)	$C_L=10 \text{ pF}$, $R_L=10\text{k}$ (See TRI-STATE Test Circuits)		125	200	ns
t_{WR}, t_{RR}	Delay from Falling Edge of \overline{WR} or \overline{RD} to Reset of INTR			300	450	ns
C_{IN}	Input Capacitance of Logic Control Inputs			5	7.5	pF

AC Electrical Characteristics (Continued)

The following specifications apply for $V_{CC}=5 V_{DC}$ and $T_{MIN} \leq T_A \leq T_{MAX}$ unless otherwise specified.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
C_{OUT}	TRI-STATE Output Capacitance (Data Buffers)			5	7.5	pF
CONTROL INPUTS [Note: CLK IN (Pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately]						
$V_{IN(1)}$	Logical "1" Input Voltage (Except Pin 4 CLK IN)	$V_{CC}=5.25 V_{DC}$	2.0		1.5	V_{DC}
$V_{IN(0)}$	Logical "0" Input Voltage (Except Pin 4 CLK IN)	$V_{CC}=4.75 V_{DC}$			0.8	V_{DC}
$I_{IN(1)}$	Logical "1" Input Current (All Inputs)	$V_{IN}=5 V_{DC}$		0.005	1	μA_{DC}
$I_{IN(0)}$	Logical "0" Input Current (All Inputs)	$V_{IN}=0 V_{DC}$	-1	-0.005		μA_{DC}
CLOCK IN AND CLOCK R						
V_{T+}	CLK IN (Pin 4) Positive Going Threshold Voltage		2.7	3.1	3.5	V_{DC}
V_{T-}	CLK IN (Pin 4) Negative Going Threshold Voltage		1.5	1.8	2.1	V_{DC}
V_H	CLK IN (Pin 4) Hysteresis ($V_{T+} - V_{T-}$)		0.6	1.3	2.0	V_{DC}
$V_{OUT(0)}$	Logical "0" CLK R Output Voltage	$I_O=360 \mu A$ $V_{CC}=4.75 V_{DC}$			0.4	V_{DC}
$V_{OUT(1)}$	Logical "1" CLK R Output Voltage	$I_O=-360 \mu A$ $V_{CC}=4.75 V_{DC}$	2.4			V_{DC}
DATA OUTPUTS AND INTR						
$V_{OUT(0)}$	Logical "0" Output Voltage Data Outputs	$I_{OUT}=1.6 mA$, $V_{CC}=4.75 V_{DC}$			0.4	V_{DC}
	INTR Output	$I_{OUT}=1.0 mA$, $V_{CC}=4.75 V_{DC}$			0.4	V_{DC}
$V_{OUT(1)}$	Logical "1" Output Voltage	$I_O=-360 \mu A$, $V_{CC}=4.75 V_{DC}$	2.4			V_{DC}
$V_{OUT(1)}$	Logical "1" Output Voltage	$I_O=-10 \mu A$, $V_{CC}=4.75 V_{DC}$	4.5			V_{DC}
I_{OUT}	TRI-STATE Disabled Output Leakage (All Data Buffers)	$V_{OUT}=0 V_{DC}$ $V_{CC}=5 V_{DC}$	-3		3	μA_{DC}
I_{SOURCE}		V_{OUT} Short to Gnd, $T_A=25^\circ C$	4.5	6		mA_{DC}
I_{BINK}		V_{OUT} Short to V_{CC} , $T_A=25^\circ C$	9.0	16		mA_{DC}
POWER SUPPLY						
I_{CC}	Supply Current (Includes Ladder Current)	$f_{CLK}=640 kHz$, $V_{REF2}=NC$, $T_A=25^\circ C$ and $\overline{CS}=5V$				
	ADC0801/02/03/04LCJ/05			1.1	1.8	mA
	ADC0804LCN/LCWM			1.9	2.5	mA

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to Gnd, unless otherwise specified. The separate A Gnd point should always be used in the D Gnd.

Note 3: A Zener diode exists internally from V_{CC} to Gnd and has a typical breakdown voltage of $7 V_{DC}$.

Note 4: For $V_{IN(1)} > V_{IN(1)}$ the digital output code will be 0000 0000. Two on-chip diodes are tied to each analog input (see block diagram) which will form a conduct for analog input voltages one diode drop below ground or one diode drop greater than the V_{CC} supply. Be careful during testing at low V_{CC} levels (4.5V), as high level analog inputs (5V) can cause this input diode to conduct—especially at elevated temperatures—and cause errors for analog inputs near full-scale. This acts a low 60 mV forward bias of either diode. This means that as long as the analog V_{IN} does not exceed the supply voltage by more than 50 mV, the output code will be correct. To achieve an absolute 0 V_{DC} to $5 V_{DC}$ input voltage range will therefore require a minimum supply voltage of $4.950 V_{DC}$ over temperature variations, in 6% tolerance and loading.

Note 5: Accuracy is guaranteed at $f_{CLK} = 640 kHz$. At higher clock frequencies accuracy can degrade. For lower clock frequencies, the duty cycle limits can be extended so long as the minimum clock high time interval or minimum clock low time interval is no less than 275 ns.

Note 6: With an asynchronous start pulse, up to 8 clock periods may be required before the internal clock phases are proper to start the conversion process. The start request is internally latched (see Fig. 19.4 and section 2.0).

AC Electrical Characteristics (Continued)

Note 7: The CS input is assumed to bracket the WR strobe input and therefore timing is dependent on the WR pulse width. An arbitrarily wide pulse width will hold the converter in a reset mode and the start of conversion is initiated by the low to high transition of the WR pulse (see timing diagrams).

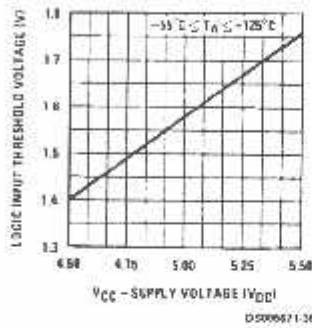
Note 8: None of these ADCs requires a zero adjust (see section 2.5.1). To obtain zero code at other analog input voltages see section 2.5 and Figure 7.

Note 9: The $V_{REF}/2$ pin is the center point of a two-resistor divider connected from V_{CC} to ground. In all versions of the ADC0801, ADC0802, ADC0803, and ADC0805, and in the ADC0804LC, each resistor is typically 16 k Ω . In all versions of the ADC0804 except the ADC0804LC, each resistor is typically 3.2 k Ω .

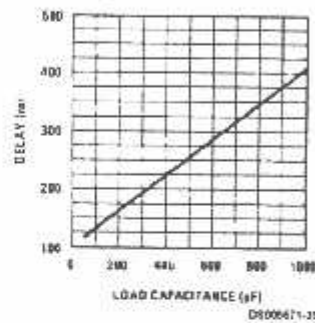
Note 10: Human body model, 100 pF discharged through a 1.5 k Ω resistor.

Typical Performance Characteristics

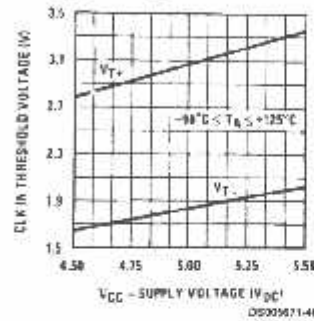
Logic Input Threshold Voltage vs. Supply Voltage



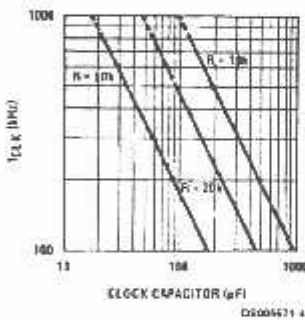
Delay From Falling Edge of RD to Output Data Valid vs. Load Capacitance



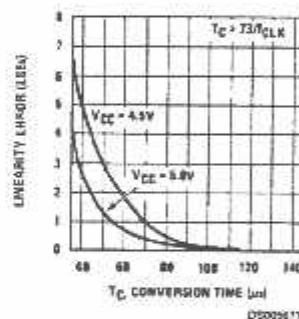
CLK IN Schmitt Trip Levels vs. Supply Voltage



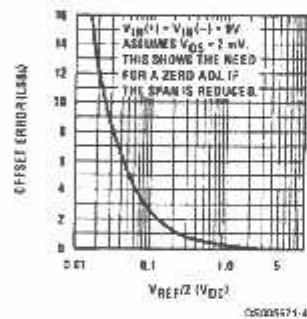
f_{CLK} vs. Clock Capacitor



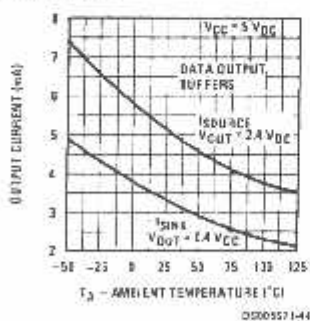
Full-Scale Error vs Conversion Time



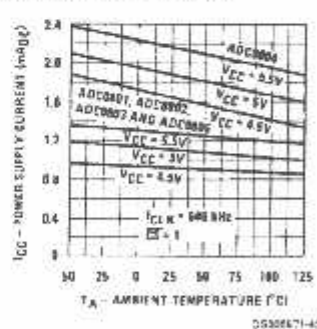
Effect of Unadjusted Offset Error vs. V_{REF}/2 Voltage



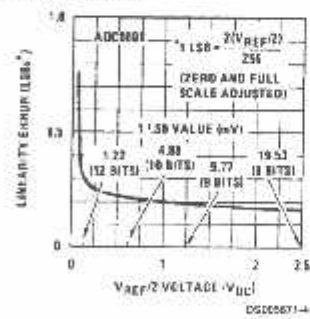
Output Current vs Temperature



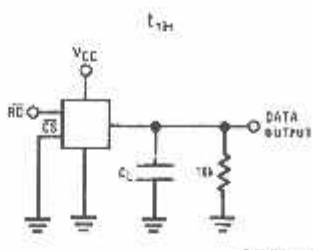
Power Supply Current vs Temperature (Note 9)



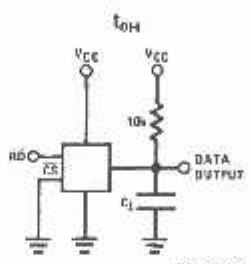
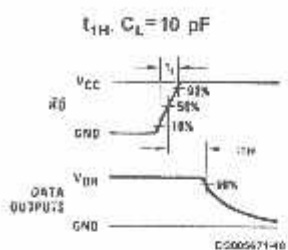
Linearity Error at Low V_{REF}/2 Voltages



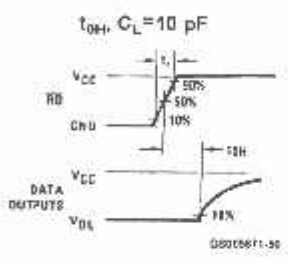
TRI-STATE Test Circuits and Waveforms



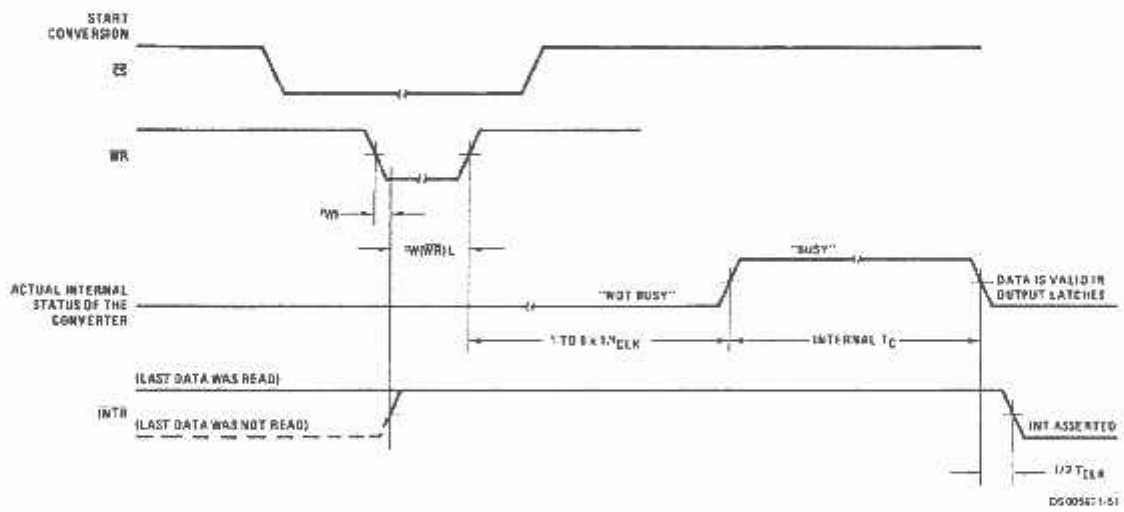
$t_1 = 20 \text{ ns}$



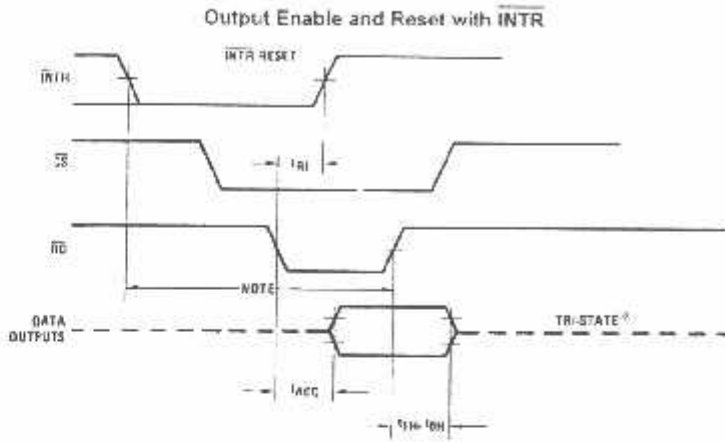
$t_0 = 20 \text{ ns}$



Timing Diagrams (All timing is measured from the 50% voltage points)



Timing Diagrams (All timing is measured from the 50% voltage points) (Continued)

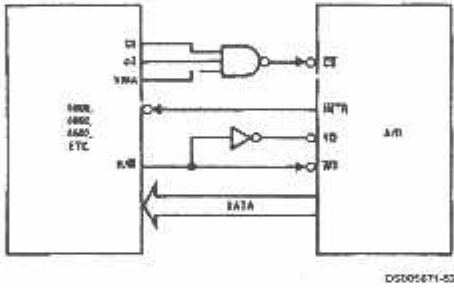


D0205671-52

Note: Read strobe must occur 3 clock periods ($3T_{CLK}$) after assertion of interrupt to guarantee reset of \overline{INTR} .

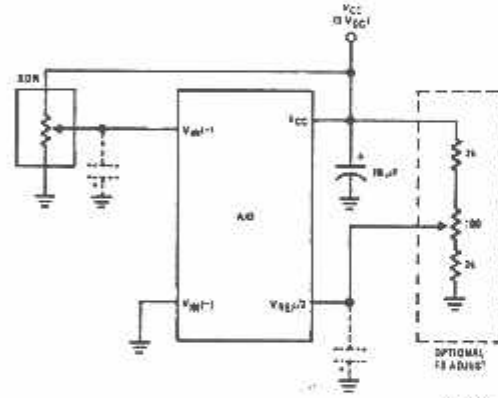
Typical Applications

6800 Interface



D0205671-53

Ratiometric with Full-Scale Adjust

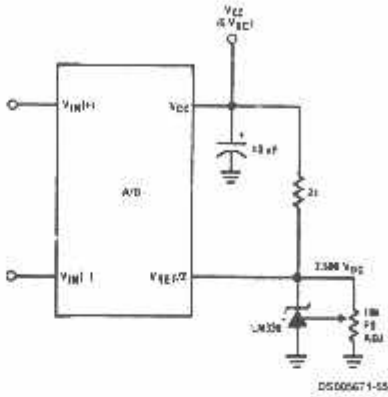


D0205671-54

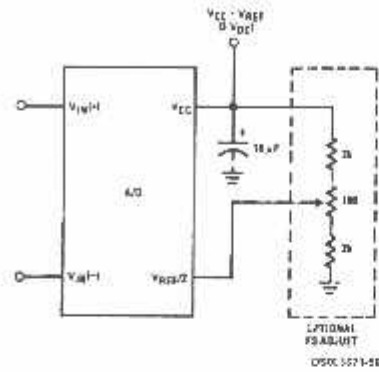
Note: before using caps at V_{IN} or V_{REF2} , see section 2.3.2 Input Bypass Capacitors

Typical Applications (Continued)

Absolute with a 2.500V Reference

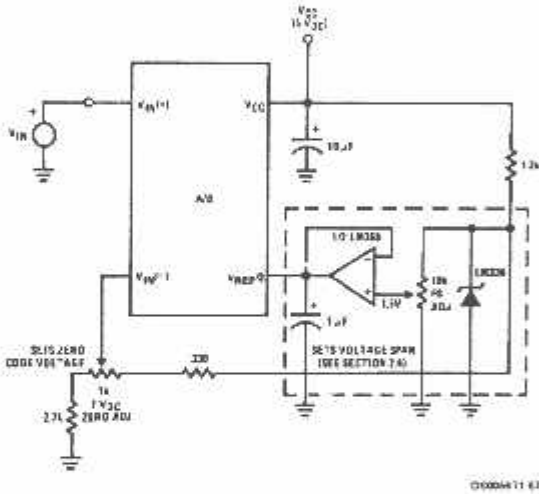


Absolute with a 5V Reference

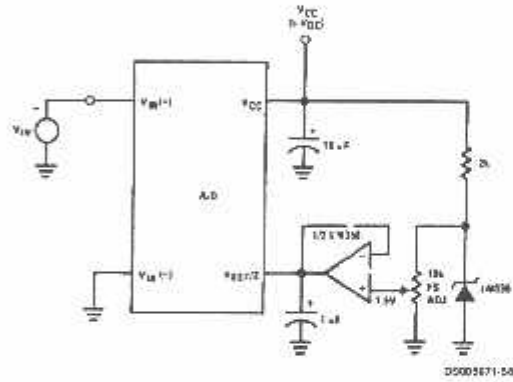


*For low power, see also LM385-2.5

Zero-Shift and Span Adjust: $2V \leq V_{IN} \leq 5V$

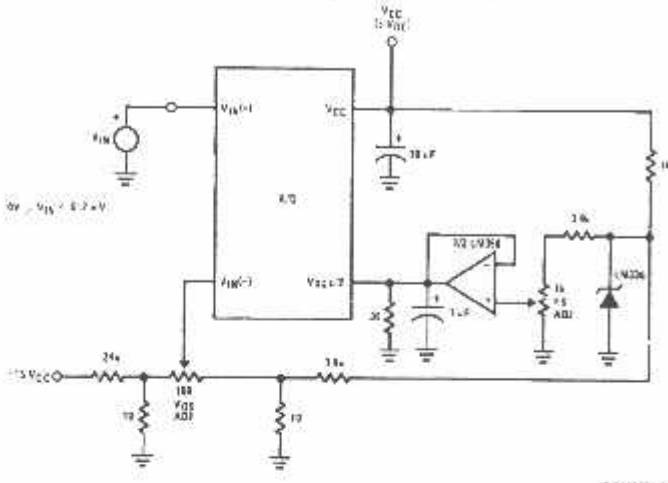


Span Adjust: $0V \leq V_{IN} \leq 3V$



Typical Applications (Continued)

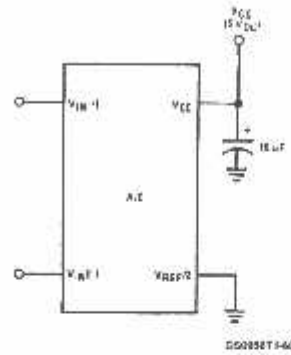
Directly Converting a Low-Level Signal



$V_{REF} = 2.56 \text{ mV}$

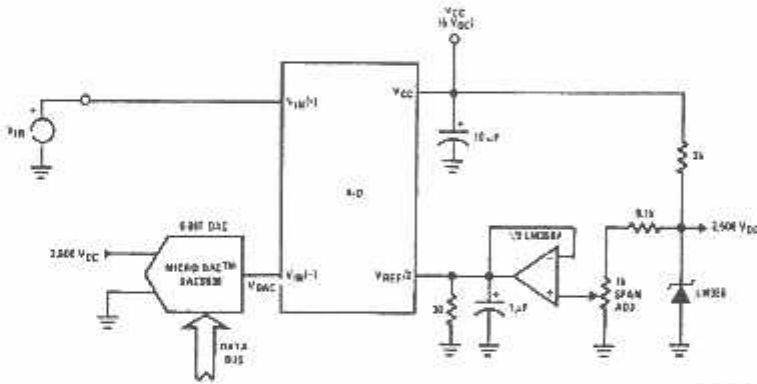
DS006611-33

A μ P Interfaced Comparator



For $V_{IN(+)} > V_{IN(-)}$
Output = FFH_{EX}
For $V_{IN(+)} < V_{IN(-)}$
Output = 00H_{EX}

1 mV Resolution with μ P Controlled Range

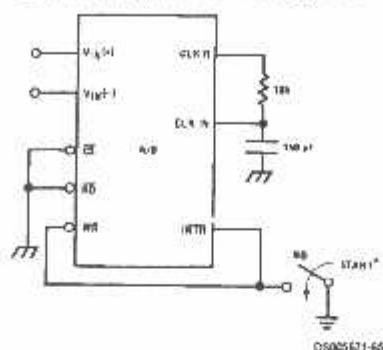


DS006611-41

$V_{REF} = 128 \text{ mV}$
1 LSB = 1 mV
 $V_{DAC} = V_{IN} \pm (V_{DAC} + 256 \text{ mV})$
 $0 < V_{DAC} < 2.5 \text{ V}$

Typical Applications (Continued)

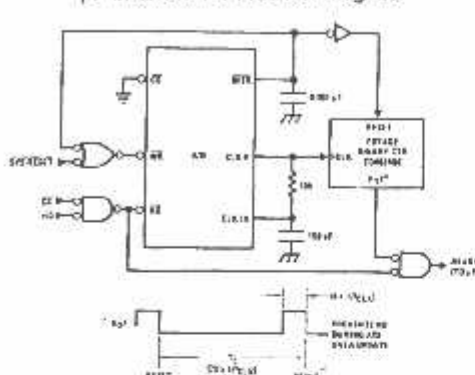
Self-Clocking in Free-Running Mode



*After power-up, a momentary grounding of the $\overline{\text{START}}$ input is needed to guarantee operation.

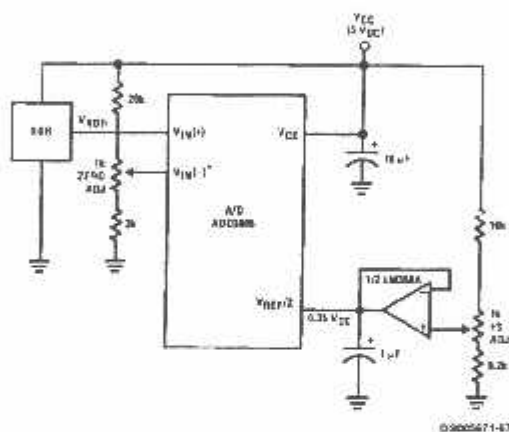
DS005671-45

μP Interface for Free-Running A/D



DS005671-46

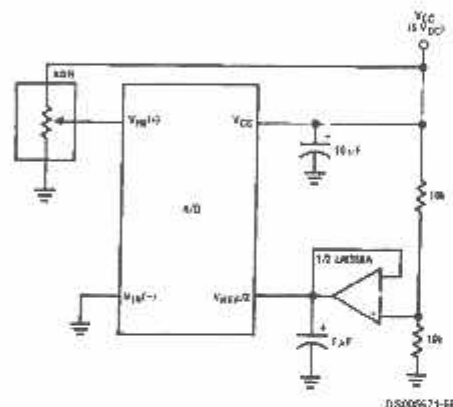
Operating with "Automotive" Ratio-metric Transducers



* $V_{IN(-)} = 0.15 V_{CC}$
15% of $V_{CC} < V_{XPR} < 85\%$ of V_{CC}

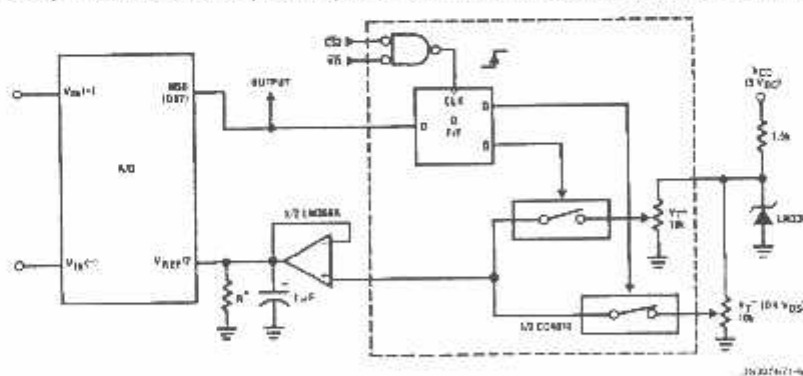
DS005671-47

Ratio-metric with $V_{REF/2}$ Forced



DS005671-48

μP Compatible Differential-Input Comparator with Pre-Set V_{OS} (with or without Hysteresis)

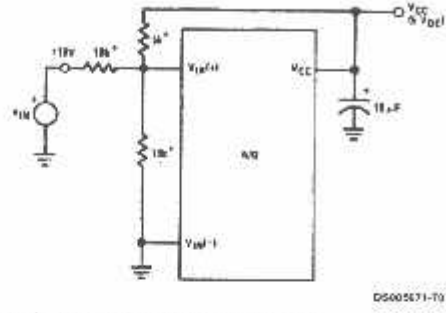


*See Figure 5 to select R value
DB7=1* for $V_{IN(+)} > V_{IN(-)} + (V_{REF}/2)$
Omit circuitry within the dotted area if hysteresis is not needed

DS005671-49

Typical Applications (Continued)

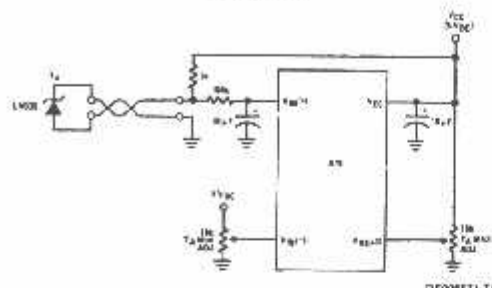
Handling $\pm 10\text{V}$ Analog Inputs



DS005071-70

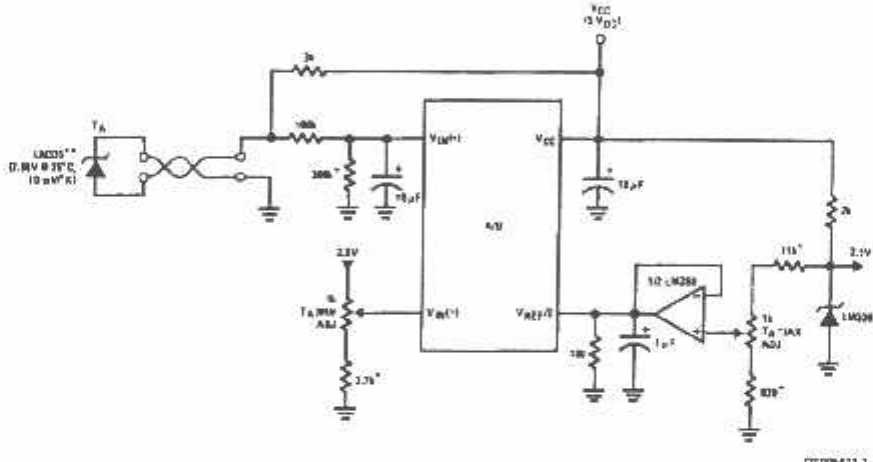
*Seckman Instruments #634-3-R10K resistor array

Low-Cost, μP Interfaced, Temperature-to-Digital Converter



DS005071-71

μP Interfaced Temperature-to-Digital Converter



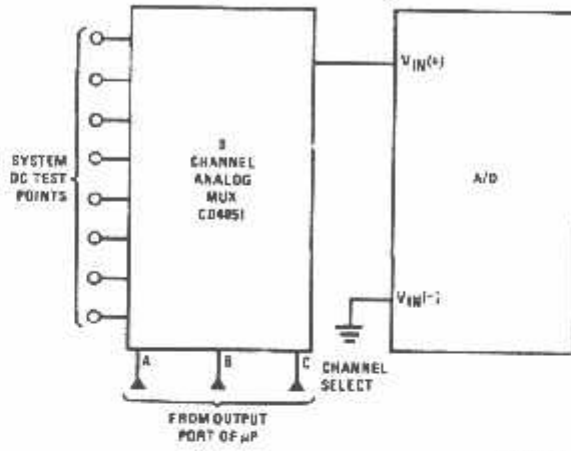
DS005071-72

*Circuit values shown are for $0^\circ\text{C} < T_A < +128^\circ\text{C}$

**Can calibrate each sensor to allow easy replacement, then A/D can be calibrated with a pre-set input voltage.

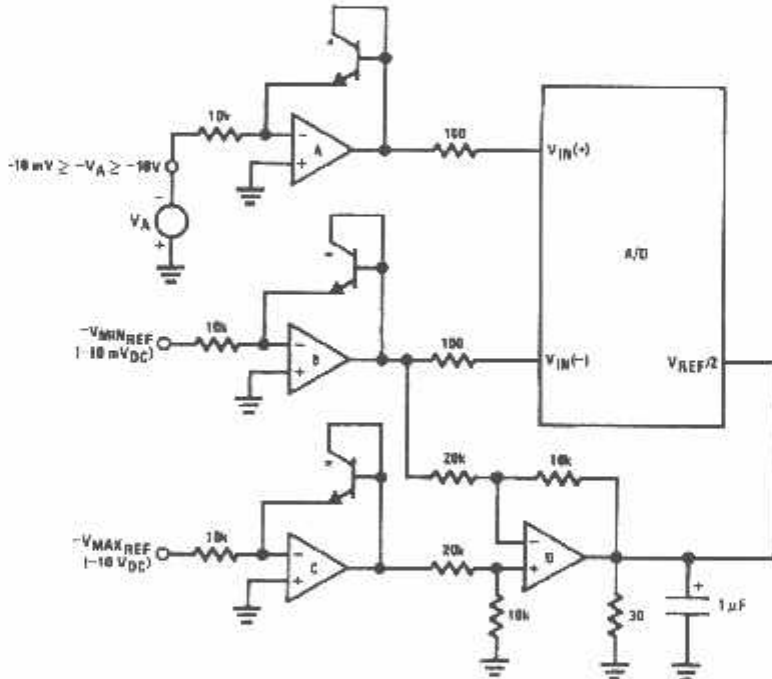
Typical Applications (Continued)

Analog Self-Test for a System



0909611-36

A Low-Cost, 3-Decade Logarithmic Converter

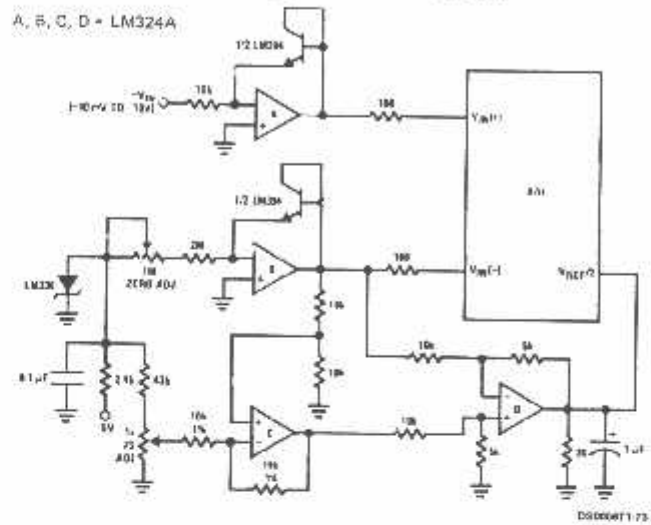


0909617-37

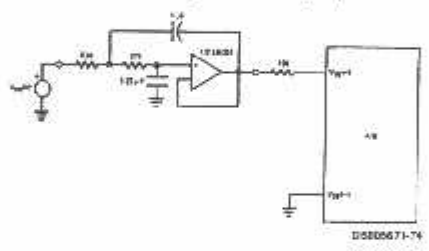
*LM339 transistors
A, B, C, D = LM324A quad op amp

Typical Applications (Continued)

3-Decade Logarithmic A/D Converter

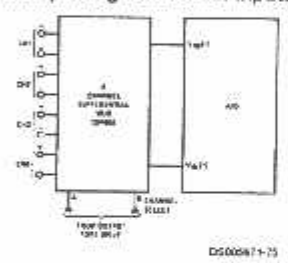


Noise Filtering the Analog Input

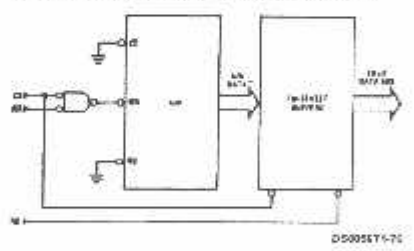


$f_c = 20$ Hz
 Uses Chebyshev implementation for steeper roll-off unity-gain, 2nd order, low-pass filter
 Adding a separate filter for each channel increases system response time if an analog multiplexer is used

Multiplexing Differential Inputs



Output Buffers with A/D Data Enabled



*A/D output data is updated 1 CLK period prior to assertion of \overline{NTR}

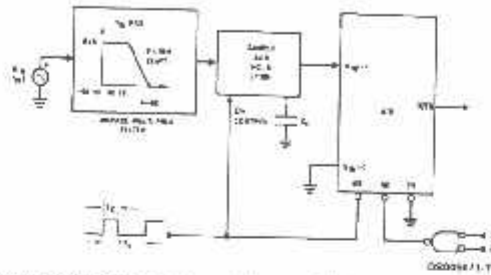
Increasing Bus Drive and/or Reducing Time on Bus



*Allow output data to set-up at falling edge of \overline{CS}

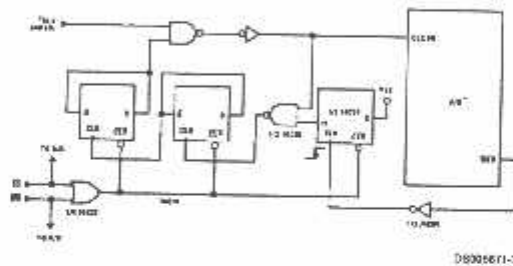
Typical Applications (Continued)

Sampling an AC Input Signal



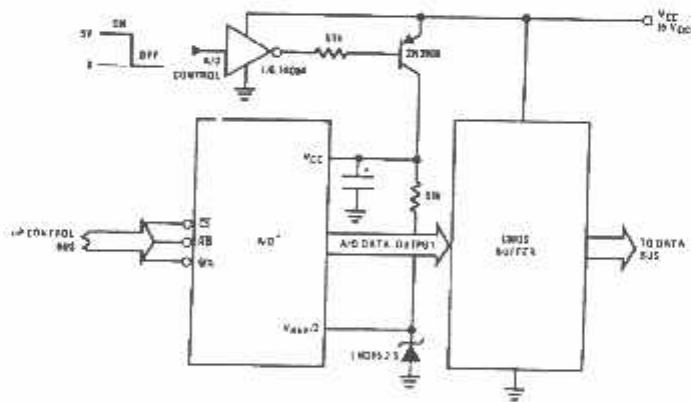
Note 11: Oversample when ever possible (keep $f_s > 2(f_{in} + B)$) to eliminate input frequency folding (aliasing) and to allow for the skirt response of the filter.
 Note 12: Consider the amplitude errors which are introduced within the passband of the filter.

70% Power Savings by Clock Gating



(Complete shutdown takes ~ 30 seconds.)

Power Savings by A/D and VREF Shutdown



*Use ADC0801, 02, 03 or 03 for lowest power consumption.
 Note: Logic inputs can be driven to V_{DD} with A/D supply at zero volts.
 Buffer: prevents data bus from overdriving output of A/D when in shutdown mode.

Functional Description

1.0 UNDERSTANDING A/D ERROR SPECS

A perfect A/D transfer characteristic (staircase waveform) is shown in Figure 3. The horizontal scale is analog input voltage and the particular points labeled are in steps of 1 LSB (19.53 mV with 2.5V tied to the $V_{REF}/2$ pin). The digital output codes that correspond to these inputs are shown as D-1, D, and D+1. For the perfect A/D, not only will center-value

(A-1, A, A+1, . . .) analog inputs produce the correct output digital codes, but also each riser (the transitions between adjacent output codes) will be located $\pm 1/2$ LSB away from each center-value. As shown, the risers are ideal and have no width. Correct digital output codes will be provided for a range of analog input voltages that extend $\pm 1/2$ LSB from the ideal center-values. Each troad (the range of analog input voltage that provides the same digital output code) is therefore 1 LSB wide.

Functional Description (Continued)

Figure 7 shows a worst case error plot for the ADC0801. All center-valued inputs are guaranteed to produce the correct output codes and the adjacent users are guaranteed to be no closer to the center-value points than $\pm 1/2$ LSB. In other words, if we apply an analog input equal to the center-value $\pm 1/2$ LSB, we guarantee that the A/D will produce the correct digital code. The maximum range of the position of the code transition is indicated by the horizontal arrow and it is guaranteed to be no more than $1/2$ LSB.

The error curve of Figure 8 shows a worst case error plot for the ADC0802. Here we guarantee that if we apply an analog input equal to the LSB analog voltage center-value the A/D will produce the correct digital code.

Next to each transfer function is shown the corresponding error plot. Many people may be more familiar with error plots than transfer functions. The analog input voltage to the A/D is provided by either a linear ramp or by the discrete output steps of a high resolution DAC. Notice that the error is continuously displayed and includes the quantization uncertainty of the A/D. For example the error at point 1 of Figure 8 is $+1/2$ LSB because the digital code appeared $1/2$ LSB in advance of the center-value of the tread. The error plots always have a constant negative slope and the abrupt upside steps are always 1 LSB in magnitude.

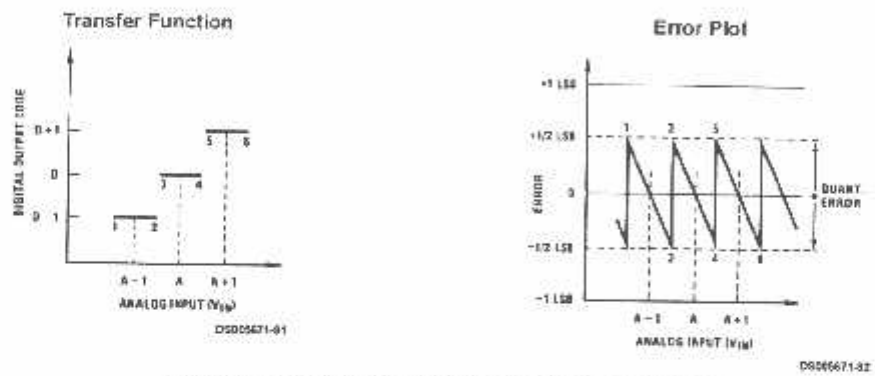


FIGURE 1. Clarifying the Error Specs of an A/D Converter Accuracy = ± 0 LSB: A Perfect A/D

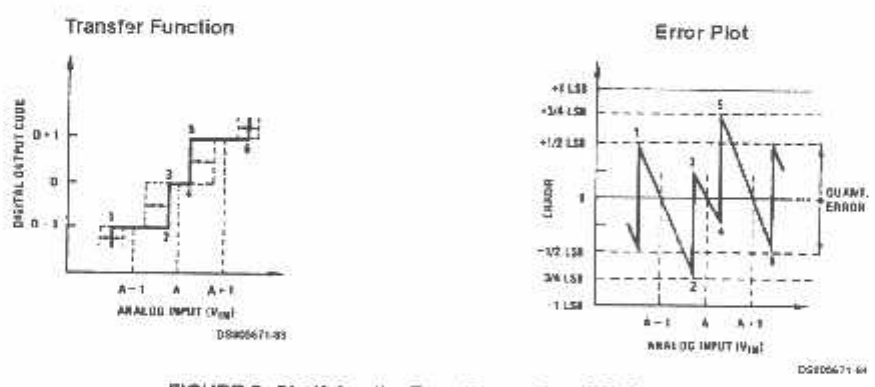


FIGURE 2. Clarifying the Error Specs of an A/D Converter Accuracy = $\pm 1/2$ LSB

Functional Description (Continued)

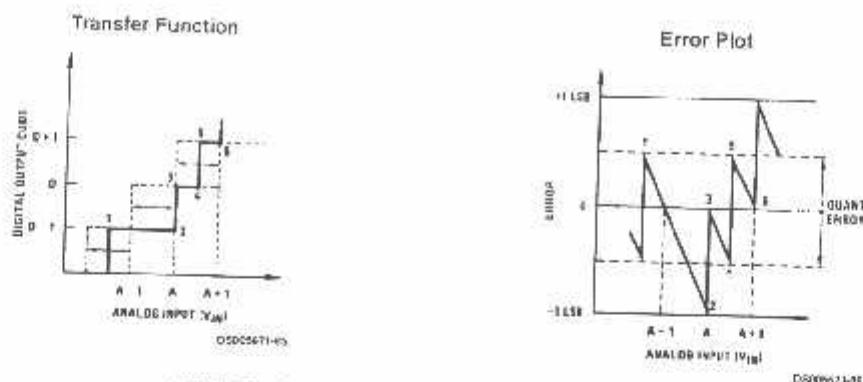


FIGURE 3. Clarifying the Error Specs of an A/D Converter
Accuracy = $\pm 1/2$ LSB

2.0 FUNCTIONAL DESCRIPTION

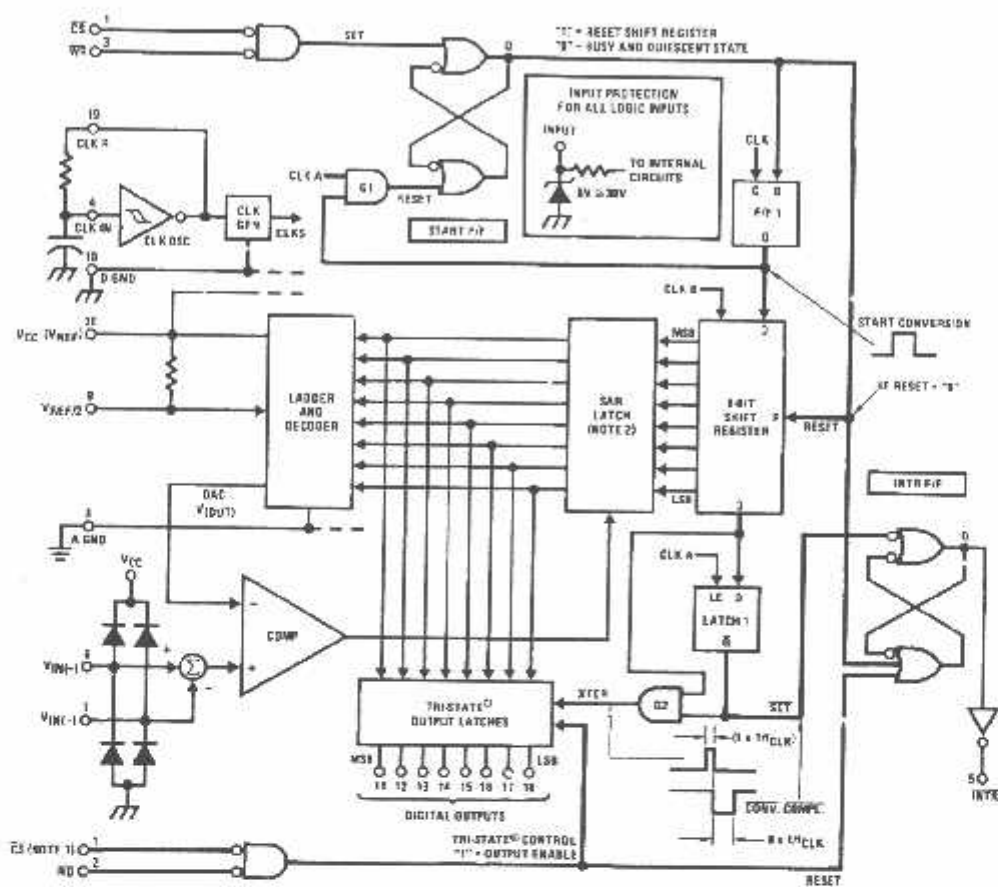
The ADC0801 series contains a circuit equivalent of the 256R network. Analog switches are sequenced by successive approximation logic to match the analog difference input voltage $[V_{IN}(+) - V_{IN}(-)]$ to a corresponding tap on the R network. The most significant bit is tested first and after 8 comparisons (64 clock cycles) a digital 8-bit binary code (1111 1111 = full-scale) is transferred to an output latch and then an interrupt is asserted (\overline{INTR} makes a high-to-low transition). A conversion in process can be interrupted by issuing a second start command. The device may be operated in the free-running mode by connecting \overline{INTR} to the \overline{WR} input with $\overline{CS} = 0$. To ensure start-up under all possible conditions, an external \overline{WR} pulse is required during the first power-up cycle.

On the high-to-low transition of the \overline{WR} input the internal SAR latches and the shift register stages are reset. As long as the \overline{CS} input and \overline{WR} input remain low, the A/D will remain in a reset state. Conversion will start from 1 to 8 clock periods after at least one of these inputs makes a low-to-high transition.

A functional diagram of the A/D converter is shown in Figure 4. All of the package pinouts are shown and the major logic control paths are drawn in heavier weight lines.

The converter is started by having \overline{CS} and \overline{WR} simultaneously low. This sets the start flip-flop (F/F) and the resulting "1" level resets the 8-bit shift register, resets the Interrupt (INTR) F/F and inputs a "1" to the D flop, F/F1, which is at the input end of the 8-bit shift register. Internal clock signals then transfer this "1" to the Q output of F/F1. The AND gate, G1, combines this "1" output with a clock signal to provide a reset signal to the start F/F. If the set signal is no longer present (either \overline{WR} or \overline{CS} is a "1") the start F/F is reset and the 8-bit shift register then can have the "1" clocked in, which starts the conversion process. If the set signal were to still be present, this reset pulse would have no effect (both outputs of the start F/F would momentarily be at a "1" level) and the 8-bit shift register would continue to be held in the reset mode. This logic therefore allows for wide \overline{CS} and \overline{WR} signals and the converter will start after at least one of these signals returns high and the internal clocks again provide a reset signal for the start F/F.

Functional Description (Continued)



Note 13: \overline{CS} shown twice for clarity.

Note 14: SAR = Successive Approximation Register.

FIGURE 4. Block Diagram

After the "1" is clocked through the 8-bit shift register (which completes the SAR search) if appears as the input to the D-type latch, LATCH 1. As soon as this "1" is output from the shift register, the AND gate, G2, causes the new digital word to transfer to the TRI-STATE output latches. When LATCH 1 is subsequently enabled, the Q output makes a high-to-low transition which causes the INTR F/F to set. An inverting buffer then supplies the \overline{INTR} input signal.

Note that this SET control of the INTR F/F remains low for 8 of the external clock periods (as the internal clocks run at $1/4$ of the frequency of the external clock). If the data output is continuously enabled (\overline{CS} and \overline{RD} both held low), the \overline{INTR} output will still signal the end of conversion (by a high-to-low transition), because the SET input can control the Q output of the INTR F/F even though the RESET input is constantly at a "1" level in this operating mode. This \overline{INTR} output will therefore stay low for the duration of the SET signal, which is 8 periods of the external clock frequency (assuming the A/D is not started during this interval).

When operating in the free-running or continuous conversion mode (\overline{INTR} pin tied to \overline{WR} and \overline{CS} wired low—see also section 2.8), the START F/F is SET by the high-to-low transition of the \overline{INTR} signal. This resets the SHIFT REGISTER

which causes the input to the D-type latch, LATCH 1, to go low. As the latch enable input is still present, the \overline{Q} output will go high, which then allows the INTR F/F to be RESET. This reduces the width of the resulting \overline{INTR} output pulse to only a few propagation delays (approximately 300 ns).

When data is to be read, the combination of both \overline{CS} and \overline{RD} being low will cause the INTR F/F to be reset and the TRI-STATE output latches will be enabled to provide the 8-bit digital outputs.

2.1 Digital Control Inputs

The digital control inputs (\overline{CS} , \overline{RD} , and \overline{WR}) meet standard TTL logic voltage levels. These signals have been renamed when compared to the standard A/D Start and Output Enable labels. In addition, these inputs are active low to allow an easy interface to microprocessor control busses. For non-microprocessor based applications, the \overline{CS} input (pin 1) can be grounded and the standard A/D Start function is obtained by an active low pulse applied at the \overline{WR} input (pin 3) and the Output Enable function is caused by an active low pulse at the \overline{RD} input (pin 2).

Functional Description (Continued)

2.2 Analog Differential Voltage Inputs and Common-Mode Rejection

This A/D has additional applications flexibility due to the analog differential voltage input. The $V_{IN}(-)$ input (pin 7) can be used to automatically subtract a fixed voltage value from the input reading (tare correction). This is also useful in 4 mA–20 mA current loop conversion. In addition, common-mode noise can be reduced by use of the differential input.

The time interval between sampling $V_{IN}(+)$ and $V_{IN}(-)$ is $4\frac{1}{2}$ clock periods. The maximum error voltage due to this slight time difference between the input voltage samples is given by:

$$\Delta V_e(\text{MAX}) = (V_P) (2\pi f_{cm}) \left(\frac{4.5}{f_{CLK}} \right)$$

where:

ΔV_e is the error voltage due to sampling delay

V_P is the peak value of the common-mode voltage

f_{cm} is the common-mode frequency

As an example, to keep this error to $\frac{1}{4}$ LSB (-5 mV) when operating with a 60 Hz common-mode frequency, f_{cm} , and using a 640 kHz A/D clock, f_{CLK} , would allow a peak value of the common-mode voltage, V_P , which is given by:

$$V_P = \frac{(\Delta V_e(\text{MAX})) (f_{CLK})}{(2\pi f_{cm}) (4.5)}$$

or

$$V_P = \frac{(5 \times 10^{-3}) (640 \times 10^3)}{(6.28) (60) (4.5)}$$

which gives

$$V_P = 1.9V$$

The allowed range of analog input voltages usually places more severe restrictions on input common-mode noise levels.

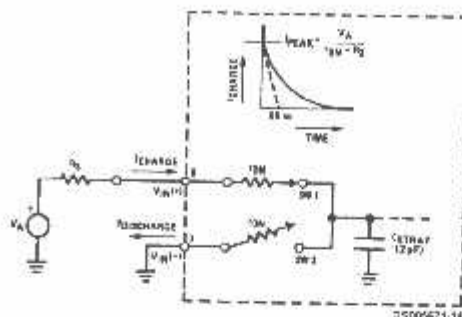
An analog input voltage with a reduced span and a relatively large zero offset can be handled easily by making use of the differential input (see section 2.4 Reference Voltage).

2.3 Analog Inputs

2.3.1 Input Current

Normal Mode

Due to the internal switching action, displacement currents will flow at the analog inputs. This is due to on-chip stray capacitance to ground as shown in Figure 5.



R_{ON} of SW 1 and SW 2 = 5 kΩ

$C_{STRAY} = 5 \text{ k}\Omega \times 12 \text{ pF} = 60 \text{ ns}$

FIGURE 5. Analog Input Impedance

The voltage on this capacitance is switched and will result in currents entering the $V_{IN}(+)$ input pin and leaving the $V_{IN}(-)$ input which will depend on the analog differential input voltage levels. These current transients occur at the leading edge of the internal clocks. They rapidly decay and do not cause error as the on-chip comparator is strobed at the end of the clock period.

Fault Mode

If the voltage source applied to the $V_{IN}(+)$ or $V_{IN}(-)$ pin exceeds the allowed operating range of $V_{CC}+50$ mV, large input currents can flow through a parasitic diode to the V_{CC} pin. If these currents can exceed the 1 mA max allowed spec, an external diode (1N914) should be added to bypass this current to the V_{CC} pin (with the current bypassed with this diode, the voltage at the $V_{IN}(+)$ pin can exceed the V_{CC} voltage by the forward voltage of this diode).

2.3.2 Input Bypass Capacitors

Bypass capacitors at the inputs will average these charges and cause a DC current to flow through the output resistances of the analog signal sources. This charge pumping action is worse for continuous conversions with the $V_{IN}(+)$ input voltage at full-scale. For continuous conversions with a 640 kHz clock frequency with the $V_{IN}(+)$ input at 5V, this DC current is at a maximum of approximately 5 μ A. Therefore,

bypass capacitors are necessary for high resistance sources (> 1 kΩ). If input the V_{RES} capacitors are necessary for noise filtering and high source resistance is desirable to minimize capacitor size, the detrimental effects of the voltage drop across this parasitic resistance, which is due to the average value of the input current, can be eliminated with a full-scale adjustment while the given source resistor and input bypass capacitor are both in place. This is possible because the average value of the input current is a precise linear function of the differential input voltage.

2.3.3 Input Source Resistance

Large values of source resistance where an input bypass capacitor is not used, will not cause any time. If a low pass filter is required in the system, use a low valued series resistor (≤ 1 kΩ) for a passive RC section or add an op amp RC active low pass filter. For low source resistance applications, (≤ 1 kΩ), a 0.1 μ F bypass capacitor at the inputs will prevent noise pickup due to series lead inductance of a long wire. A

Functional Description (Continued)

100Ω series resistor can be used to isolate this capacitor—both the R and C are placed outside the feedback loop—from the output of an op amp, if used.

2.3.4 Noise

The leads to the analog inputs (pins 6 and 7) should be kept as short as possible to minimize input noise coupling. Both noise and undesired digital clock coupling to these inputs can cause system errors. The source resistance for these inputs should, in general, be kept below 5 kΩ. Larger values of source resistance can cause undesired system noise pickup. Input bypass capacitors, placed from the analog inputs to ground, will eliminate system noise pickup but can create analog scale errors as these capacitors will average the transient input switching currents of the A/D (see section 2.3.1). This scale error depends on both a large source resistance and the use of an input bypass capacitor. This error can be eliminated by doing a full-scale adjustment of the A/D (adjust $V_{REF}/2$ for a proper full-scale reading—see section 2.5.2 on Full-Scale Adjustment) with the source resistance and input bypass capacitor in place.

2.4 Reference Voltage

2.4.1 Span Adjust

For maximum applications flexibility, these A/Ds have been designed to accommodate a $5 V_{DC}$, $2.5 V_{DC}$ or an adjusted voltage reference. This has been achieved in the design of the IC as shown in Figure 6.

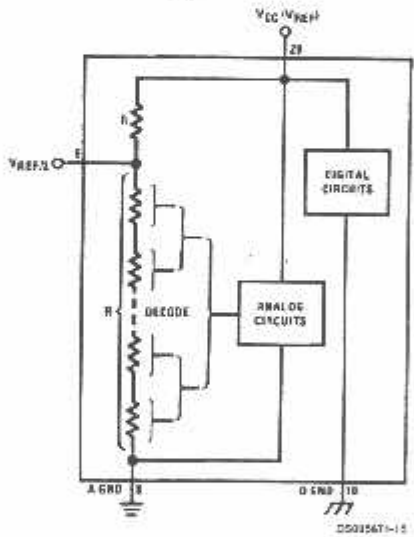


FIGURE 6. The $V_{REFERENCE}$ Design on the IC

Notice that the reference voltage for the IC is either $1/2$ of the voltage applied to the V_{CC} supply pin, or is equal to the voltage that is externally forced at the $V_{REF}/2$ pin. This allows for a ratiometric voltage reference using the V_{CC} supply, a $5 V_{CC}$ reference voltage can be used for the V_{CC} supply or a voltage less than $2.5 V_{CC}$ can be applied to the $V_{REF}/2$ input for increased application flexibility. The internal gain to the $V_{REF}/2$ input is 2, making the full-scale differential input voltage twice the voltage at pin 9.

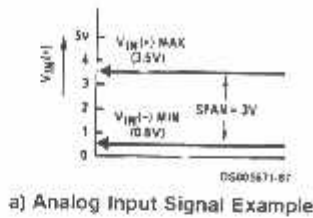
An example of the use of an adjusted reference voltage is to accommodate a reduced span—or dynamic voltage range of the analog input voltage. If the analog input voltage were to range from $0.5 V_{DC}$ to $3.5 V_{DC}$, instead of $0V$ to $5 V_{DC}$, the span would be $3V$ as shown in Figure 7. With $0.5 V_{DC}$ applied to the $V_{IN}(-)$ pin to absorb the offset, the reference voltage can be made equal to $1/2$ of the $3V$ span or $1.5 V_{DC}$. The A/D now will encode the $V_{IN}(+)$ signal from $0.5V$ to $3.5 V$ with the $0.5V$ input corresponding to zero and the $3.5 V_{DC}$ input corresponding to full-scale. The full 8 bits of resolution are therefore applied over this reduced analog input voltage range.

2.4.2 Reference Accuracy Requirements

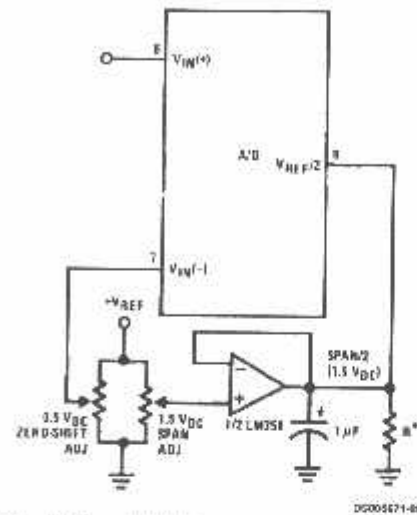
The converter can be operated in a ratiometric mode or an absolute mode. In ratiometric converter applications, the magnitude of the reference voltage is a factor in both the output of the source transducer and the output of the A/D converter and therefore cancels out in the final digital output code. The ADC0805 is specified particularly for use in ratiometric applications with no adjustments required. In absolute conversion applications, both the initial value and the temperature stability of the reference voltage are important factors in the accuracy of the A/D converter. For $V_{REF}/2$ voltages of $2.4 V_{DC}$ nominal value, initial errors of $\pm 10 mV_{DC}$ will cause conversion errors of ± 1 LSB due to the gain of 2 of the $V_{REF}/2$ input. In reduced span applications, the initial value and the stability of the $V_{REF}/2$ input voltage become even more important. For example, if the span is reduced to $2.5V$ the analog input LSB voltage value is correspondingly reduced from $20 mV$ ($5V$ span) to $10 mV$ and 1 LSB at the $V_{REF}/2$ input becomes $5 mV$. As can be seen, this reduces the allowed initial tolerance of the reference voltage and requires correspondingly less absolute change with temperature variations. Note that spans smaller than $2.5V$ place even tighter requirements on the initial accuracy and stability of the reference source.

In general, the magnitude of the reference voltage will require an initial adjustment. Errors due to an improper value of reference voltage appear as full-scale errors in the A/D transfer function. IC voltage regulators may be used for references if the ambient temperature changes are not excessive. The LM336B $2.5V$ IC reference diode (from National Semiconductor) has a temperature stability of $1.8 mV$ typ ($6 mV$ max) over $0 C \leq T_A \leq +70 C$. Other temperature range parts are also available.

Functional Description (Continued)



a) Analog Input Signal Example



*Add if $V_{REF/2} \leq 1 V_{DC}$ with LM358 to draw 3 mA to ground.

b) Accommodating an Analog Input from 0.5V (Digital Out = 00_{HEX}) to 3.5V (Digital Out = FF_{HEX})

FIGURE 7. Adapting the A/D Analog Input Voltages to Match an Arbitrary Input Signal Range

2.5 Errors and Reference Voltage Adjustments

2.5.1 Zero Error

The zero of the A/D does not require adjustment. If the minimum analog input voltage value, $V_{IN(MIN)}$, is not ground, a zero offset can be done. The converter can be made to output 0000 0000 digital code for this minimum input voltage by biasing the A/D $V_{IN(-)}$ input at this $V_{IN(MIN)}$ value (see Applications section). This utilizes the differential mode operation of the A/D.

The zero error of the A/D converter relates to the location of the first riser of the transfer function and can be measured by grounding the $V_{IN(+)}$ input and applying a small magnitude positive voltage to the $V_{IN(-)}$ input. Zero error is the difference between the actual DC input voltage that is necessary to just cause an output digital code transition from 0000 0000 to 0000 0001 and the ideal $\frac{1}{2}$ LSB value ($\frac{1}{2}$ LSB = 9.8 mV for $V_{REF/2} = 2.500 V_{DC}$).

2.5.2 Full-Scale

The full-scale adjustment can be made by applying a differential input voltage that is $1\frac{1}{2}$ LSB less than the desired analog full-scale voltage range and then adjusting the magnitude of the $V_{REF/2}$ input (pin 9 or the V_{CC} supply if pin 9 is not used) for a digital output code that is just changing from 1111 1110 to 1111 1111.

2.5.3 Adjusting for an Arbitrary Analog Input Voltage Range

If the analog zero voltage of the A/D is shifted away from ground (for example, to accommodate an analog input signal that does not go to ground) this new zero reference should be properly adjusted first. A $V_{IN(-)}$ voltage that equals this desired zero reference plus $\frac{1}{2}$ LSB (where the LSB is calculated for the desired analog span, $1 \text{ LSB} = \text{analog span}/256$)

is applied to pin 5 and the zero reference voltage at pin 7 should then be adjusted to just obtain the 00_{HEX} to 01_{HEX} code transition.

The full-scale adjustment should then be made (with the proper $V_{IN(-)}$ voltage applied) by forcing a voltage to the $V_{IN(+)}$ input which is given by:

$$V_{IN(+)} \text{ fs adj} = V_{MAX} - 1.5 \left[\frac{(V_{MAX} - V_{MIN})}{256} \right]$$

where:

V_{MAX} = The high end of the analog input range

and

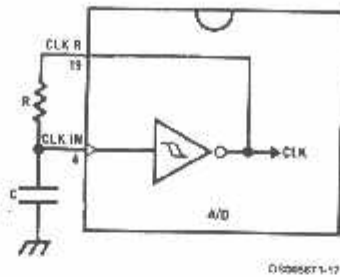
V_{MIN} = the low end (the offset zero) of the analog range. (Both are ground referenced.)

The $V_{REF/2}$ (or V_{CC}) voltage is then adjusted to provide a code change from FE_{HEX} to FF_{HEX}. This completes the adjustment procedure.

2.6 Clocking Option

The clock for the A/D can be derived from the CPU clock or an external RC can be added to provide self-clocking. The CLK IN (pin 4) makes use of a Schmitt trigger as shown in Figure 8.

Functional Description (Continued)



$$f_{CLK} = \frac{1}{1.1 RC}$$

$$R = 10 \text{ k}\Omega$$

FIGURE 8. Self-Clocking the A/D

Heavy capacitive or DC loading of the clock R pin should be avoided as this will disturb normal converter operation. Loads less than 50 pF, such as driving up to 7 A/D converter clock inputs from a single clock R pin of 1 converter, are allowed. For larger clock line loading, a CMOS or low power TTL buffer or PNP input logic should be used to minimize the loading on the clock R pin (do not use a standard TTL buffer).

2.7 Restart During a Conversion

If the A/D is restarted (\overline{CS} and \overline{WR} go low and return high) during a conversion, the converter is reset and a new conversion is started. The output data latch is not updated if the conversion in process is not allowed to be completed, therefore the data of the previous conversion remains in this latch. The \overline{INTR} output simply remains at the "1" level.

2.8 Continuous Conversions

For operation in the free-running mode an initializing pulse should be used, following power-up, to ensure circuit operation. In this application, the \overline{CS} input is grounded and the \overline{WR} input is tied to the \overline{INTR} output. This \overline{WR} and \overline{INTR} node should be momentarily forced to logic low following a power-up cycle to guarantee operation.

2.9 Driving the Data Bus

This MOS A/D, like MOS microprocessors and memories, will require a bus driver when the total capacitance of the data bus gets large. Other circuitry, which is tied to the data bus, will add to the total capacitive loading, even in TRI-STATE (high impedance mode). Backplane bussing also greatly adds to the stray capacitance of the data bus.

There are some alternatives available to the designer to handle this problem. Basically, the capacitive loading of the data bus slows down the response time, even though DC specifications are still met. For systems operating with a relatively slow CPU clock frequency, more time is available in which to establish proper logic levels on the bus and therefore higher capacitive loads can be driven (see typical characteristics curves).

At higher CPU clock frequencies time can be extended for I/O reads (and/or writes) by inserting wait states (8080) or using clock extending circuits (6800).

Finally, if time is short and capacitive loading is high external bus drivers must be used. These can be TRI-STATE buffers

(low power Schottky such as the DM74LS240 series is recommended) or special higher drive current products which are designed as bus drivers. High current bipolar bus drivers with PNP inputs are recommended.

2.10 Power Supplies

Noise spikes on the V_{CC} supply line can cause conversion errors as the comparator will respond to this noise. A low inductance tantalum filter capacitor should be used close to the converter V_{CC} pin and values of 1 μ F or greater are recommended. If an unregulated voltage is available in the system, a separate LM340LAZ-5.0, TO-92, 5V voltage regulator for the converter (and other analog circuitry) will greatly reduce digital noise on the V_{CC} supply.

2.11 Wiring and Hook-Up Precautions

Standard digital wire wrap sockets are not satisfactory for breadboarding this A/D converter. Sockets on PC boards can be used and all logic signal wires and leads should be grouped and kept as far away as possible from the analog signal leads. Exposed leads to the analog inputs can cause undesired digital noise and hum pickup, therefore shielded leads may be necessary in many applications.

A single point analog ground that is separate from the logic ground points should be used. The power supply bypass capacitor and the self-clocking capacitor (if used) should both be returned to digital ground. Any $V_{REF}/2$ bypass capacitors, analog input filter capacitors, or input signal shielding should be returned to the analog ground point. A test for proper grounding is to measure the zero error of the A/D converter. Zero errors in excess of $1/4$ LSB can usually be traced to improper board layout and wiring (see section 2.5.1 for measuring the zero error).

3.0 TESTING THE A/D CONVERTER

There are many degrees of complexity associated with testing an A/D converter. One of the simplest tests is to apply a known analog input voltage to the converter and use LEDs to display the resulting digital output code as shown in Figure 9. For ease of testing, the $V_{REF}/2$ (pin 9) should be supplied with $2.560 V_{DC}$ and a V_{CC} supply voltage of $5.12 V_{DC}$ should be used. This provides an LSB value of 20 mV.

If a full-scale adjustment is to be made, an analog input voltage of $5.090 V_{DC}$ ($5.120 - 1/2$ LSB) should be applied to the $V_{IN}(+)$ pin with the $V_{IN}(-)$ pin grounded. The value of the $V_{REF}/2$ input voltage should then be adjusted until the digital output code is just changing from 1111 1110 to 1111 1111. This value of $V_{REF}/2$ should then be used for all the tests.

The digital output LED display can be decoded by dividing the 8 bits into 2 hex characters, the 4 most significant (MS) and the 4 least significant (LS). Table 1 shows the fractional binary equivalent of these two 4-bit groups. By adding the voltages obtained from the "VMS" and "VLS" columns in Table 1, the nominal value of the digital display (when $V_{REF}/2 = 2.560V$) can be determined. For example, for an output LED display of 1011 0110 or B8 (in hex), the voltage values from the table are $3.520 + 0.120$ or $3.640 V_{DC}$. These voltage values represent the center-values of a perfect A/D converter. The effects of quantization error have to be accounted for in the interpretation of the test results.

Functional Description (Continued)

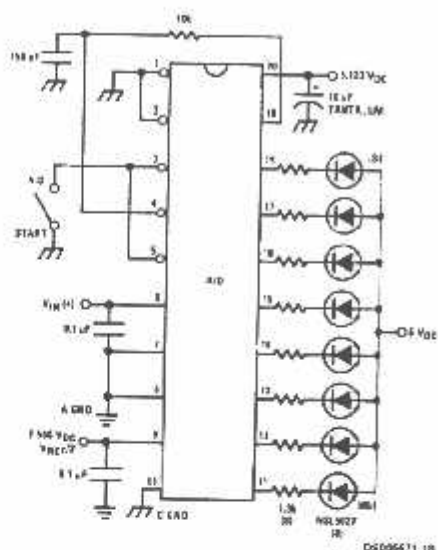


FIGURE 9. Basic A/D Tester

For a higher speed test system, or to obtain plotted data, a digital-to-analog converter is needed for the test set-up. An accurate 10-bit DAC can serve as the precision voltage source for the A/D. Errors of the A/D under test can be expressed as either analog voltages or differences in 2 digital words.

A basic A/D tester that uses a DAC and provides the error as an analog output voltage is shown in Figure 9. The 2 op amps can be eliminated if a lab DVM with a numerical subtraction feature is available to read the difference voltage, 'A-C', directly. The analog input voltage can be supplied by a low frequency ramp generator and an X-Y plotter can be used to provide analog error (Y axis) versus analog input (X axis).

For operation with a microprocessor or a computer-based test system, it is more convenient to present the errors digitally. This can be done with the circuit of Figure 11, where the output code transitions can be detected as the 10-bit DAC is incremented. This provides 1/4 LSB steps for the 8-bit A/D under test. If the results of this test are automatically plotted with the analog input on the X axis and the error (in LSB's) as the Y axis, a useful transfer function of the A/D under test results. For acceptance testing, the plot is not necessary and the testing speed can be increased by establishing internal limits on the allowed error for each code.

4.0 MICROPROCESSOR INTERFACING

To discuss the interface with 8080A and 6800 microprocessors, a common sample subroutine structure is used. The microprocessor starts the A/D, reads and stores the results of 16 successive conversions, then returns to the user's program. The 16 data bytes are stored in 16 successive memory locations. All Data and Addresses will be given in hexadecimal form. Software and hardware details are provided separately for each type of microprocessor.

4.1 Interfacing 8080 Microprocessor Derivatives (8048, 8085)

This converter has been designed to directly interface with derivatives of the 8080 microprocessor. The A/D can be mapped into memory space (using standard memory address decoding for CS and the MEMR and MEMW strobes) or it can be controlled as an I/O device by using the I/O R and I/O W strobes and decoding the address bits A0 - A7 (or address bits A8 - A15 as they will contain the same 8-bit address information) to obtain the CS input. Using the I/O space provides 256 additional addresses and may allow a simpler 8-bit address decoder but the data can only be input to the accumulator. To make use of the additional memory reference instructions, the A/D should be mapped into memory space. An example of an A/D in I/O space is shown in Figure 12.

Functional Description (Continued)

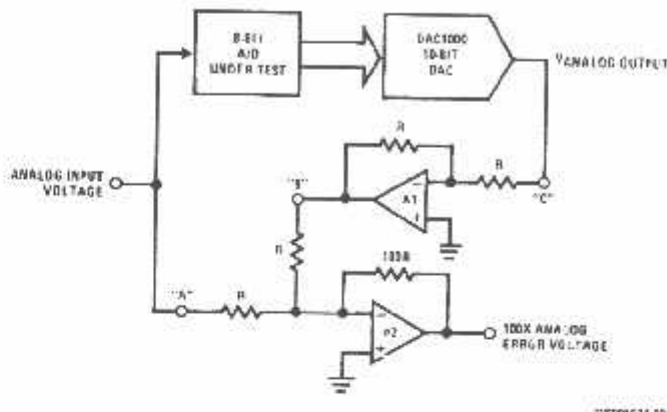


FIGURE 10. A/D Tester with Analog Error Output

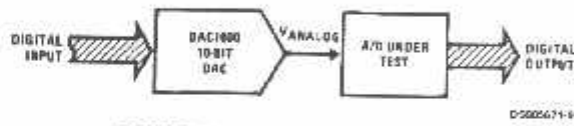


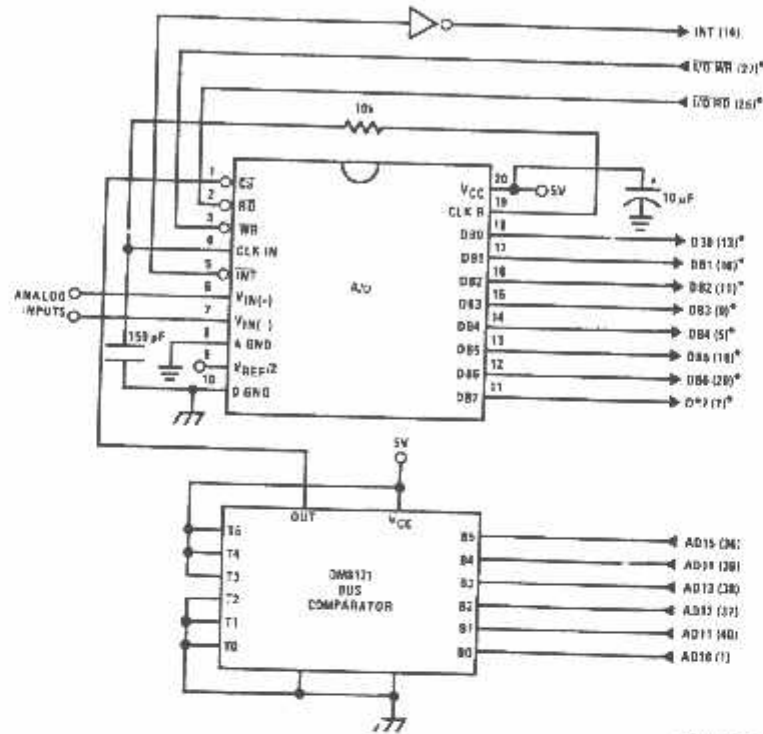
FIGURE 11. Basic "Digital" A/D Tester

TABLE 1. DECODING THE DIGITAL OUTPUT LEDs

HEX	BINARY	FRACTIONAL BINARY VALUE FOR		OUTPUT VOLTAGE CENTER VALUES WITH $V_{REF}/2 \approx 2.560 V_{DC}$	
		MS GROUP	LS GROUP	VMS GROUP (Note 15)	VLS GROUP (Note 15)
F	1 1 1 1	15/16	15/256	4.800	0.300
E	1 1 1 0	7/8	7/128	4.480	0.280
D	1 1 0 1	13/16	13/256	4.160	0.260
C	1 1 0 0	3/4	3/64	3.840	0.240
B	1 0 1 1	11/16	11/256	3.520	0.220
A	1 0 1 0	5/8	5/128	3.200	0.200
9	1 0 0 1	9/16	9/256	2.880	0.180
8	1 0 0 0	1/2	1/32	2.560	0.160
7	0 1 1 1	7/16	7/256	2.240	0.140
6	0 1 1 0	3/8	3/128	1.920	0.120
5	0 1 0 1	5/16	5/256	1.600	0.100
4	0 1 0 0	1/4	1/64	1.280	0.080
3	0 0 1 1	3/16	3/256	0.960	0.060
2	0 0 1 0	1/8	1/128	0.640	0.040
1	0 0 0 1	1/16	1/256	0.320	0.020
0	0 0 0 0			0	0

Note 15: Display Output = VMS Group + VLS Group

Functional Description (Continued)



Note 16: *Pin numbers for the DP8228 system controller, others are INS8080A.

Note 17: Pin 23 of the INS8228 must be tied to +12V through a 1 kΩ resistor to generate the RST T instruction when an interrupt is acknowledged as required by the accompanying sample program.

FIGURE 12. ADC0801_INS8080A CPU Interface

Functional Description (Continued)

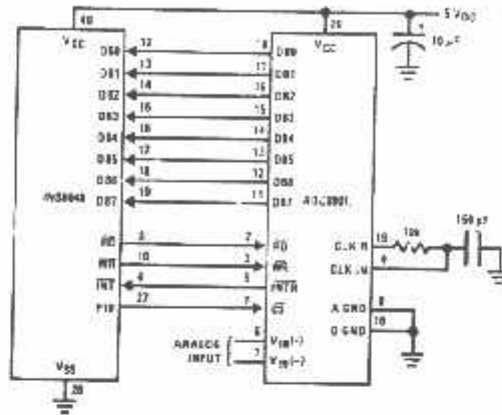


FIGURE 13. INS8048 Interface

SAMPLE PROGRAM FOR Figure 13 INS8048 INTERFACE

```

04 10          JMP      10H          ; Program starts at addr 10
04 50          ORG      3H           ;
04 50          JMP      50H          ; Interrupt jump vector
99 FE          ORG      10H          ; Main program
81            ANL      P1, #0FEH    ; Chip select
81            MOVX    A, @R1        ; Read in the 1st data
89 01          START:  ORL      P1, #1 ; to reset the intr
B8 20          MOV      RO, #20H    ; Set port pin high
B9 FF          MOV      R0, #0FH    ; Data address
BA 10          MOV      R1, #0FFH   ; Dummy address
23 FF          AGAIN:  MOV      R2, #10H ; Counter for 16 bytes
99 FE          MOV      A, #0FFH    ; Set ACC for intr loop
91            ANL      P1, #0FEH    ; Send CS (bit 0 of P1)
05            MOVX    @R1, A        ; Send WR out
98 21          LOOP:   EN          ; Enable interrupt
EA 1B          JNZ     LOOP         ; Wait for interrupt
00            DJNZ    R2, AGAIN     ; If 16 bytes are read
00            NOP      ; go to user's program
00            NOP
81            INDATA:  ORG      50H ; Input data, CS still low
A0            MOV      A, @R1      ; Store in memory
18            MOV      @R0, A      ; Increment storage counter
89 01          ORL      P1, #1      ; Reset CS signal
27            CLR     A            ; Clear ACC to get out of
93            RETR     ; the interrupt loop
    
```

4.2 Interfacing the Z-80

The Z-80 control bus is slightly different from that of the 8080. General RD and WR strobes are provided and separate memory request, MREQ, and I/O request, IORQ, signals are used which have to be combined with the generalized strobes to provide the equivalent 8080 signals. An advantage of operating the A/D in I/O space with the Z-80 is that the CPU will automatically insert one wait state (the RD and WR strobes are extended one clock period) to allow more time for the I/O devices to respond. Logic to map the A/D in I/O space is shown in Figure 14.

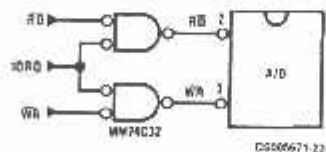


FIGURE 14. Mapping the A/D as an I/O Device for Use with the Z-80 CPU

Additional I/O advantages exist as software DMA routines are available and use can be made of the output data transfer which exists on the upper 8 address lines (A8 to A15) dur-

Functional Description (Continued)

ing LD input instructions. For example, MUX channel selection for the A/D can be accomplished with this operating mode.

4.3 Interfacing 6800 Microprocessor Derivatives (6502, etc.)

The control bus for the 6800 microprocessor derivatives does not use the \overline{RD} and \overline{WR} strobe signals. Instead it employs a single R/W line and additional timing, if needed, can be derived from the ϕ_2 clock. All I/O devices are memory mapped in the 6800 system, and a special signal, VMA, indicates that the current address is valid. Figure 15 shows an interface schematic where the A/D is memory mapped in the 6800 system. For simplicity, the \overline{CS} decoding is shown using $\frac{1}{2}$ DM8092. Note that in many 6800 systems, an already decoded $\overline{A5}$ line is brought out to the common bus at pin 21. This can be tied directly to the \overline{CS} pin of the A/D, provided that no other devices are addressed at HEX ADDR: 4XXX or 5XXX.

The following subroutine performs essentially the same function as in the case of the 8080A interface and it can be called from anywhere in the user's program.

In Figure 16 the ADC0801 series is interfaced to the M6800 microprocessor through (the arbitrarily chosen) Port B of the MC6820 or MC6821 Peripheral Interface Adapter (PIA). Here the \overline{CS} pin of the A/D is grounded since the PIA is al-

ready memory mapped in the M6800 system and no \overline{CS} decoding is necessary. Also notice that the A/D output data lines are connected to the microprocessor bus under program control through the PIA and therefore the A/D \overline{RD} pin can be grounded.

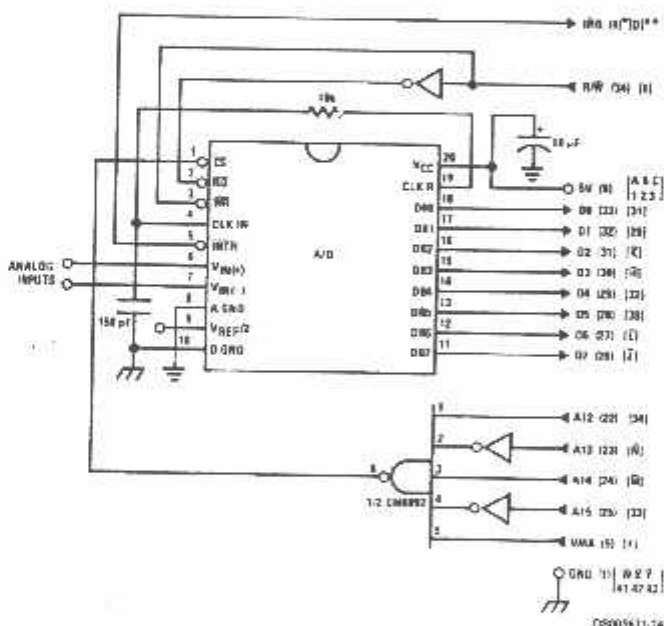
A sample interface program equivalent to the previous one is shown below Figure 16. The PIA Data and Control Registers of Port B are located at HEX addresses 8006 and 8007, respectively.

5.0 GENERAL APPLICATIONS

The following applications show some interesting uses for the A/D. The fact that one particular microprocessor is used is not meant to be restrictive. Each of these application circuits would have its counterpart using any microprocessor that is desired.

5.1 Multiple ADC0801 Series to MC6800 CPU Interface

To transfer analog data from several channels to a single microprocessor system, a multiple converter scheme presents several advantages over the conventional multiplexer single-converter approach. With the ADC0801 series, the differential inputs allow individual span adjustment for each channel. Furthermore, all analog input channels are sensed simultaneously, which essentially divides the microprocessor's total system servicing time by the number of channels, since all conversions occur simultaneously. This scheme is shown in Figure 17.



Note 20: Numbers in parentheses refer to MC6800 CPU pin out.

Note 21: Number or letters in brackets refer to standard M6800 system common bus code.

FIGURE 15. ADC0801-MC6800 CPU Interface

Functional Description (Continued)

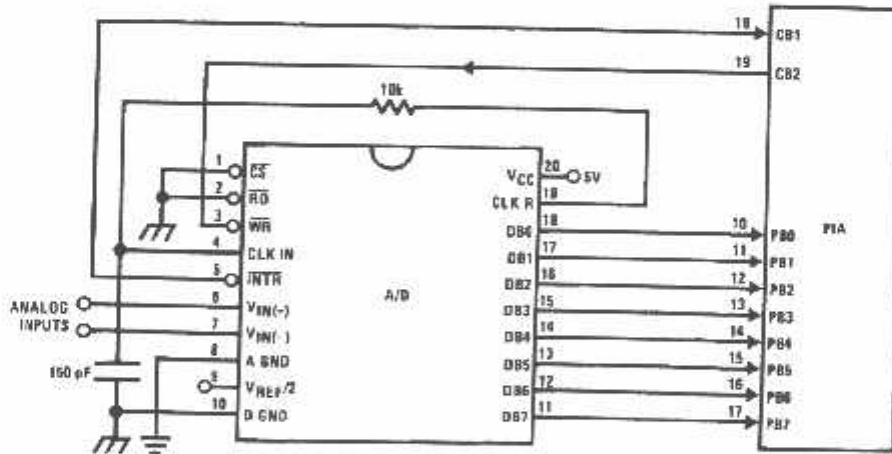
SAMPLE PROGRAM FOR Figure 15 ADC0801-MC6800 CPU INTERFACE

```

0010 DF 36      DATAIN STX      TEMP2      ; Save contents of X
0012 CE 00 2C      LDX      #$002C      ; Upon IRQ low CPU
0015 FF FF F8      STX      $7FF8      ; Jumps to 002C
0018 B7 50 00      STAA     $5000      ; Start ADC0801
001B 0E           CLI           ;
001C 3E           WAI           ; Wait for interrupt
001D DE 34      CONVRT LDX      TEMP1      ;
001F 8C 02 0F      CPI      #$020F      ; Is final data stored?
0022 27 14      BEQ      ENDP          ;
0024 B7 50 00      STAA     $5000      ; Restarts ADC0801
0027 08           INX           ;
0028 DF 34      STX      TEMP1      ;
002A 20 F0      BRA      CONVRT      ;
002C DE 34      INTRPT LDX      TEMP1      ;
002E B6 50 00      LDAA     $5000      ; Read data
0031 A7 00      STAA     X           ; Store it at X
0033 3B           RTI           ;
0034 02 00      TEMP1  FDB     $0200      ; Starting address for
; data storage
0036 00 00      TEMP2  FDB     $0000      ;
0038 CE 02 00      ENDP   LDX      #$0200      ; Reinitialize TEMP1
003B DF 34      STX      TEMP1      ;
003D DE 36      LDX      TEMP2      ;
003F 39           RTS           ; Return from subroutine
; To user's program
    
```

00206011-11

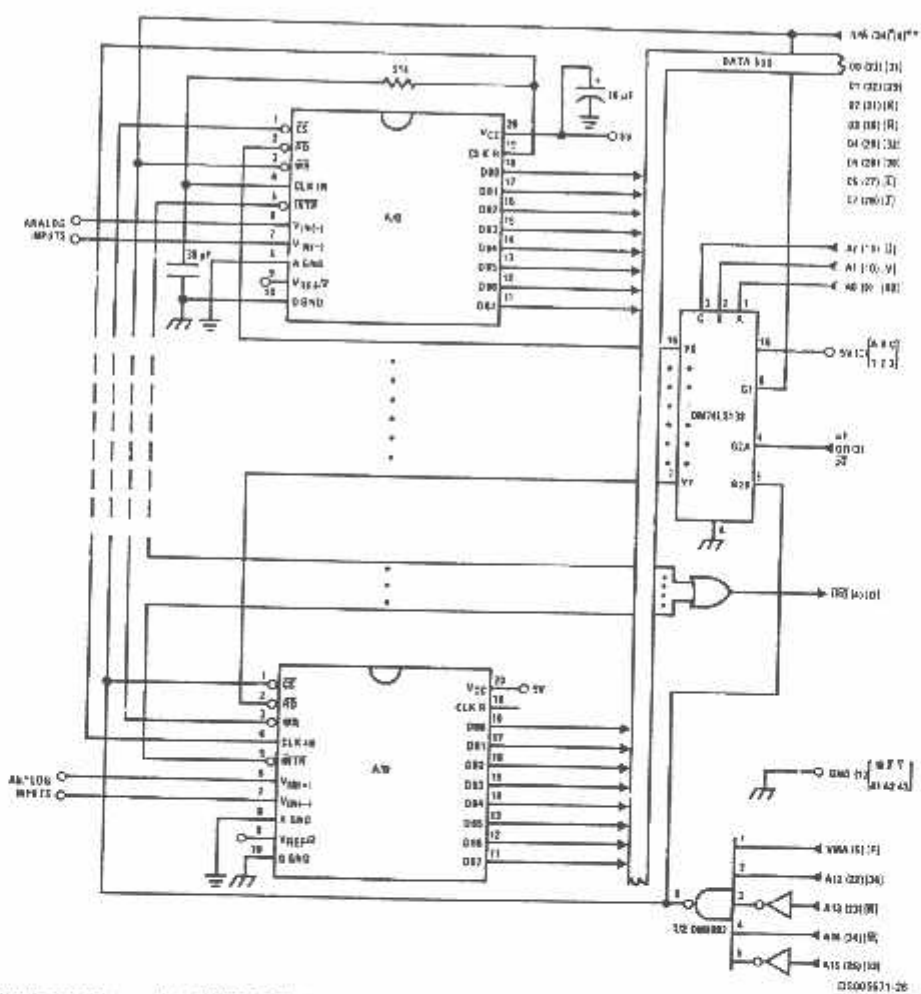
Note 22: In order for the microprocessor to service subroutines and interrupts, the stack pointer must be dimensioned in the user's program.



00206011-21

FIGURE 16. ADC0801-MC6820 PIA interface

Functional Description (Continued)



Note 23: Numbers in parentheses refer to MC6800 CPU pin out.

Note 24: Numbers of letters in brackets refer to standard M6800 system common bus code.

FIGURE 17. Interfacing Multiple A/Ds in an MC6800 System

Functional Description (Continued)

SAMPLE PROGRAM FOR Figure 17 INTERFACING MULTIPLE A/D's IN AN MC6800 SYSTEM

ADDRESS	HEX CODE	MNEMONICS	COMMENTS
0010	DF 44	DATAIN STX TEMP	: Save Contents of X
0012	CE 00 2A	LDX #002A	: Upon IRQ LOW CPU
0015	FF FF F8	STX \$FFF8	: Jumps to 002A
0018	E7 50 00	STAA \$5000	: Starts all A/D's
001B	0E	CLI	
001C	3E	WAI	: Wait for interrupt
001D	CE 50 00	IDX #5000	
0020	DF 40	STX INDEX1	: Reset both INDEX
0022	CE 02 01	LDX #0200	: 1 and 2 to starting
0025	DF 42	STX INDEX2	: addresses
0027	DE 44	LDX TEMP	
0029	39	RTS	: Return from subroutine
002A	DE 40	INTRPT LDX INDEX1	: INDEX1 → X
002C	A6 00	LDA X	: Read data in from A/D at X
002E	08	INX	: Increment X by one
002F	DF 40	STX INDEX1	: X → INDEX1
0031	DE 42	LDX INDEX2	: INDEX2 → X

D000871-43

SAMPLE PROGRAM FOR Figure 17 INTERFACING MULTIPLE A/D's IN AN MC6800 SYSTEM

ADDRESS	HEX CODE	MNEMONICS	COMMENTS
0033	A7 00	STAA X	: Store data at X
0035	8C 02 07	CPX #0207	: Have all A/D's been read?
0038	27 08	BEQ RETURN	: Yes: branch to RETURN
003A	08	INX	: No: increment X by one
003B	DF 42	STX INDEX2	: X → INDEX2
003D	20 EB	BRA INTRPT	: Branch to 002A
003F	3B	RETURN RTI	
0040	50 00	INDEX1 FDB \$5000	: Starting address for A/D
0042	02 00	INDEX2 FDB \$0200	: Starting address for data storage
0044	00 00	TEMP FDB \$0000	

D000871-44

Note 25: In order for the microprocessor to service subroutines and interrupts, the stack pointer must be dimensioned in the user's program.

For amplification of DC input signals, a major system error is the input offset voltage of the amplifiers used for the preamp. Figure 18 is a gain of 100 differential preamp whose offset voltage errors will be cancelled by a zeroing subroutine which is performed by the INS8080A microprocessor system. The total allowable input offset voltage error for this preamp is only 50 μ V for 1/4 LSB error. This would obviously require very precise amplifiers. The expression for the differential output voltage of the preamp is:

$$V_O = \underbrace{[V_{IN(+)} - V_{IN(-)}]}_{\text{SIGNAL}} \underbrace{\left[1 + \frac{2R_2}{R_1}\right]}_{\text{GAIN}} + \underbrace{(V_{OS2} - V_{OS1} - V_{OS3} - I_X R_X)}_{\text{DC ERROR TERM}} \underbrace{\left(1 + \frac{2R_2}{R_1}\right)}_{\text{GAIN}}$$

where I_X is the current through resistor R_X . All of the offset error terms can be cancelled by making $\pm I_X R_X = V_{OS1} + V_{OS3} - V_{OS2}$. This is the principle of this auto-zeroing scheme.

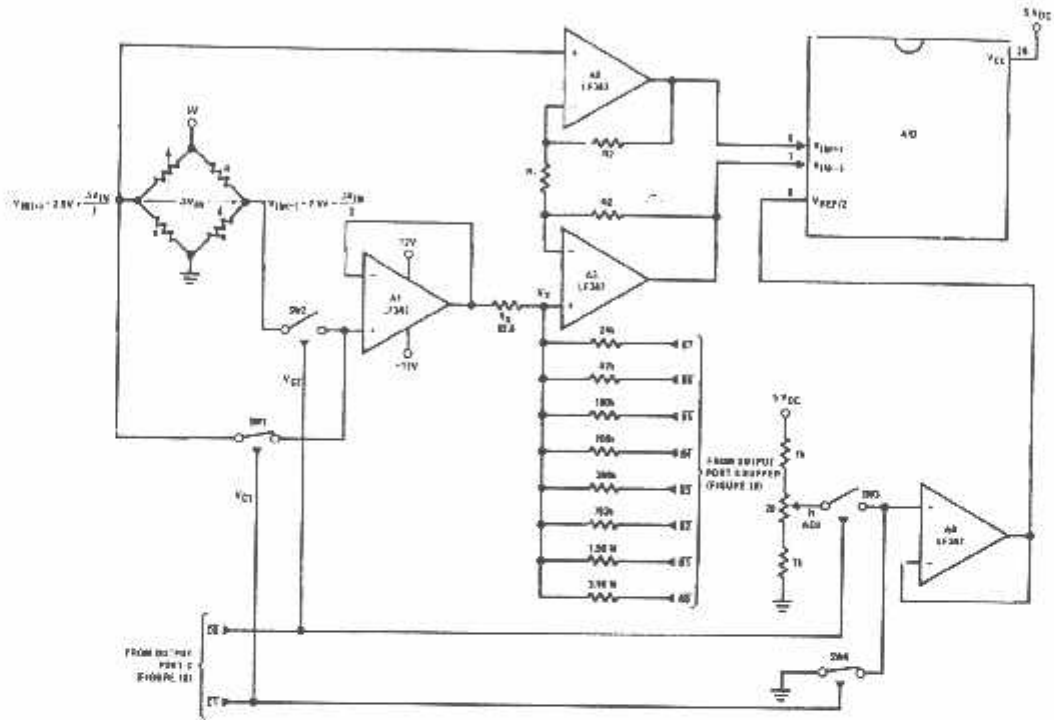
The INS8080A uses the 3 I/O ports of an INS8255 Programmable Peripheral Interface (PPI) to control the auto zeroing and input data from the ADC0801 as shown in Figure 19. The PPI is programmed for basic I/O operation (mode 0) with Port A being an input port and Ports B and C being output ports. Two bits of Port C are used to alternately open or close the 2 switches at the input of the preamp. Switch SW1 is closed to force the preamp's differential input to be zero during the zeroing subroutine and then opened and SW2 is then closed for conversion of the actual differential input signal. Using 2 switches in this manner eliminates concern for the ON resistance of the switches as they must conduct only the input bias current of the input amplifiers.

Output Port B is used as a successive approximation register by the 8080 and the binary scaled resistors in series with each output bit create a D/A converter. During the zeroing subroutine, the voltage at V_x increases or decreases as required to make the differential output voltage equal to zero. This is accomplished by ensuring that the voltage at the output of A1 is approximately 2.5V so that a logic "1" (5V) on

Functional Description (Continued)

any output of Port B will source current into node V_x thus raising the voltage at V_x and making the output differential more negative. Conversely, a logic "0" (0V) will pull current out of node V_x and decrease the voltage, causing the differential output to become more positive. For the resistor values shown, V_x can move ± 12 mV with a resolution of $50 \mu\text{V}$, which will pull the offset error term to $1/4$ LSB of full-scale for

the ADC0801. It is important that the voltage levels that drive the auto-zero resistors be constant. Also, for symmetry, a logic swing of 0V to 5V is convenient. To achieve this, a CMOS buffer is used for the logic output signals of Port B and this CMOS package is powered with a stable 5V source. Buffer amplifier A1 is necessary so that it can source or sink the D/A output current.



- Note 26: $R_2 = 49.5 R_1$
- Note 27: Switches are LMC13334 CMOS analog switches.
- Note 28: The 9 resistors used in the auto-zero section can be $\pm 5\%$ tolerance.

DS066471-31

FIGURE 18. Gain of 100 Differential Transducer Preamp

Functional Description (Continued)

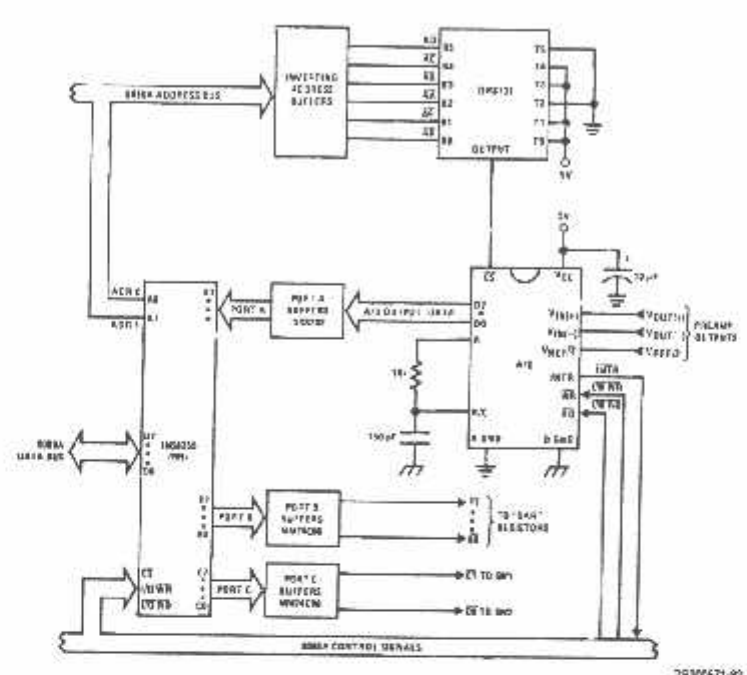


FIGURE 19. Microprocessor Interface Circuitry for Differential Preamp

A flow chart for the zeroing subroutine is shown in Figure 20. It must be noted that the ADC0801 series will output an all zero code when it converts a negative input [$V_{IN(-)} \geq V_{IN(+)}$]. Also, a logic inversion exists as all of the I/O ports are buffered with inverting gates.

Basically, if the data read is zero, the differential output voltage is negative, so a bit in Port B is cleared to pull V_x more negative which will make the output more positive for the next conversion. If the data read is not zero, the output voltage is positive so a bit in Port B is set to make V_x more positive and the output more negative. This continues for 8 approximations and the differential output eventually converges to within 5 mV of zero.

The actual program is given in Figure 21. All addresses used are compatible with the 80C80/80 microcomputer system. In particular:

- Port A and the ADC0801 are at port address E4
- Port B is at port address E5
- Port C is at port address E6
- PPI control word port is at port address E7
- Program Counter automatically goes to ADDR.3C3D upon acknowledgement of an interrupt from the ADC0801

5.3 Multiple A/D Converters in a Z-80 Interrupt Driven Mode

In data acquisition systems where more than one A/D converter (or other peripheral device) will be interrupting program execution of a microprocessor, there is obviously a

need for the CPU to determine which device requires servicing. Figure 22 and the accompanying software is a method of determining which of 7 ADC0801 converters has completed a conversion (INTR asserted) and is requesting an interrupt. This circuit allows starting the A/D converters in any sequence, but will input and store valid data from the converters with a priority sequence of A/D 1 being read first, A/D 2 second, etc., through A/D 7 which would have the lowest priority for data being read. Only the converters whose INT is asserted will be read.

The key to decoding circuitry is the DM74LS373, 8-bit D type flip-flop. When the Z-80 acknowledges the interrupt, the program is vectored to a data input Z-80 subroutine. This subroutine will read a peripheral status word from the DM74LS373 which contains the logic state of the INTR outputs of all the converters. Each converter which initiates an interrupt will place a logic '0' in a unique bit position in the status word and the subroutine will determine the identity of the converter and execute a data read. An identifier word (which indicates which A/D the data came from) is stored in the next sequential memory location above the location of the data so the program can keep track of the identity of the data entered.

Functional Description (Continued)

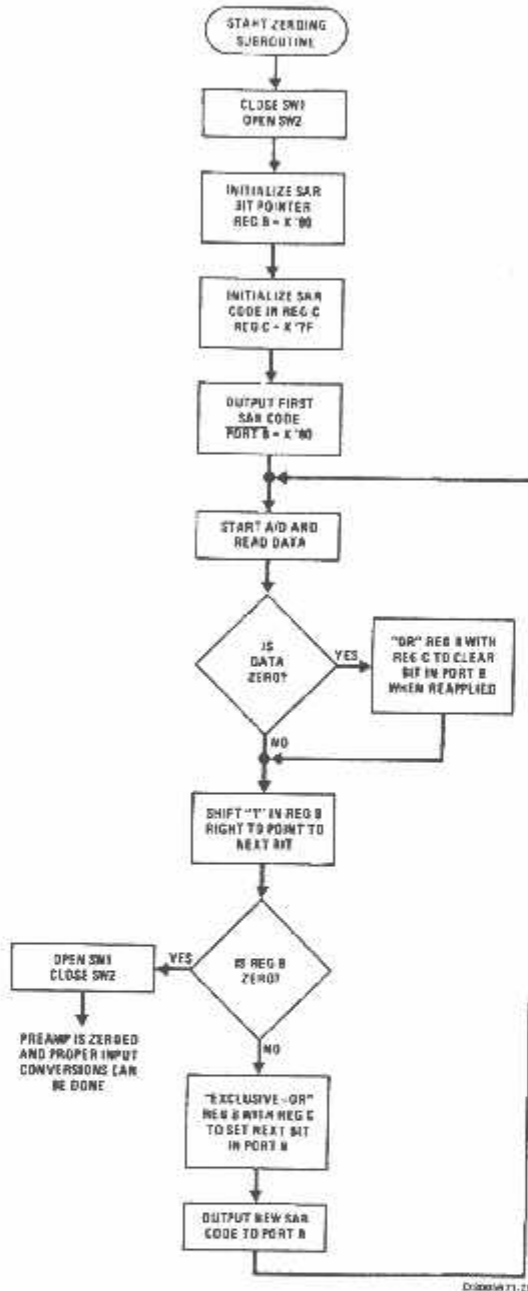


FIGURE 20. Flow Chart for Auto-Zero Routine

ADC0801/ADC0802/ADC0803/ADC0804/ADC0805

Functional Description (Continued)

```

3D00 3E90 MVI 90
3D02 D3E7 Out Control Port
3D04 2601 MVI H 01
3D06 7C MOV A, H Auto-Zero Subroutine ; Program PPI
3D07 D3E6 OUT C
3D09 0680 MVI B 80 ; Close SW1 open SW2
3D0B 3E7F MVI A 7F ; Initialize SAR bit pointer
3D0D 4F MOV C, A ; Initialize SAR code
3D0E D3E5 OUT B Return
3D10 31AA3D LXI SP 3DAA Start ; Port B = SAR code
3D13 D3E4 OUT A ; Dimension stack pointer
3D15 FB IE ; Start A/D
3D16 00 NOP
3D17 C3163D JMP Loop Loop ; Loop until  $\overline{\text{INT}}$  asserted
3D1A 7A MOV A, D Auto-Zero
3D1B C600 ADI 00
3D1D CA2D3D JZ Set C
3D20 78 MOV A, B Shift B ; Test A/D output data for zero
3D21 F600 ORI 00
3D23 1F RAR ; Clear carry
3D24 FE00 CPI 00 ; Shift "1" in B right one place
3D26 CA373D JZ Done ; Is B zero? If yes last
3D29 47 MOV B, A ; Approximation has been made
3D2A C5333D JMP New C
3D2D 79 MOV A, C Set C
3D2E B0 ORA B ; Set bit in C that is in same
3D2F 4F MOV C, A ; position as "1" in B
3D30 C3203D JMP Shift B
3D33 A9 XRA C New C ; Clear bit in C that is in
3D34 C30D3D JMP Return Done ; same position as "1" in B
3D37 47 MOV B, A ; then output new SAR code.
3D38 7C MOV A, H ; Open SW1, close SW2 then
3D39 EE03 XRI 03 ; proceed with program. Preamp
3D3B D3E6 OUT C ; is now zeroed.
3D3D .
        .
        .
        .
        Program for processing
        proper data values
3C3D DBE4 INA Read A/D Subroutine ; Read A/D data
3C3F BEFF XRI FF ; Invert data
3C41 57 MOV D, A
3C42 78 MOV A, B
3C43 E8FF ANI FF ; Is B Reg = 0? If not stay
3C45 C21A3D JNZ Auto-Zero ; in auto zero subroutine
3C48 C33D3D JMP Normal
    
```

Note 29: All numerical values are hexadecimal representations.

DS05571-10

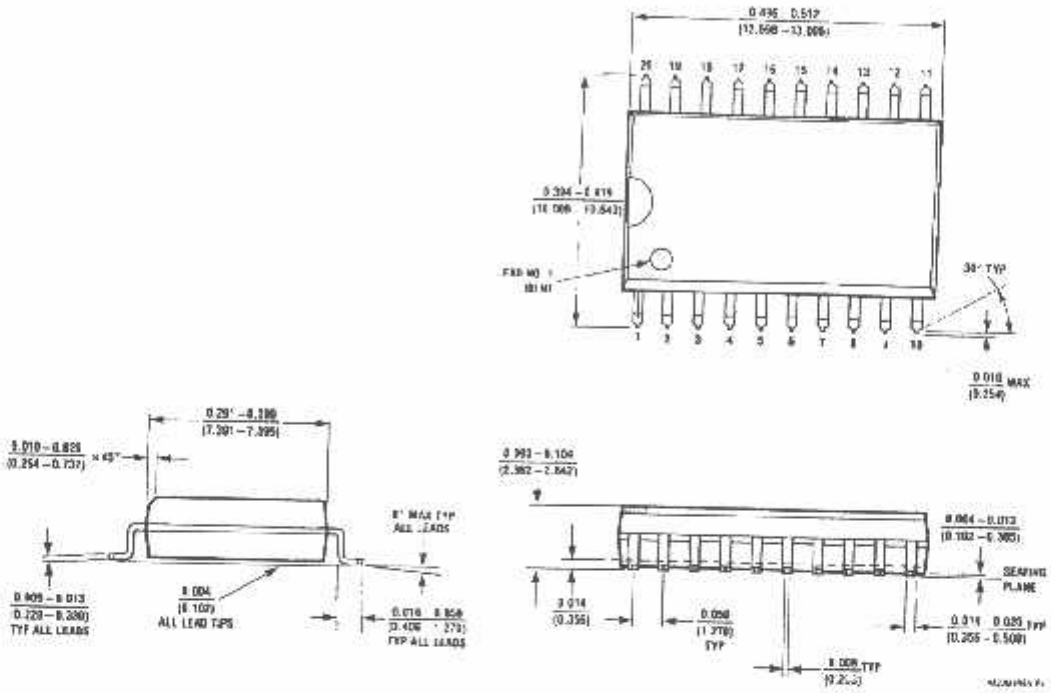
FIGURE 21. Software for Auto-Zeroed Differential A/D

5.3 Multiple A/D Converters in a Z-80 Interrupt Driven Mode (Continued)

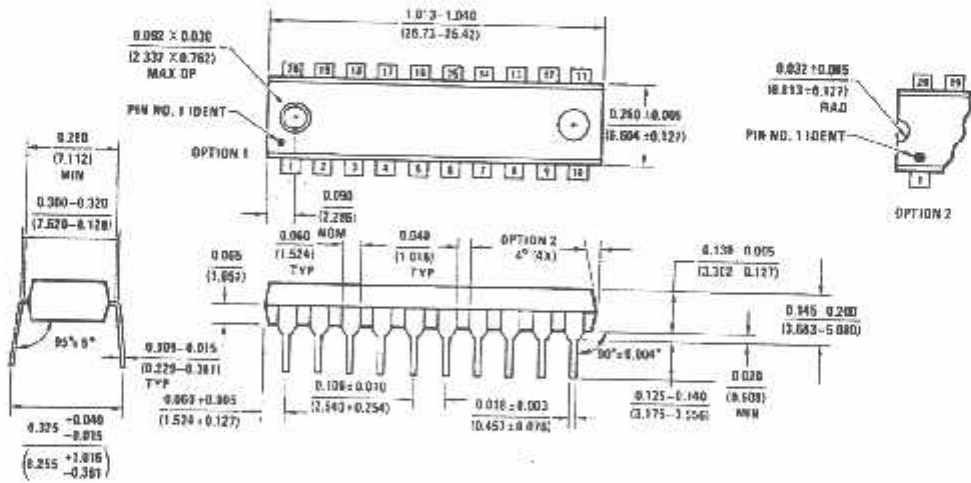
The following notes apply:

- It is assumed that the CPU automatically performs a RST 7 instruction when a valid interrupt is acknowledged (CPU is in interrupt mode 1). Hence, the subroutine starting address of X0038.
- The address bus from the Z-80 and the data bus to the Z-80 are assumed to be inverted by bus drivers.
- A/D data and identifying words will be stored in sequential memory locations starting at the arbitrarily chosen address X 3E00.
- The stack pointer must be dimensioned in the main program as the RST 7 instruction automatically pushes the PC onto the stack and the subroutine uses an additional 6 stack addresses.
- The peripherals of concern are mapped into I/O space with the following port assignments:

Physical Dimensions inches (millimeters), unless otherwise noted



SO Package (M)
Order Number ADC0802LCWM or ADC0804LCWM
NS Package Number M205



Molded Dual-In-Line Package (N)
Order Number ADC0801LCN, ADC0802LCN,
ADC0803LCN, ADC0804LCN or ADC0805LCN
NS Package Number N20A

Notes

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT AND GENERAL COUNSEL OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.



National Semiconductor Corporation
Americas
Tel: 1-800-272-9959
Fax: 1-800-737-7018
Email: support@nsc.com

National Semiconductor Europe
Fax: +49 (0) 1 80 530 65 85
Email: europe.support@nsc.com
Deutsch: Tel: +49 (0) 1 80 530 85 85
English: Tel: +49 (0) 1 80 530 78 32
Français: Tel: +49 (0) 1 80 530 93 50
Italiano: Tel: +49 (0) 1 80 534 16 50

National Semiconductor Asia Pacific Customer Response Group
Tel: 65-2544466
Fax: 65 2804466
Email: ase.support@nsc.com

National Semiconductor Japan Ltd.
Tel: 81-3-5639-7560
Fax: 81-3-5639-7507

www.national.com

