

SKRIPSI

APLIKASI I²C UNTUK LAMPU SINYAL DAN LAMPU BELAKANG PADA MOBIL TERINTEGRASI MIKROKONTROLLER AT 89S51



Disusun Oleh :
Ervan Mulyo Setiawan
NIM 0217040

INSTITUT TEKNOLOGI NASIONAL MALANG
FAKULTAS TEKNOLOGI INDUSTRI
JURUSAN TEKNIK ELEKTRO S-1
KONSENTRASI TEKNIK ELEKTRONIKA
SEPTEMBER 2007

LEMBAR PERSETUJUAN

APLIKASI I²C UNTUK MODEL LAMPU SINYAL DAN LAMPU BELAKANG PADA MOBIL TERINTEGRASI DENGAN MIKROKONTROLLER AT 89S51

SKRIPSI

*Disusun dan Diajukan Sebagai Salah Satu Syarat Untuk Memperoleh
Gelara Sarjana Teknik Elektro Strata Satu (S-1)*

Disusun Oleh :

ERVAN MULYO SETIAWAN

Nim : 02.17.040

Diperiksa dan Disetujui

Dosen Pembimbing I

Dosen Pembimbing II


Ir. F. Yudi Limpraptono, MT
NIP.Y 103 9500 274


Sotyo Hadi, ST, MSc

Mengetahui

Ketua Jurusan Teknik Elektro S-1


Ir. F. Yudi Limpraptono, MT
NIP.Y 1039500274

**JURUSAN TEKNIK ELEKTRO S-1
KONSENTRASI TEKNIK ELEKTRONIKA
FAKULTAS TEKNOLOGI INDUSTRI
INSTITUT TEKNOLOGI NASIONAL MALANG**

2007



BERITA ACARA UJIAN SKRIPSI

FAKULTAS TEKNOLOGI INDUSTRI

Nama Mahasiswa : Ervan Mulyo Setiawan
NIM : 02.17.040
Jurusan : Teknik Elektro S1
Konsentrasi : Teknik Elektronika
Judul Skripsi : Aplikasi I²C Untuk Model Lampu
Sinyal Dan Lampu Belakang Pada
Mobil Terintegrasi Dengan
Mikrokontroller AT 89S51.

Dipertahankan dihadapan Tim Penguji Skripsi Jenjang Strata Satu (S-1) pada:

Hari : Selasa
Tanggal : 4 September 2007
Dengan Nilai : A (82,75) *BY*


KETUA
[Signature]
Ir. Mochtar Asroni, MSME
NIP.Y. 1018100036

PANTIA UJIAN SKRIPSI

SEKRETARIS
[Signature]
Ir. F. Yudi Limpraptono, M.T.
NIP.Y. 1039500274

ANGGOTA PENGUJI

PENGUJI I
[Signature]
Dr. Cahyo Crisdian, Msc

PENGUJI II
[Signature]
Ir. Yusuf Ismail Nakhoda, MT
NIP.Y. 1018800189

KATA PENGANTAR

Alhamdulillah, puji syukur kehadirat Allah Swt yang telah memberikan rahmat dan hidayah-Nya, sehingga saya dapat menyelesaikan skripsi yang berjudul **“APLIKASI I²C UNTUK MODEL LAMPU SINYAL DAN LAMPU BELAKANG PADA MOBIL TERINTEGRASI DENGAN MIKROKONTROLLER AT 89S51”** ini dengan lancar. Pembuatan Skripsi ini disusun guna memenuhi syarat akhir kelulusan pendidikan jenjang Strata-1 di Institut Teknologi Nasional Malang

Keberhasilan penyelesaian laporan skripsi ini tidak lepas dari dukungan dan bantuan berbagai pihak. Untuk itu penyusun menyampaikan terima kasih kepada :

1. Bapak Prof. DR. Ir. Abraham Lomi, MSEE selaku Rektor ITN Malang.
2. Bapak Ir. Mochtar Asroni, MSME selaku Dekan Fakultas Teknologi Industri Institut Teknologi Nasional Malang
3. Bapak Ir. F. Yudi Limpraptono, MT selaku Ketua Jurusan Teknik Elektro S-1 serta merangkap sebagai dosen pembimbing I.
4. Bapak Sotyohadi, Msc selaku Dosen Pembimbing II
5. Bapak Ir. Yusuf Ismail Nahkoda, MT. selaku Sekretaris Jurusan Teknik Elektro SI Konsentrasi Teknik Elektronika
6. Seluruh dosen di Institut Teknologi Nasional Malang yang telah memberikan bekal ilmu kepada penulis selama penulis mengikuti kuliah.

Akhir kata, penulis mohon maaf kepada semua pihak bilamana selama penyusunan skripsi ini penyusun membuat kesalahan secara tidak sengaja dan semoga skripsi ini dapat bermanfaat bagi kita semua.

Malang, 2007

Penulis

APLIKASI I²C UNTUK MODEL LAMPU SINYAL DAN LAMPU BELAKANG PADA MOBIL TERINTEGRASI DENGAN MIKROKONTROLLER AT 89S51

Ervan Mulyo Setiawan

Jurusan Teknik Elektronika, Fakultas Teknologi Industri, Institut Teknologi Nasional, Jl.
Bendungan Sigura-gura No. 2 Malang, *al-qotras@yahoo.com*

Abstrak

Umumnya instalasi kelistrikan pada mobil terdapat jumlah kabel yang tidak sedikit untuk mengoperasikan komponen/lampu-lampu bagian belakang mobil, selain itu sangat sulit dan rumit dalam pembuatannya. Dari segi ekonomi akhir-akhir ini harga tembaga/kabel mengalami kenaikan yang tinggi, oleh karena itu alat ini dibuat guna untuk meringkas atau meminimulisasi jumlah kabel 65% dari jumlah kabel yang terpasang pada mobil bagian belakang pada umumnya dengan biaya yang minim dan tidak mengurangi system kerja yang terdapat pada lampu-lampu bagian belakang mobil. Dalam pengujiannya alat ini dapat bekerja dengan baik dan mampu bekerja pada gangguan noise/frekwensi tinggi disekitarnya.

Kata Kunci : Mikrokontroler AT89S51, I²C PCF 8574A, Light Emitting Dioda (LED)

DAFTAR ISI

| | |
|---------------------------------------|------|
| HALAMAN JUDUL | |
| LEMBAR PERSETUJUAN | |
| BERITA ACARA UJIAN SKRIPSI | |
| KATA PENGANTAR | i |
| ABSTRAK | iii |
| DAFTAR ISI | iv |
| DAFTAR GAMBAR | viii |
| DAFTAR TABEL | xi |
| | |
| BAB I. PENDAHULUAN | |
| 1.1 Latar Belakang | 1 |
| 1.2 Rumusan Masalah | 2 |
| 1.3 Tujuan | 2 |
| 1.4 Batasan Masalah | 3 |
| 1.5 Metodologi | 3 |
| 1.6 Sistematika Penulisan | 4 |
| | |
| BAB II TEORI PENUNJANG | |
| 2.1 Mikrokontroler AT89S51 | 6 |
| 2.1.a Arsitektur MCU AT89S51 | 6 |
| 2.1.b Pin Deskripsi AT89S51 | 8 |
| 2.1.c Organisasi Memori AT89S51 | 10 |

| | | |
|--------------|---|-----------|
| 2.1.c.1 | RAM Internal | 11 |
| 2.1.c.2 | Special Fungsi Register | 11 |
| 2.1.c.3 | Flash EPROM | 11 |
| 2.1.d | Watchdog Timer (WD_t) | 11 |
| 2.1.e | Bahasa Assembler MCS-51 | 12 |
| 2.1.e.1 | Intruksi Transfer Data | 12 |
| 2.1.e.2 | Intruksi Aritmatika | 12 |
| 2.1.c.3 | Intruksi Logika Dan Manipulasi Bit | 13 |
| 2.1.e.1 | Intruksi Percabangan | 13 |
| 2.1.f | Instruksi Stack, I/O dan Kontrol | 13 |
| 2.1.g | Metode Pengalamatan | 13 |
| 2.1.g.1 | Pengalamatan Tak Langsung | 13 |
| 2.1.g.2 | Pengalamatan Langsung | 14 |
| 2.1.g.3 | Pengalamatan Bit | 15 |
| 2.2 | Light Emitting Dioda (LED) | 15 |
| 2.3 | Konsep IC I2C sebagai Slave | 17 |
| 2.3.1 | Karakteristik perangkat keras | 19 |
| 2.4 | Pushbutton Make NO (Normally Open) | 20 |

BAB III. PERANCANAAN DAN PEMBUATAN ALAT

| | | |
|------------|-----------------------------------|-----------|
| 3.1 | Perencanaan | 22 |
| 3.1.1 | Perencanaan Perangkat Keras | 22 |
| 3.1.2 | Perencanaan Perangkat Lunak | 22 |

| | |
|--|----|
| 3.2 Perencanaan Sistem | 22 |
| 3.2.1 Penentuan Spesifikasi Alat | 23 |
| 3.2.2 Perancangan Blok Diagram | 24 |
| 3.3 Perencanaan Perangkat Keras | 25 |
| 3.3.1 Perancangan Minimum Sistem | 25 |
| 3.3.2 Rangkaian <i>Clock</i> | 27 |
| 3.3.3 Rangkaian <i>Reset</i> | 28 |
| 3.3.4 Rangkaian <i>I2C PCF 8574</i> | 28 |
| 3.3.4.a Karakter Transfer Data Bit | 29 |
| 3.3.4.b Kondisi Start Dan Stop | 29 |
| 3.3.4.c ACK dan NACK | 30 |
| 3.3.4.d Cara kerja I2C bus (Format 7 bit Address) | 31 |
| 3.3.4.e Multi Master | 32 |
| 3.3.4.f Clock Synchronization | 33 |
| 3.3.4.g Arbitration | 35 |
| 3.3.5 Rangkaian <i>I2C PCF 8574</i> | 36 |
| 3.4 Perencanaan Perangkat Lunak (<i>Software</i>) | 53 |
| 3.4.1 Pemrograman Assembler | 41 |
| 3.4.2 Diagram Alir sistem | 46 |

BAB IV. PENGUJIAN ALAT

| | |
|---|----|
| 4.1 Pengujian Alat untuk bentuk sinyal SCL dan SDA | 48 |
| 4.1.1 Mengetahui dan melihat bentuk sinyal SCL & SDA pada Oscilloscop | 59 |
| 4.1.2 Pengujian Rangkaian Slave PCF 8574 dan Led | 50 |

| | |
|--|-----------|
| 4.1.3 Pengujian sistem dari gangguan noise | 53 |
| 4.2 Pengujian Sistem Keseluruhan | 55 |

BAB V. PENUTUP

| | |
|-----------------------------|-----------|
| 5.1 Kesimpulan | 57 |
| 5.2 Saran | 58 |

DAFTAR PUSTAKA

LAMPIRAN

DAFTAR GAMBAR

| | | |
|-------------|--|----|
| Gambar 2.1 | Blok Diagram AT89C51 | 7 |
| Gambar 2.2 | Susunan Pin AT89C51 | 8 |
| Gambar 2.3 | Lambang skematis LED dan Resistor yang digunakan | 15 |
| Gambar 2.4 | Lambang skematis LED | 16 |
| Gambar 2.5 | Contoh sistem dengan menggunakan I2C bus | 18 |
| Gambar 2.6 | Koneksi I2C bus | 19 |
| Gambar 2.7 | Aplikasi I2C bus | 19 |
| Gambar 2.8 | Rangkaian switch dan resistor | 20 |
| Gambar 2.9 | Rangkaian R dan Switch pada master | 21 |
| Gambar 3.2 | Perancangan Blok Diagram | 24 |
| Gambar 3.3 | Rangkaian MC 89S51 | 26 |
| Gambar 3.4 | Rangkaian Pewaktu | 27 |
| Gambar 3.5 | Rangkaian Power-On Reset | 28 |
| Gambar 3.7 | Transfer data bit pada I2C bus | 29 |
| Gambar 3.8 | Kondisi Start dan Stop | 30 |
| Gambar 3.9 | Kondisi ACK dan NAC | 30 |
| Gambar 3.10 | Format Address byte | 31 |
| Gambar 3.11 | Transfer data lengkap I2C bus | 31 |
| Gambar 3.12 | Master Transmitter menulis data ke slave-receiver yang teralamat | 32 |
| Gambar 3.13 | Master Transmitter membaca data dari slave-transmitter yang teralamat | 32 |

| | |
|--|----|
| Gambar 3.14 Clock Synhronization..... | 33 |
| Gambar 3.15 Rangkaian I2C PCF 8574 | 36 |
| Gambar 3.16 Diagram alir pada Mikrokontroller AT 89S51 | 46 |
| Gambar 4.1 Pengujian untuk mengamati bentuk sinyal dengan osciloscop..... | 49 |
| Gambar 4.2 Tampilan pada Osciloscop saat rangkaian diberi Vcc dan belum ada penekanan tombol..... | 49 |
| Gambar 4.3 Tampilan pada Osciloscop pada saat 2 tombol ditekan..... | 50 |
| Gambar 4.4 Pengujian Arus pada LED | 51 |
| Gambar 4.5 Kondisi pada Ampere Meter saat belum ada inputan data | 52 |
| Gambar 4.6. Kondisi Pada Ampere Meter saat dua tombol ditekan..... | 52 |
| Gambar 4.7 Contoh pengujian pada kestabilan sistem dari noise yang ditimbulkan coil/busi sepeda motor yang sedang aktif..... | 53 |
| Gambar 4.8 Contoh pemasangan F Pull-Up pada data sheed | 54 |
| Gambar 4.9 Pengujian keseluruhan sistem | 55 |

DAFTAR TABEL

| | |
|--|----|
| Tabel 2.1 Fungsi – Fungsi Khusus Port3 | 9 |
| Tabel 3.1 Perhitungan Arus LED | 39 |

BAB I

PENDAHULUAN

1.1.Latar Belakang

Perkembangan teknologi khususnya teknologi yang berhubungan dengan elektronika telah mengalami perkembangan yang sangat pesat seiring dengan kemajuan zaman, dewasa ini perkembangan teknologi elektronika dapat diaplikasikan dan dimanfaatkan dalam berbagai bidang. Salah satu bidang yang menggunakan dan menerapkan teknologi elektronika adalah pada perusahaan-perusahaan besar yang merancang dan menciptakan kendaraan bermotor (Mobil) sebegus dan seringkas mungkin dan yang terpenting tidak mengurangi model dan sistem kerja dalam kendaraan yang diproduksi tersebut, salah satu sistem yang menggunakan teknologi elektronika dalam kendaraan tersebut adalah sistem kelistrikan yang pada umumnya pembuatan kendaraan roda empat ini identik dengan bannyaknya kabel-kabel pada sistem kelistrikannya hal ini dapat mempengaruhi poin keindahan dalam pembuatan kendaraan bermotor (mobil), pada segi keindahan dan keefisiensian dalam pembuatan mobil sangatlah berpengaruh pada persaingan antar perusahaan-perusahaan besar yang akhir-akhir ini sangat diterapkan dalam hasil produksinya.

Tujuan dari alat ini adalah meminimalisasi jumlah kabel dalam saluran sistem kelistrikan dan tidak mengurangi kinerja dari masing-masing komponen kendaraan, alat ini sebetulnya sudah diterapkan pada mobil-mobil berkelas dan harganya juga sangatlah tinggi oleh karena itu saya buat alat ini bertujuan untuk dapat diterapkan pada kendaraan roda empat yang masih belum menggunakan

sistem seperti ini dan dengan biaya yang terjangkau, alat ini juga bertujuan untuk memodifikasi sistem kelistrikan kendaraan roda empat yang berfungsi untuk meminimalisasikan jumlah kabel yang diperlukan layaknya mobil-mobil berkelas pada umumnya .

1.2.Rumusan masalah

Dengan memperhatikan latar belakang dari usulan skripsi ini didapatkan rumusan masalah sebagai berikut:

Bagaimana merancang dan membuat sistem kelistrikan pada mobil dengan meminimalisasikan jumlah kabel dan tidak mempengaruhi jumlah lampu dan kinerja untuk lampu-lampu bagian belakang pada mobil.

Berdasarkan beberapa rumusan masalah di atas, maka judul yang ingin diangkat adalah:

APLIKASI I²C UNTUK MODEL LAMPU SINYAL DAN LAMPU BELAKANG PADA MOBIL TERINTEGRASI DENGAN MIKROKONTROLLER AT 89S51

1.3.Tujuan

- Merancang dan membuat model sistem kelistrikan dengan jumlah kabel yang minim pada mobil serta merancang sebuah sistem yang berfungsi baik, ringkas, tepat guna dan tidak mengurangi kinerja dari komponen-komponen pada mobil serta dengan biaya produksi yang relatif murah.

- Untuk membantu memperbaiki kualitas mobil dalam segi kerapian dan keefesiensiannya.
- Sebagai wahana penerapan ilmu yang didapat dari bangku perkuliahan dengan praktek perencanaan dan pembuatan alat ini.

1.4. Batasan Masalah

Di dalam penulisan skripsi ini, agar pembahasan masalah sesuai dengan yang diinginkan dan tidak menyimpang dari apa yang semula dirumuskan, maka penulis menyertakan batasan masalah sebagai berikut :

- Hanya membahas pembuatan dan perancangan model sistem kelistrikan pada lampu-lampu bagian belakang mobil.
- Tidak membahas lampu mobil bagian depan
- Komunikasi serial hanya terjadi satu arah dari Mikrokontroler ke IC I²C.
- Tidak membahas atau mempelajari segala macam bentuk tentang jenis-jenis noise secara detail.
- Tidak membahas power supplay.

1.5. Metodologi

Metode yang digunakan dalam perencanaan dan pembuatan laporan tugas akhir ini adalah :

➤ Study Literature

Dengan mempelajari teori dasar serta aplikasi yang mempunyai hubungan dengan alat yang dibuat.

➤ **Percobaan Laboratorium**

Dari hasil percobaan data berdasarkan kondisi dan keadaan yang sesungguhnya di lapangan, yang merupakan data primer sebagai pembuktian kebenaran dari data sekunder hasil *study literature*.

➤ **Merancang dan membuat perangkat keras dan perangkat lunaknya.**

- Membuat Gambaran Umum
- Analisa Kebutuhan, baik kebutuhan perangkat keras maupun perangkat lunak
- Perancangan alat :
 - Pembuatan diagram
 - Penentuan data *flow* diagram
 - Membuat blok diagram
 - Membuat rancangan fisik alat yang dibuat
 - Membuat rancangan *software*
- Membuat alat sesuai rancangan yang dibuat

➤ **Ujicoba terhadap model alat yang telah di buat.**

➤ **Menyusun laporan skripsi.**

1.6. Sistematika Penyusunan Laporan

Dalam pembuatan tugas akhir ini secara garis besar disusun dalam lima bab, dengan sistematika penulisan sebagai berikut :

BAB I PENDAHULUAN.

Bab ini berisi latar belakang masalah, tujuan penulisan, perumusan masalah, batasan masalah, metode penulisan, dan sistematika penulisan.

BAB II TEORI PENUNJANG.

Bab ini berisi teori-teori dasar yang digunakan sebagai penunjang dalam

pembuatan tugas akhir ini.

BAB III PERANCANGAN DAN PEMBUATAN

Bab ini berisi tentang perancangan perangkat keras dan perangkat lunak yang akan dibuat.

BAB IV PEGUJIAN ALAT.

Bab ini berisi data-data yang didapat dari pengujian alat baik per-blok maupun secara keseluruhan.

BAB V KESIMPULAN DAN SARAN

Merupakan bab penutup yang berisi kesimpulan dari alat yang telah dibuat dan disertai dengan saran untuk dapat dikembangkan lebih baik

BAB II

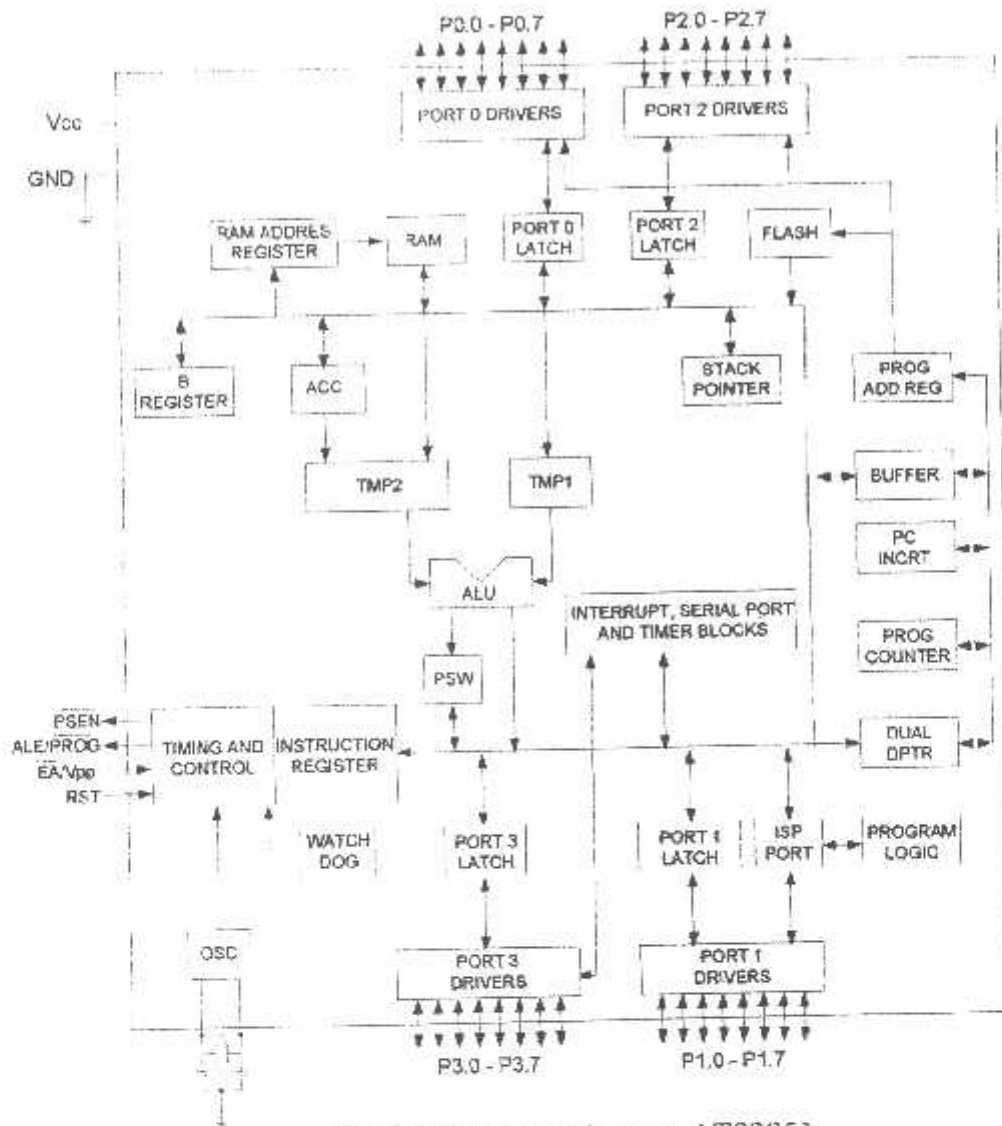
TEORI PENUNJANG

2.1. Mikrokontroler AT89S51.

AT89S51 adalah merupakan pengembangan dari mikrokontroler standard MCS-51. Hal-hal yang terdapat dalam penjelasan mikrokontroler MCS-51 juga berlaku untuk mikrokontroler ini. AT89S51 merupakan memori nonvolatile yang bisa di isi ulang dan di hapus berulang kali. Memori ini di gunakan untuk menyimpan instruksi-instruksi standard MCS-51 sehingga tidak memerlukan eksternal memori untuk menyimpan *source code*, karena bekerja dalam mode *Single Chip Operation* (Mode Operasi Keping Tunggal).

a) Arsitektur MCU AT89S51.

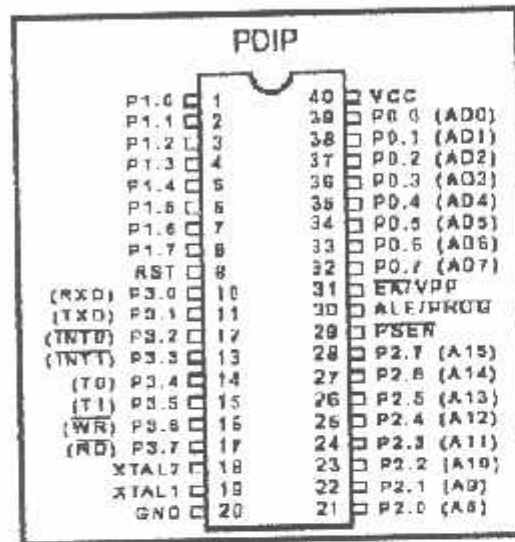
- 1) 128 bytes RAM Internal.
- 2) 4 Kbyte memori yang dapat diisi ulang.
- 3) Memiliki 32 jalur I/O (*Input/Output*).
- 4) Dua buah *timer* dan *counter*, 16 bit *Dual Data Pointer (DPTR)*.
- 5) *Watchdog Timer (WDT)*.
- 6) *Port ISP (In-System Programmable)*.
- 7) Mendukung serial *port* secara penuh.
- 8) Waktu pemrograman yang singkat.



Gambar.2.1. Blok Diagram AT89S51
(Sumber : Belajar Mikrokontroler, Agfianto)

b) Pin Deskripsi AT89S51.

Mikrokontroler AT89S51 mempunyai 40 kaki (pin) dimana 32 kaki diantaranya untuk keperluan port paralel. Satu port paralel terdiri dari 8 kaki, sehingga dari jumlah ini terbentuk 4 buah port paralel. Berikut ini diagram pin dari AT89S51.



Gambar 2.2 Susunan Pin AT89S51

Sumber: Atmel, 1997: 4-29

Keterangan :

- 1) **Pin 40 (VCC).** Merupakan pin catu daya dengan tegangan sebesar +5V (DC).
- 2) **Pin 20 (GND).** Merupakan pin ground yang terhubung dengan grounding rangkaian.
- 3) **Pin 32 – 39 (Port 0).** Mempunyai fungsi sebagai port alamat data, maka jika mikrokontroler sedang mengakses

alamat, P0 akan aktif sebagai pembawa alamat 8 bit yang bawah (A0 – A8) dan ketika mengakses data I/O, port ini berfungsi sebagai jalur data (D7–D0).

- 4) **Pin 1 – 8 (Port 1).** Sebagai 8 bit *I/O Bidirectional* yang dilengkapi dengan internal *pull up*.
- 5) **Pin 21 – 28 (Port 2).** Berfungsi sebagai jalur alamat pembawa alamat) 8 bit bagian atas yang dilengkapi dengan internal *pull up*.
- 6) **Pin 10 – 17 (Port 3).** Port ini mempunyai fungsi alternatif tiap pin sebagai berikut :

Tabel 1. Fungsi-fungsi alternatif Port 3
(Sumber : Belajar Mikrokontroler, Agfianto)

| Port Pin | Alternative Function |
|----------|--|
| P3.0 | RXD (Serial Input Port) |
| P3.1 | TXD (Serial Output Port) |
| P3.2 | INT0 (External Interrupt 0) |
| P3.3 | INT1 (External Interrupt 1) |
| P3.4 | T0 (Timer 0 External Input) |
| P3.5 | T1 (Timer 1 External Input) |
| P3.6 | WR (External Data Memory Write Strobe) |
| P3.7 | RD (External Data Memory Read Strobe) |

- 7) **Pin 30 \overline{ALE} / $\overline{I}PROG$ (*Address Latch Enable/Programmable*).** Pin ini aktif high dengan mengeluarkan pulsa output untuk melatch (mengunci/menahan) 1 byte alamat rendah selama mengakses ke alamat memori eksternal.
- 8) **Pin 31 \overline{EA} / $\overline{V}PP$ (*External Access Enable*).** Pin ini harus ditahan pada kondisi rendah secara eksternal atau dihubungkan ke ground untuk mengakses eksternal memori dengan lokasi 0000H sampai FFFFH.
- 9) **Pin 29 $\overline{P}SEN$ (*Program Strobe Enable*).** Merupakan sinyal baca untuk program memori eksternal.
- 10) **Pin 9 (*Reset*).** Pin ini aktif high '1' minimal dua kali siklus mesin bekerja (24 periode frekuensi *clock*) ditambah waktu start *On* Osilator, maka akan mereset peralatan.
- 11) **Pin 19 $\overline{X}TAL1$.** Sebagai input ke penguat pembalik osilator dan input internal *clock* untuk operasi system.
- 12) **Pin 18 $\overline{X}TAL2$.** Sebagai output dari penguat pembalik osilator.

c) **Organisasi Memori AT89S51.**

Mikrokontroler AT89S51 mempunyai struktur memori yang mempunyai fungsi masing-masing yaitu :

- 1) **RAM Internal** yaitu memori yang digunakan untuk menyimpan data yang bersifat sementara dengan kapasitas memori sebesar 128 byte.
- 2) **Special Function Register (SFR)**, terletak pada alamat 80H – FFH. *SFR* ini merupakan memori yang berisi register-register fungsi khusus yang disediakan oleh mikrokontroler seperti *timer*, port serial, *ISP (In System Programmable)* dan sebagainya.
- 3) **Flash EPROM**, merupakan memori yang digunakan untuk menyimpan program atau instruksi-instruksi pada mikrokontroler.

d) **Watchdog Timer (WDT).**

Pada MCU AT89S51 juga dilengkapi dengan reset otomatis yaitu *watchdog timer* dimana *WDT* akan mereset mikrokontroler secara otomatis apabila terjadi gangguan/hang. Oleh karena itu *WDT* harus direset oleh user sebelum *WDT* mereset mikrokontroler secara otomatis dalam jangka waktu yang sudah ditentukan. *WDT* diset default untuk menonaktifkan reset yang ada. *WDT* terdiri dari 14 bit counter dan *WDT Special Fungsi Register (WDT SFR)*. Untuk menonaktifkan *WDT* dilakukan melalui reset hardware atau reset *WDT Overflow*. Jika mereset *WDT Overflow* maka keluaran pada reset akan bernilai *high* di pin *RST*. Jangka

waktu reset adalah $98 \times TOSC$ dimana $TOSC = 1/FOSC^d$, 14 bit counter akan *overflow* jika mencapai nilai 16383 atau 3FFFH. Sedangkan untuk mengaktifkannya harus ditulis 01EH dan 0E1H didalam daftar urutan *WDT SFR* pada alamat 0A6H.

e) **Bahasa Assembler MCS-51.**

Bahasa *assembler* merupakan tata cara untuk mewakili operasi CPU dalam format bahasa simbol yang disusun berurutan dalam pernyataannya. Masing-masing pernyataan akan di terjemahkan ke dalam instruksi bahasa mesin atau operasi biner yang disebut *operation code / opcode*. Dalam penulisan bahasa *assembler*, ada beberapa instruksi-instruksi yang digunakan sebagai berikut :

1. **Instruksi Transfer Data.** Instruksi yang memindahkan data antara register-register, memori-memori, register-memori, antar muka register dan antar muka memori.
2. **Instruksi Aritmatika.** Instruksi untuk melaksanakan operasi aritmatika yang meliputi penjumlahan (ADD), pengurangan (SUBB), penambahan satu (INC), pengurangan satu (DEC), perkalian (MUL) dan pembagian (DIV).

3. Instruksi Logika dan Manipulasi Bit.

Melaksanakan operasi logika AND, OR, XOR, NOR, perbandingan, pergeseran dan komplemen data.

- 4. Instruksi Percabangan.** Instruksi ini merubah urutan normal pelaksanaan suatu program sehingga program yang sedang dilaksanakan akan bercabang ke suatu alamat tertentu. Instruksi ini dibedakan atas percabangan bersyarat dan tanpa bersyarat.

f) Instruksi *Stack*, I/O dan kontrol.

Untuk mengatur penggunaan *stack*, membaca/menulis port I/O serta pengontrolan.

g) Metode Pengalamatan.

Data atau operan bisa berada ditempat yang berbeda atau alamat yang berbeda sehingga cara untuk mengakses data/operan tersebut dikenal sebagai mode pengalamatan (*addressing mode*) antara lain yaitu :

1) Pengalamatan Tak Langsung.

Operasi pengalamatan tak langsung menunjuk ke sebuah register yang berisi lokasi alamat memori yang akan digunakan dalam operasi. Lokasi yang nyata tergantung pada isi register saat instruksi

| | |
|--------------------|---|
| Contoh : ADD A,@R0 | ;Tambahkan isi RAM yang lokasinya ditunjuk oleh register R0 ke Akumulator. |
| DEC @R1 | ;Kurangi dengan satu isi RAM yang alamatnya ditunjuk oleh register R1. |
| MOVX @DPTR, A | ;Pindahkan isi akumulator ke memori luar yang lokasinya ditunjuk oleh data pointer. |

2) Pengalamatan Langsung.

Dilakukan dengan memberikan nilai ke suatu register secara langsung. Untuk melaksanakan perintah pengalamatan langsung menggunakan simbol #.

Contoh :

| | |
|----------------|--|
| MOV A,#01H | ; Isi akumulator dengan bilangan 01H. |
| MOV DPTR,#19AB | ; Isi register DPTR dengan bilangan 19ABH. |
| MOV R2,# 0FFH | ; Isi register R2 dengan FFH. |

Pengalamatan data langsung dari 0 sampai 127 akan mengakses *RAM* Internal, sedangkan pengalamatan dari 128 sampai 255 akan mengakses register perangkat keras.

Contoh :

| | |
|-----------|--|
| MOV P3, A | ;Pindahkan isi akumulator ke alamat data P3. |
|-----------|--|

3) Pengalamatan Bit.

Merupakan penunjukkan alamat lokasi bit baik dalam RAM Internal maupun bit perangkat keras. Pengalamatan ini menggunakan simbol titik.

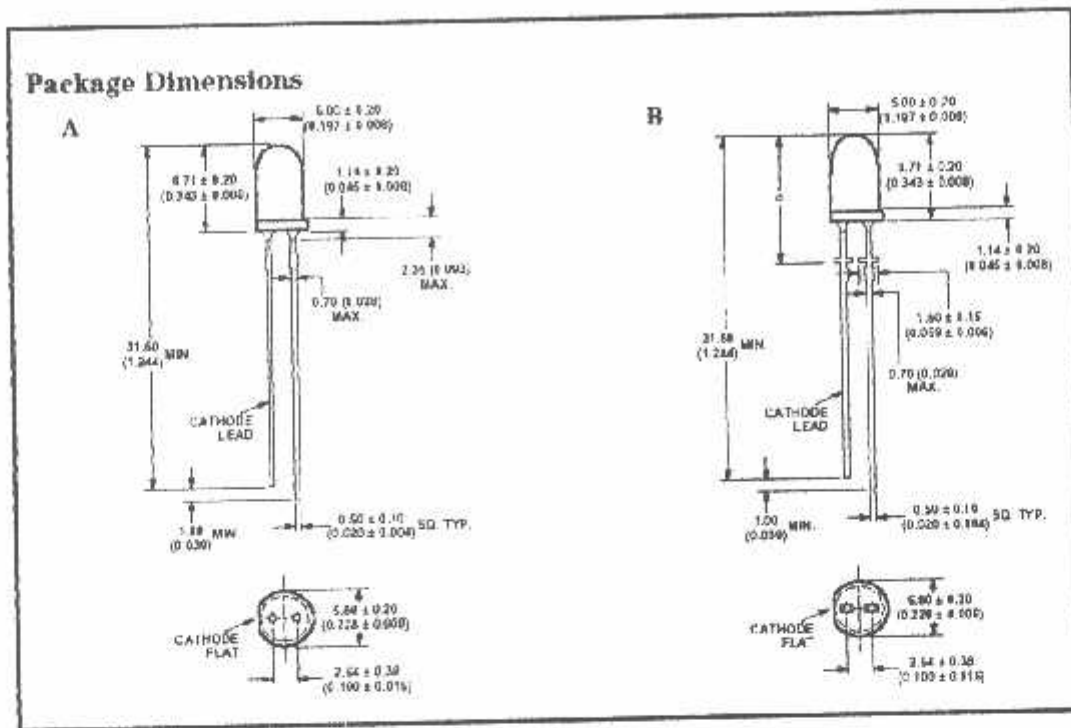
Contoh : SETB 88H.6 ; Set bit 6 pada lokasi 88H (timer 1 on).

2.2.Light Emitting Dioda (LED)

Pada dioda bertegangan maju electron bebas melintasi persambungan dan jatuh kedalam lubang lubang (hole).Pada saat electron ini jatuh dari tingkat energi yang lebih tinggi ke tingkat energi yang lebih rendah komponen ini memancarkan energi.Pada dioda biasa energi ini keluar dalam bentuk panas ,tetapi pada dioda pemancar cahaya (Light Emitting Dioda) LED,energi dipancarkan menjadi cahaya.LED telah menggantikan lampu pijar dalam berupa pemakaian karena memerlukan tegangan yang rendah umumnya yang panjang,dan switch mati hidupnya yang relative cepat.



Gbr.2.3. Lambang skematis LED dengan Resistor yang di gunakan



Gbr.2.4. Skematis LED

LED mempunyai persamaan tegangan dari *1,5 Volt* sampai *2,5 Volt* untuk I_D dilihat dari data book terdapat ukuran sebesar *15 mA* pada dioda Led ,penurunan tegangan yang tepat tergantung dari arus LED,warna,kelonggaran,dan sebagainya dengan memasukan penurunan tegangan 2 volt untuk LED,maka dapat dihitung resistansi dan arus LED yang dipergunakan sbb:

- Menghitung R yang digunakan pada rangkaian :

$$\begin{aligned}
 R &= V_s / I_D \\
 &= 5 \text{ Volt} / 15 \text{ mA} \\
 &= 0.33 \text{ K Ohm}
 \end{aligned}$$

Jadi dalam pemakaiannya menggunakan ukuran R sebesar 330 Ohm.

- Untuk mengetahui arus yang mengalir pada dioda led yang terpasang pada rangkaian :

$$\begin{aligned}
 I &= V_s / R \\
 &= 5 \text{ Volt} / 330 \text{ Ohm} \\
 &= 0,015 \text{ mA}
 \end{aligned}$$

Biasanya arus LED ada diantara 10 sampai 50 mA, jadi untuk menjadikan arus yang melewati LED kurang lebih 15 mA sehingga harus dipasang/ memakai resistansi sebesar 330 Ohm.

2.3. Konsep IC I2C sebagai Slave

Slave yaitu device yang dialamati (diakses berdasarkan alamatnya) oleh Master. Pada prinsipnya IC PCF 8574 akan bekerja setelah menerima instruksi dari Mikrokontroler yang berupa data dan clock logika 0 atau logika 1.

Multi-master yaitu sistem yang memungkinkan lebih dari satu Master melakukan inisiatif transfer data dalam waktu yang bersamaan tanpa terjadi korupsi data.

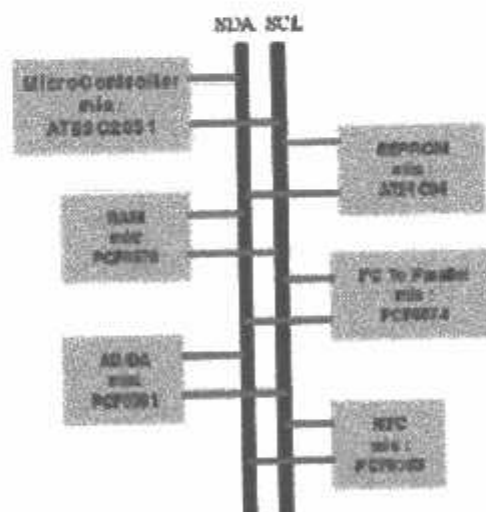
Arbitration yaitu prosedur yang memastikan bahwa jika ada lebih dari satu Master melakukan inisiatif transfer data secara bersamaan, hanya akan ada satu Master yang diperbolehkan dengan tanpa merusak data yang sedang ditransfer.

Synchronization yaitu prosedur untuk menyelaraskan sinyal clock dari dua atau lebih device.

- **Terminologi**

- *Transmitter* yaitu device yang mengirim data ke bus.

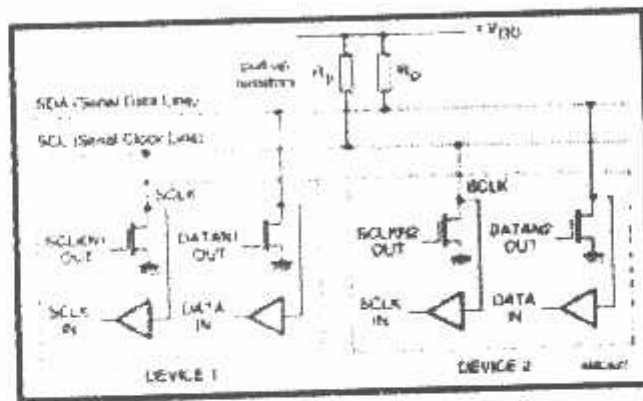
- - *Receiver* yaitu device yang menerima data dari bus.
- *Master* yaitu device yang memiliki inisiatif (memulai dan mengakhiri) transfer data dan yang membangkitkan sinyal clock.
- *Slave* yaitu device yang dialamati (diakses berdasarkan alamatnya) oleh Master.
- *Multi-master* yaitu sistem yang memungkinkan lebih dari satu Master melakukan inisiatif transfer data dalam waktu yang bersamaan tanpa terjadi korupsi data.
- *Arbitration* yaitu prosedur yang memastikan bahwa jika ada lebih dari satu Master melakukan inisiatif transfer data secara bersamaan, hanya akan ada satu Master yang diperbolehkan dengan tanpa merusak data yang sedang ditransfer.
- *Synchronization* yaitu prosedur untuk menyelaraskan sinyal clock dari dua atau lebih device.



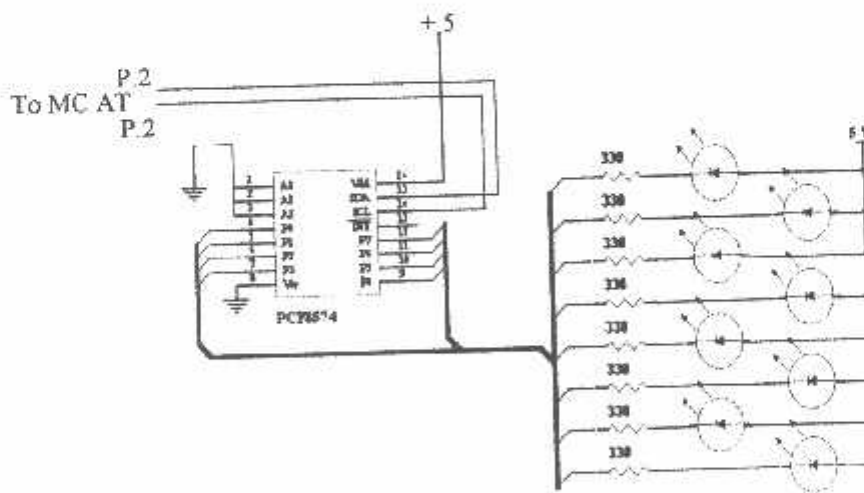
Gambar 2.5
Contoh sistem dengan I2C bus

- Karakter perangkat keras

Kedua pin pada I2C yaitu SDA dan SCL harus memiliki kemampuan input dan output serta bersifat open drain atau open collector. Kedua pin tersebut terhubung pada I2C bus yang telah di pull-up dengan resistor ke suplai positif dari sistem. Semua device yang terhubung pada bus harus terhubung pada ground yang sama sebagai referensi.



Gambar 2.6
Koneksi IIC bus



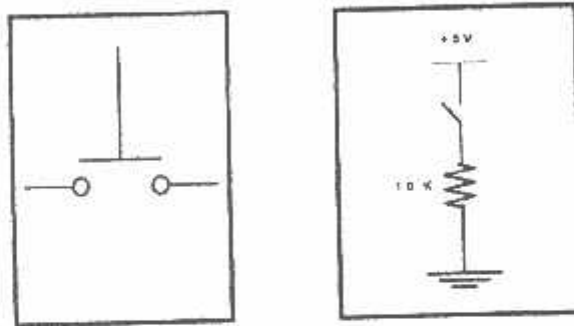
Gambar 2.7
Aplikasi IIC bus

2.4. Pushbutton make NO (normally Open)

Ada beberapa tipe limit switch yaitu limit switch yang merupakan kontak NC (*Normally Closed*) dan NO (*Normali Open*).

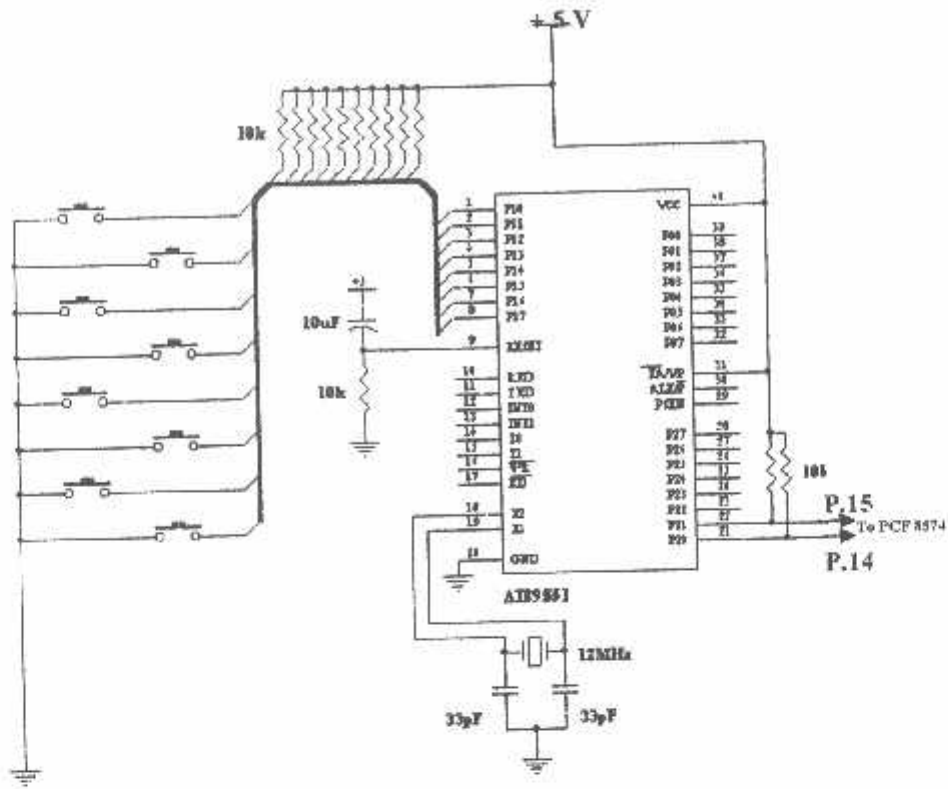
Limit yang merupakan kontak NO (*Normally Open*) berfungsi sebagai penghubung.

Adapun simbol dari *limit swieth* atau *push button* dari yang NO adalah sbb :



Pushbutton make NO (normally Open)

Gambar 2.8 Rangkaian Switch dan Resistansinya



Gbr.2.9 Rangkaian R dan Switch pada Rangkaian master

Pada rangkaian R dan Switch ini harga R terdapat dari perhitungan sbb :

- Menghitung R yang digunakan pada rangkaian Master Switch:

$$\begin{aligned}
 R &= V_s / I_{\text{yang diperlukan MC}} \\
 &= 5 \text{ Volt} / 0,5 \text{ mA} \\
 &= 10 \text{ K Ohm}
 \end{aligned}$$

Jadi dalam pemakaiannya menggunakan R sebesar 10 K Ohm.



BAB III

PERANCANGAN DAN PEMBUATAN

Pada bab ini akan membahas bagaimana perencanaan dan pembuatan sistem kelistrikan untuk lampu-lampu bagian belakang pada mobil yang berdasarkan Mikrokontroler AT 89S51 dan IC I2C PCF 8574. Pada dasarnya perancangan meliputi dua pokok pembahasan, perangkat keras dan perangkat lunaknya.

3.1. Perencanaan

3.1.1. Perangkat Keras

Perangkat keras sistem ini terdiri beberapa bagian , yaitu :

- a. Sistem mikrokontroler AT89S51.
- b. PCF 8574 (I2C).
- c. Rangkaian Resistor dan LED

3.1.2. Perangkat Lunak

Dalam perencanaan perangkat lunak, meliputi beberapa sistem yang digunakan yaitu:

- a. Pembuatan program untuk on/off beban (LED) dengan menekan Pushbutton
- b. Pembuatan program untuk membedakan LED satu dengan LED yang lainnya.

3.2. Perencanaan Sistem

3.2.1. Penentuan Spesifikasi Alat

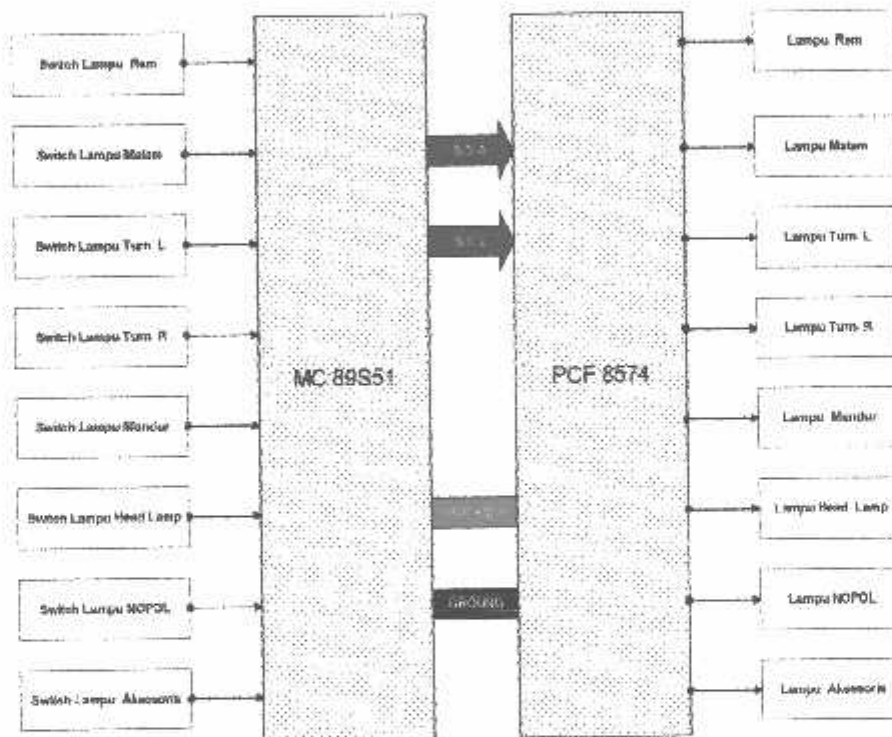
Perancangan alat ini memiliki spesifikasi alat sebagai berikut:

- Menggunakan Mikrokontroler AT89S51 untuk pengolah data /master.
- Menggunakan IC PCF 8574 sebagai slave.
- Menggunakan LED sebagai indicator lampu.

3.2.2. Perancangan Blok Diagram

Perancangan blok diagram dibuat dan kemudian dianalisa prinsip kerja rangkaian. Blok diagram yang akan dijelaskan terbagi atas beberapa blok gambar

Blok diagram system yang direncanakan ditunjukkan oleh gambar diatas, dimana MC 89S51 berfungsi sebagai *master* (Device yang memiliki inisiatif memulai dan mengakhiri transfer data dan yang membangkitkan sinyal clock), dan PCF 8574 berfungsi sebagai *slave* (Device yang dialamati berdasarkan alamatnya oleh master).



Gambar 3.1. Blok Diagram model Aplikasi I2C untuk lampu bagian belakang pada mobil.

- **AT 89S51**
Memproses semua masukan untuk kemudian memutuskan tindakan apa yang dilakukan sehingga menjadi suatu system kerja yang terprogram.

terprogram.

- **PCF 8574**
Berfungsi sebagai *slave* (Device yang dialamati berdasarkan alamatnya oleh master), untuk mengkondisikan atau menyesuaikan intruksi yang sudah dialamatkan oleh *master*.
- **Switch Pushbutton**
Masing-masing switch disini berfungsi untuk menghidupkan dan mematikan sinyal dan data yang menjadi inputan dari PCF 8574.
- **Linght Emitting Diode (LED)**
Berfungsi sebagai indicator/tampilan yang sudah diproses oleh Master dan Slave.

3.3. Perencanaan Perangkat Keras

Pada perancangan dan pembuatan alat menggunakan komponen utama yaitu mikrokontroler, sedangkan rangkaian pendukung diupayakan seminimal mungkin, sehingga dalam perancangan dan pembuatan alat akan lebih praktis dan ekonomis serta memiliki kemampuan fungsi sistem seperti yang akan direncanakan. Adapun beberapa perangkat keras berupa:

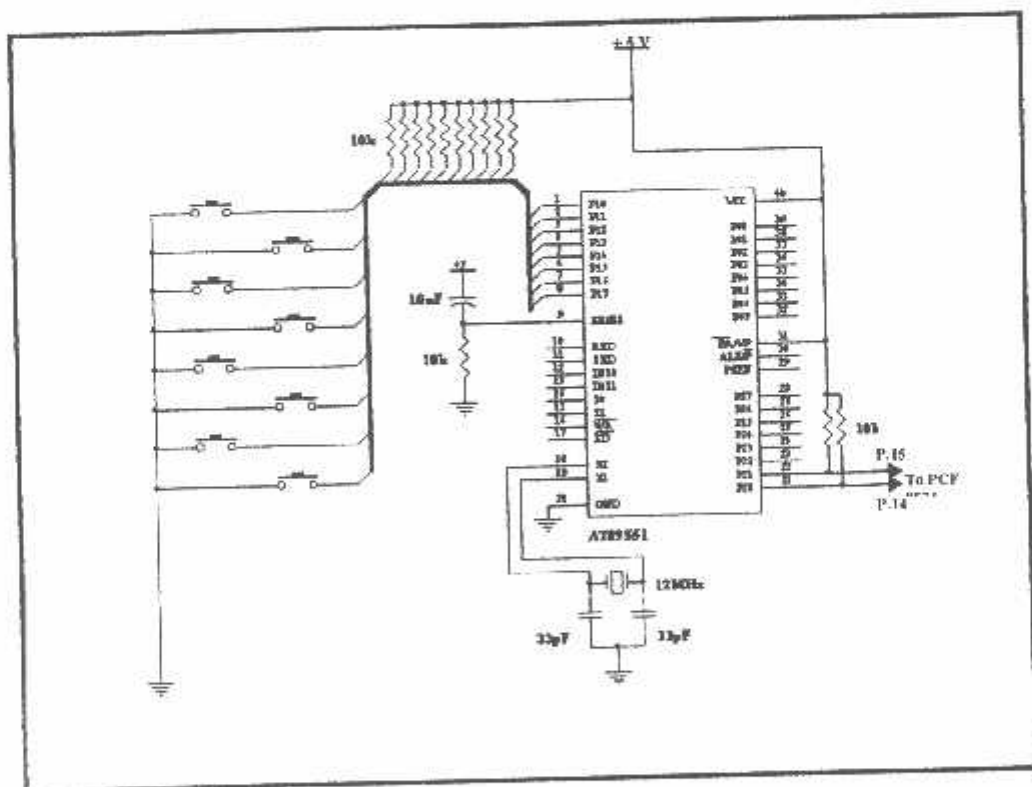
3.3.1. Perancangan Minimum Sistem

Mikrokontroler yang digunakan dalam perancangan alat ini adalah IC mikrokontrol AT89S51. Mikrokontroler AT89S51 harus didukung oleh beberapa rangkaian lain agar dapat melakukan prosesnya, yaitu berupa rangkaian clock dan

reset. Semua pengaturan dan pengolahan data dilakukan oleh mikrokontroler. Gambar rangkaian secara keseluruhan dapat dilihat pada lampiran.

Penggunaan port Mikrokontroler AT89S51 pada rancangan ini adalah sebagai berikut :

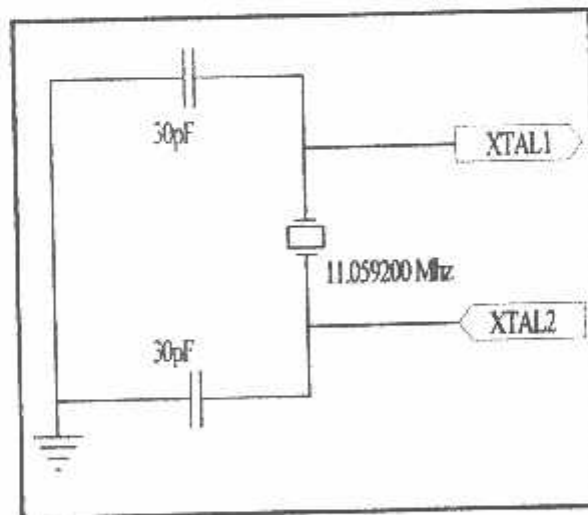
- | | |
|----------|---|
| 1. P1.0 | : Saklar LED 1 |
| 2. P1.1 | : Saklar LED 2 |
| 3. P1.2 | : Saklar LED 3 |
| 4. P1.3 | : Saklar LED 4 |
| 5. P1.4 | : Saklar LED 5 |
| 6. P1.5 | : Saklar LED 6 |
| 7. P1.6 | : Saklar LED 7 |
| 8. P1.7 | : Saklar LED 8 |
| 9. P2.1 | : Dihubungkan ke SDA pada PCF 8574 P.14 |
| 10. P2.0 | : Dihubungkan ke SCL pada PCF 8574 P.15 |



Gambar.3.3.Rangkaian MC 98S51

3.3.2. Rangkaian Clock

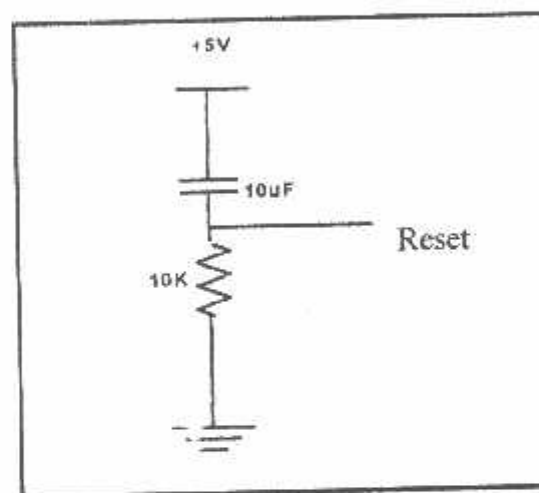
Kecepatan proses yang dilakukan oleh mikrokontroler ditentukan oleh sumber *clock* (pewaktuan) yang mengendalikan mikrokontroler tersebut. Sistem yang dirancang ini akan menggunakan osilator internal yang sudah tersedia di dalam chip AT89S51. Untuk menentukan frekuensi osilatornya cukup dengan cara menghubungkan kristal pada pin XTAL1 dan XTAL2 serta dua buah kapasitor ke *ground*. Besar kapasitansinya disesuaikan dengan spesifikasi pada lembar data AT89S51 yaitu 30 pF. Pemilihan besar frekuensi kristal disesuaikan dengan pemilihan kecepatan yang diharapkan untuk transfer data melalui pin *serial interface* AT89S51 tersebut. Sistem ini dirancang untuk memiliki kemampuan *baud rate* sebesar 9600 bps, sehingga dipilih kristal dengan nilai 11,0592 MHz sesuai dengan spesifikasi pada lembar data AT89S51. Gambar 3.4. memperlihatkan rangkaian pewaktu yang digunakan.



Gambar 3. 1. Rangkaian Pewaktuan

3.3.3. Rangkaian Reset

Untuk mereset mikrokontroler, pin RST harus diberi logika tinggi selama sekurangnya dua siklus mesin (24 periode osilator). Untuk membangkitkan sinyal reset pada saat awal catu daya dihidupkan, suatu reset otomatis dapat dilakukan dengan menghubungkan pin RST ke rangkaian *Power-On Reset*, seperti dalam Gambar 3.5. Ketika catu daya dinyalakan, rangkaian akan menahan pin RST dalam kondisi logika tinggi selama selang beberapa saat tergantung nilai kapasitor dan kecepatan pengisian muatannya.



Gambar 3.5. Rangkaian *Power-On Reset*

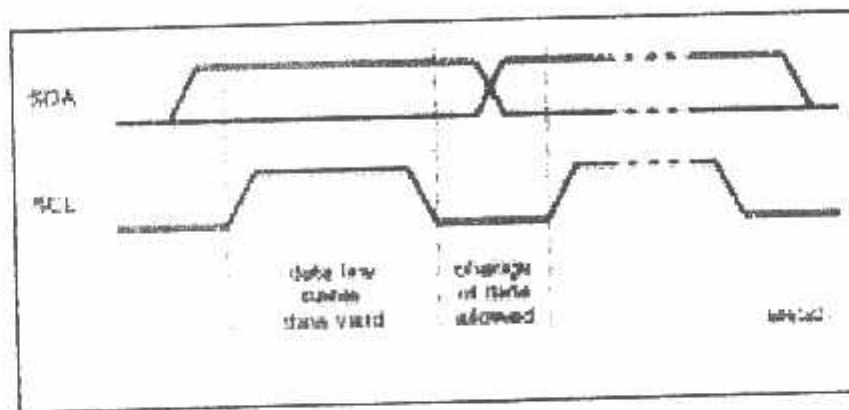
3.3.4. Rangkaian I2C PCF 8574

- Cara kerja I2C Bus

Sebelum memahami cara kerjanya, ada beberapa terminologi, karakter dan kondisi penting dalam I2C yang harus dipahami terlebih dahulu, yaitu :

a. Karakter Transfer Data Bit

Data bit dikirim/diterima melalui SDA, sedangkan sinyal clock dikirim/diterima melalui SCL, dimana dalam setiap transfer data bit satu sinyal clock dihasilkan, transfer data bit dianggap valid jika data bit pada SDA tetap stabil selama sinyal clock high, data bit hanya boleh berubah jika sinyal clock dalam kondisi low, lihat gambar 6.



Gambar 3.7. Transfer data bit pada I2C bus

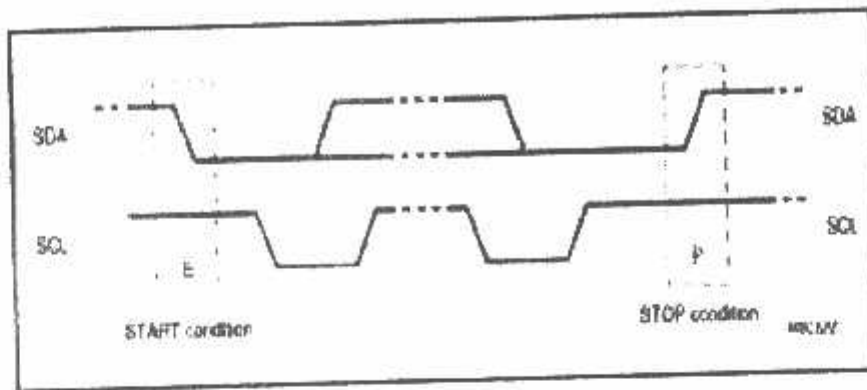
I2C Bus berorientasi pada 8 bit data (byte), dengan most significant bit / MSB ditransfer terlebih dulu, serta 2 macam data byte yaitu **Address Byte** dan **Data Byte**.

b. Kondisi START dan STOP

Apabila pada SDA terjadi transisi dari kondisi high ke kondisi low pada saat SCL berkondisi high, maka terjadilah kondisi START.

Apabila pada SDA terjadi transisi dari kondisi low ke kondisi high pada saat SCL berkondisi high, maka terjadilah kondisi STOP.

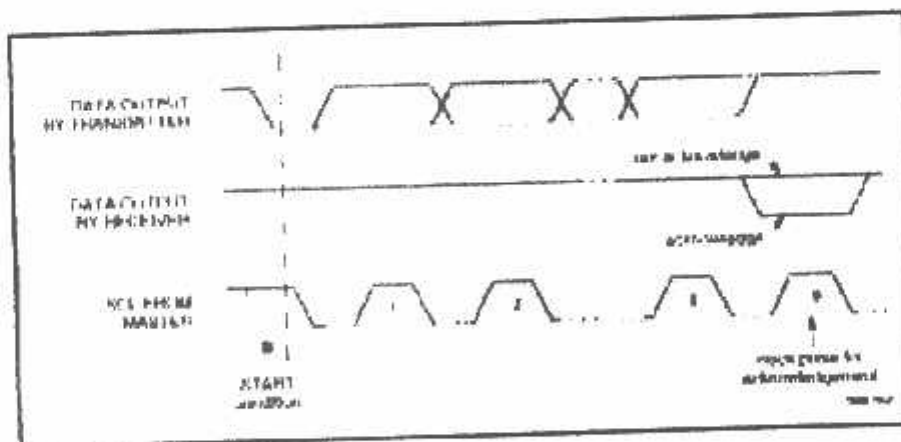
Kondisi START dan STOP selalu dibangkitkan oleh Master, dan bus dikatakan sibuk setelah START dan dikatakan bebas setelah STOP.



Gambar 3.8
Kondisi Start dan Stop

c. ACK dan NACK

Kondisi ACK terjadi apabila receiver "menarik" SDA pada kondisi low selama 1 sinyal clock. Kondisi NACK terjadi apabila receiver "membebaskan" SDA pada kondisi high selama 1 sinyal clock.



Gambar 3.9
Kondisi ACK dan NACK

d. Cara kerja I2C Bus (Format 7 bit address)

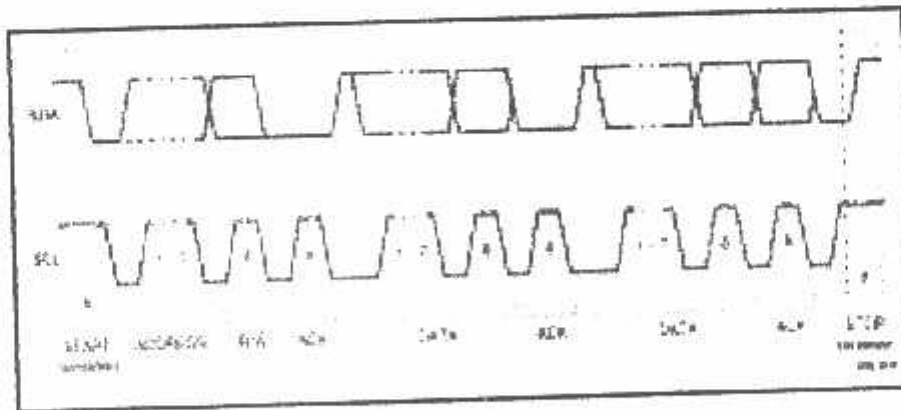
Cara kerja I2C bus dapat dibedakan menjadi format 7 bit addressing dan format 10 bit addressing, dalam artikel ini hanya akan dibahas format 7 bit addressing, untuk format 10 bit addressing dapat anda baca keterangan lengkapnya dalam "The I2C-BUS Specification Version 2.1 January 2000" yang dirilis oleh Philips Semiconductor. Inisiatif komunikasi/transfer data selalu oleh Master dengan mengirimkan kondisi START diikuti dengan address byte (7 bit address - 1 bit pengarah/data direction bit) seperti pada ilustrasi dibawah ini.



Gambar 3.10.Format address byte

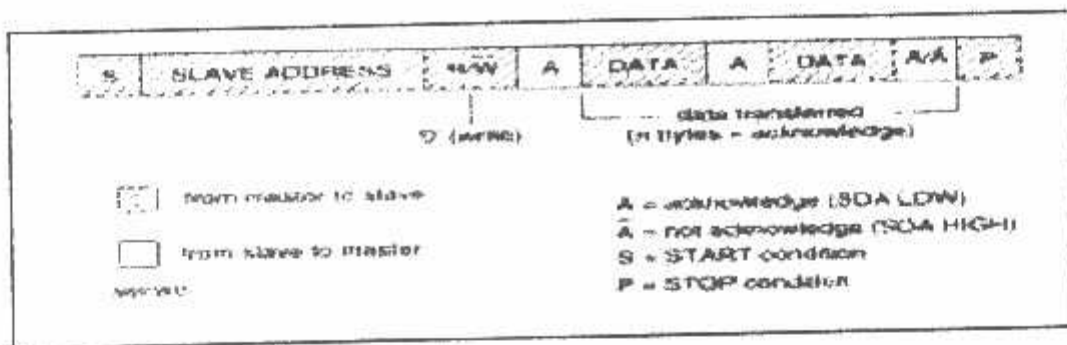
Ada dua jenis komunikasi dasar dalam I2C bus yaitu :

- Master-transmitter menulis data ke slave-receiver yang teralamat
- Master-receiver membaca data dari slave-transmitter yang teralamat .



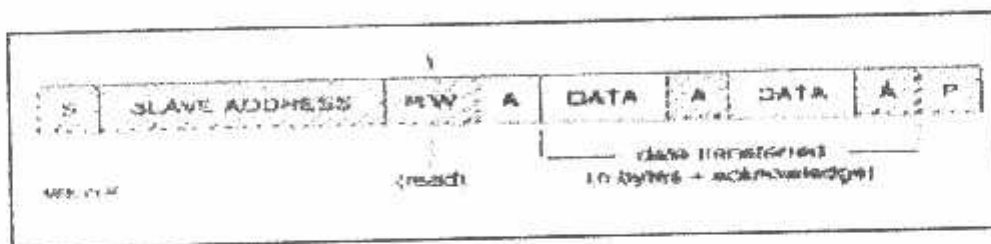
Gambar 3.11

Transfer data lengkap I2C bus



Gambar 3.12

Master-transmitter menulis data ke slave-receiver yang teralamat



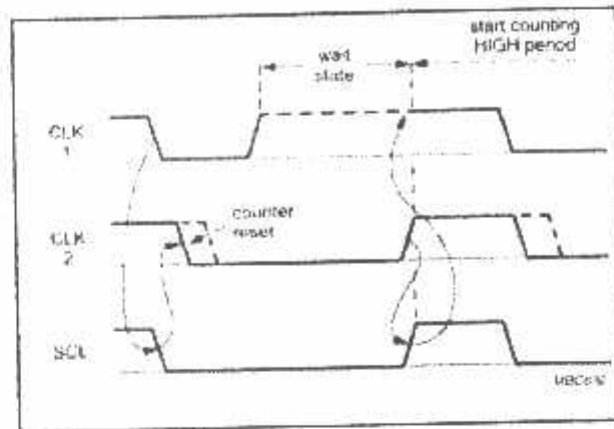
Gambar 3.13

Master-receiver membaca data dari slave-transmitter yang teralamat

e. Multi Master

Pada I2C bus bisa terjadi situasi dimana lebih dari 1 device mengambil inisiatif transfer data sebagai Master, dengan protocol Master/slave dan karakter hardware open drain/open collector yang bersifat wired AND, hal ini tidak menyebabkan terjadinya korupsi data, inilah yang disebut dengan Multi Master. Untuk dapat melakukan Multi Master ada 2 hal yang penting yaitu Clock Synchronization dan Arbitration.

f. Clock Synchronization



Gambar 3.14. Clok Synchronization

Karena sifat wired AND dari I2C bus, dimana jika salah satu device menarik bus dalam kondisi low maka device lain tidak dapat membuat bus tersebut menjadi high (sifat dari logika AND), sehingga jika ada lebih dari satu device yang melakukan inisiatif transfer data sebagai Master dengan membangkitkan sinyal clock pada SCL pada saat yang bersamaan harus ada sinkronisasi clock yang dapat dijelaskan (seperti terlihat pada gambar 10 diatas) sebagai berikut :

- Jika Master1 (Clock 1) memulai periode low sinyal clock-nya, maka SCL menjadi low, Master2 mendeteksi kondisi tersebut dan harus juga memulai menghitung periode low sinyal clock-nya.
- Saat Master1 (Clock 1) akan memulai periode high sinyal clock-nya dan mendeteksi bahwa SCL masih dalam kondisi low (disebabkan periode low sinyal clock dari Master 2 (Clock 2) masih belum selesai) maka dia harus

menunggu dan tidak menghitung periode high sinyal clock-nya terlebih dahulu.

- Saat Master2 (Clock 2) memulai periode high sinyal clock-nya, maka kondisi SCL menjadi high, Master1 (Clock1) yang mendeteksi kondisi tersebut juga harus memulai menghitung periode high sinyal clock-nya.
- Karena Master 1 (Clock1) terlebih dahulu menyelesaikan periode high sinyal clock-nya dan memulai periode low maka kondisi SCL menjadi low, maka Master 2 (Clock 2) yang mendeteksi kondisi tersebut juga harus memulai menghitung periode low sinyal clock-nya, demikian seterusnya sehingga terjadilah sinkronisasi sinyal clock antara Master1 dan Master2.

- Secara singkat sinkronisasi clock dapat disimpulkan sbb:

1. Jika kondisi SCL tetap low pada saat Master mencoba membuatnya high, maka Master tersebut harus memulai menghitung periode low sinyal clock-nya
2. Jika Master akan memulai periode high sinyal clock-nya, maka Master tersebut harus menunggu kondisi SCL menjadi high sebelum memulai menghitung periode high sinyal clock-nya.

Sehingga sinkronisasi clock yang terbentuk sbb:

- Periode low akan mengikuti periode low dari device yang membangkitkan sinyal clock dengan periode low yang terpanjang.
- Periode high akan mengikuti periode high dari device yang membangkitkan sinyal clock dengan periode high yang terpendek.

g. Arbitration

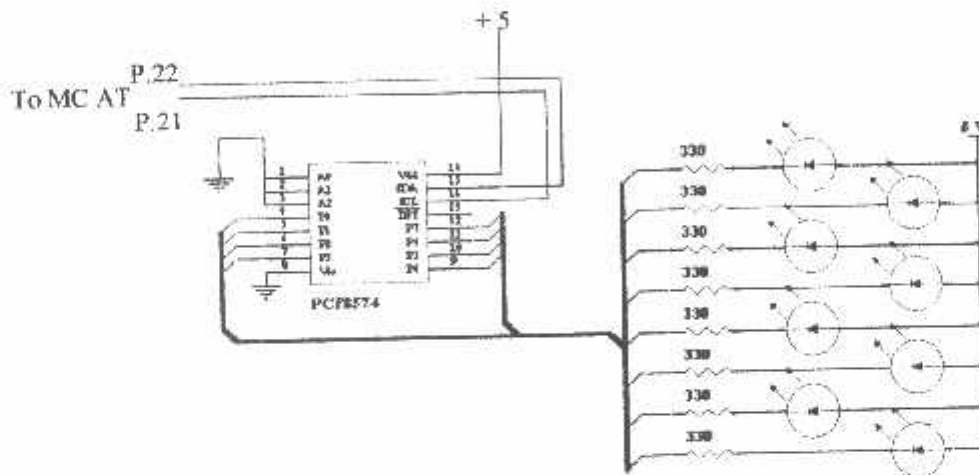
Dalam Multi Master, bisa terjadi kemungkinan lebih dari satu device melakukan inisiatif transfer data menjadi Master, walaupun transfer data hanya bisa dilakukan jika kondisi bus bebas, tetapi sangat memungkinkan lebih dari satu device mendeteksi kondisi bus sebagai bebas dan membangkitkan kondisi START sedikit berselisih waktu tetapi masih dalam batas-batas kondisi START yang valid. Untuk kondisi seperti dijelaskan diatas, maka arbitration diberlakukan bit demi bit hingga selesai, dimana sekali lagi sifat/karakter bus yang wired AND memungkinkan hal tersebut terjadi.

Untuk jelasnya perhatikan gambar 11 diatas yang dapat dijelaskan sebagai berikut

- Ambil contoh Master 1 (Data 1) akan mentransfer data 101xxxxxB sedangkan Master 2 (Data 2) akan mentransfer data 100101xxB.
- Kedua Master mendeteksi bus dalam keadaan bebas, dan membangkitkan sinyal START yang hampir bersamaan, Master 1 lebih dahulu membangkitkan START sehingga kondisi SDA mengikuti Master 1, baru kemudian Master 2 membangkitkan START, tetapi kondisi START pada SDA masih valid untuk Master2.
- Kedua Master mentransfer MSbit (sama-sama "1"), kemudian data bit berikutnya (sama-sama "0"), pada bit yang berikutnya Master1 berusaha untuk membuat SDA high sesuai dengan data bit-nya, sedangkan Master 2 berusaha untuk membuat SDA low (sesuai dengan data bit-nya), karena sifat wired AND dari SDA, maka kondisi SDA menjadi low, karena itu Master 1 dikatakan kehilangan arbitrase (dengan kata lain bisa disebut sebagai kehilangan kontrol) atas SDA.

- Bagi Master 1 yang kehilangan arbitrase bisa terus membangkitkan sinyal clock sampai transfer data selesai dan bus dalam kondisi bebas lagi, bagi Master 2 yang memenangkan arbitrase (mendapat kontrol) atas SDA dapat menyelesaikan transfer data-nya tanpa ada data yang terkorupsi sama sekali.

3.3.5. Rangkaian IIC PCF 8574



Gambar 3.15 Rangkaian I2C PCF 8574

Rangkaian diatas bekerja setelah menerima inputan data dan clock dari Mikrokontroller AT 89S51 dan PCF 8574 ini bekerja sebagai slave (aktif low), dimana pada prinsipnya PCF 8574 akan menjalankan perintah semua terlebih dahulu meskipun Mikrokontroller hanya mengisyaratkan 1 Bit yang dialamat, setelah PCF 8574 menerima data-data bit yang diterima secara otomatis akan ditujukan pada alamat yang diperintahkan oleh AT 89S51. PCF 8574 hanya mampu membaca data berjumlah 8 bit.

Penggunaan port / kaki pin pada IC PCF 8574 pada rancangan ini adalah sebagai berikut :

- Pin 1 = A₀ : GND
- Pin 2 = A₁ : GND
- Pin 3 = A₂ : GND
- Pin 4 : LED 1
- Pin 5 : LED 2
- Pin 6 : LED 3
- Pin 7 : LED 4
- Pin 8 : VCC GND
- Pin 9 : LED 5
- Pin 10 : LED 6
- Pin 11 : LED 7
- Pin 12 : LED 8
- Pin 13 : INT
- Pin 14 : Dihubungkan pada MC AT 89S51 Pin 21
- Pin 15 : Dihubungkan pada MC AT 89S51 Pin 22
- Pin 16 : VCC + 5 Volt

Analisa rangkaian R dan LED

Arus pada LED

- Menghitung R yang digunakan pada rangkaian :

$$\begin{aligned} R &= V_s / I_D \\ &= 5 \text{ Volt} / 15 \text{ mA} \\ &= 0.33 \text{ K Ohm} \end{aligned}$$

Dalam pemakaiannya menggunakan ukuran R sebesar **330 Ohm**.

- Untuk mengetahui arus yang mengalir pada LED yang terpasang pada rangkaian :

$$\begin{aligned} I &= V_s / R \\ &= 5 \text{ Volt} / 330 \text{ Ohm} \\ &= 0.015 \text{ mA} \end{aligned}$$

Pada umumnya arus LED ada diantara 10 sampai 50 mA, jadi untuk menjadikan arus yang melewati LED diantara 15 mA sehingga harus dipasang/ memakai resistansi sebesar 330 Ohm. Rangkaian bekerja setelah menerima inputan data dan clock dari Mikrokontroler AT 89S51 dan PCF 8574 ini bekerja sebagai slave (aktif low), dimana pada prinsipnya PCF 8574 akan menjalankan perintah yang terkirim dari mikrokontroler (Master) yang sudah teralamat. Lebih jelasnya dapat dilihat pada gambar 6 rangkaian PCF 8574 (Slave).

Tabel 3.1 Perhitungan Arus Pada Led

| Led | Tahanan (Ω) | V Led (Volt) | I Led (mA) |
|---------------------|-------------------------|-----------------|---------------|
| 1 (Lp.Rem) | 330 | 5 | 15 |
| 2 (Lp.Turn.L) | 330 | 5 | 15 |
| 3 (Lp.Turn.R) | 330 | 5 | 15 |
| 4 (Lp.Malam) | 330 | 5 | 15 |
| 5 (Lp.Mundur) | 330 | 5 | 15 |
| 6 (Head Lamp) | 330 | 5 | 15 |
| 7 (Lp.Nopol) | 330 | 5 | 15 |
| 8 (Lp.Aksesoris) | 330 | 5 | 15 |

Dari perhitungan diatas didapatkan alasan penggunaan resistor dengan ukuran 330 Ohm, karena resistor dengan ukuran 330 Ohm dapat menghasilkan arus yang dibutuhkan dioda Led antara 10 mA – 15 mA, dari perhitungan diatas diperoleh rata-rata adalah 15 mA. Jadi resistor dengan ukuran hambatan 330 Ohm sudah memenuhi kriteria arus yang dibutuhkan oleh Led.

3.4. Perancangan Perangkat Lunak (*Software*)

Untuk mendukung *hardware* yang sudah dibuat, maka dibutuhkan perangkat lunak (*software*) supaya perangkat keras tersebut bisa berjalan sesuai dengan tujuan. Mikrokontroler dapat mengendalikan seluruh sistem apabila ada urutan instruksi yang mendefinisikan secara jelas urutan kerja yang harus

dilaksanakan. Dalam perancangan alat ini perangkat lunak yang digunakan adalah bahasa pemrograman *assembler*.

Sebelum membuat perangkat lunak, terlebih dahulu dibuat diagram alir (*flowchart*) dari proses yang akan dibuat supaya memudahkan dalam pembuatan perangkat lunak (*software*).

Pemrograman *assembler*.

```
org 0h
;
Tb10 Bit P1.0
Tb11 Bit P1.1
Tb12 Bit P1.2
Tb13 Bit P1.3
Tb14 Bit P1.4
Tb15 Bit P1.5
Tb16 Bit P1.6
Tb17 Bit P1.7
ISCL Bit P2.0
ISDA Bit P2.1
I2Dt Equ 30h
I2Ad Equ 31h
Dly0 Equ 32h
Dly1 Equ 33h
Dly2 Equ 34h
;
init: acall delays
      mov  I2Ad,#70h
      acall i2cint
      acall adrtx
      acall jeda
      mov  I2Dt,#0FFh
;
mulai: mov  A,I2Dt
      acall delays
;
cek00: jb  Tb10,cek01
      clr  Acc.0
cek01: jnb Tb10,cek02
      setb Acc.0
;
```

cek02: jb Tbl1,cek03
clr Acc.1
cek03: jnb Tbl1,cek04
setb Acc.1
;
cek04: jb Tbl2,cek05
clr Acc.2
cek05: jnb Tbl2,cek06
setb Acc.2
;
cek06: jb Tbl3,cek07
clr Acc.3
cek07 jnb Tbl3,cek08
setb Acc.3
;
cek08: jb Tbl4,cek09
clr Acc.4
cek09: jnb Tbl4,cek10
setb Acc.4
;
cek10: jb Tbl5,cek11
clr Acc.5
cek11: jnb Tbl5,cek12
setb Acc.5
;
cek12: jb Tbl6,cek13
clr Acc.6
cek13: jnb Tbl6,cek14
setb Acc.6
;
cek14: jb Tbl7,cek15
clr Acc.7
cek15: jnb Tbl7,cek16
setb Acc.7


```

;
cek16: mov  I2Dt,A
        acall dtatx
        sjmp mulai
;
adrtx: acall i2estr           ; kirim address
        mov  A,I2Ad
        acall putbit
        ret
;
adrrx: acall i2estr           ; terima address
        mov  A,I2Ad
        inc  A
        acall putbit
        ret
;
dtatx: mov  A,I2Dt           ; kirim data
        acall putbit
        ret
;
dtarx: acall getbit          ; terima data
        mov  I2Dt,A
        ret
;
putbit: mov  R7,#8
nbits: RLC  A
        mov  ISDA,C
        setb ISCL
        clr  ISCL
        djnz R7,nbits
        setb ISDA
        acall getack
        ret
;
getbit: mov  R7,#8

```

```

nbitr: setb ISCL
        mov  C,ISDA
        RLC  A
        clr  ISCL
        djnz R7,nbitr
        setb ISDA
        acall givack
        ret

;
i2cstr: setb ISCL          ; i2c start
        setb ISDA         ;\
        clr  ISDA         ; | C=1, D=1, D=0, C=0
        clr  ISCL         ;/
        ret

;
i2cstp: clr  ISDA         ; i2c stop
        setb ISCL         ;\ D=0, C=1, D=1, C=0
        setb ISDA         ;/
        clr  ISCL
        ret

;
i2cint: setb ISDA        ; i2c init
        clr  ISCL         ;\
        clr  ISDA         ; | D=1, C=0, D=0
        acall i2cstp     ;/
        ret

;
getack: setb ISDA        ; tunggu ack
        setb ISCL         ;\
ackbit: mov  C,ISDA      ; | D=1, C=1
        jc   ackbit      ; | tunggu D=0, C=0
        clr  ISCL         ;/
        ret
;

```

```

givack: clr  ISDA          ; kirim ack
        setb ISCL         ;\
        clr  ISCL         ; | D=0, C=1, C=0, D=1
        setb ISDA         ;/
        ret

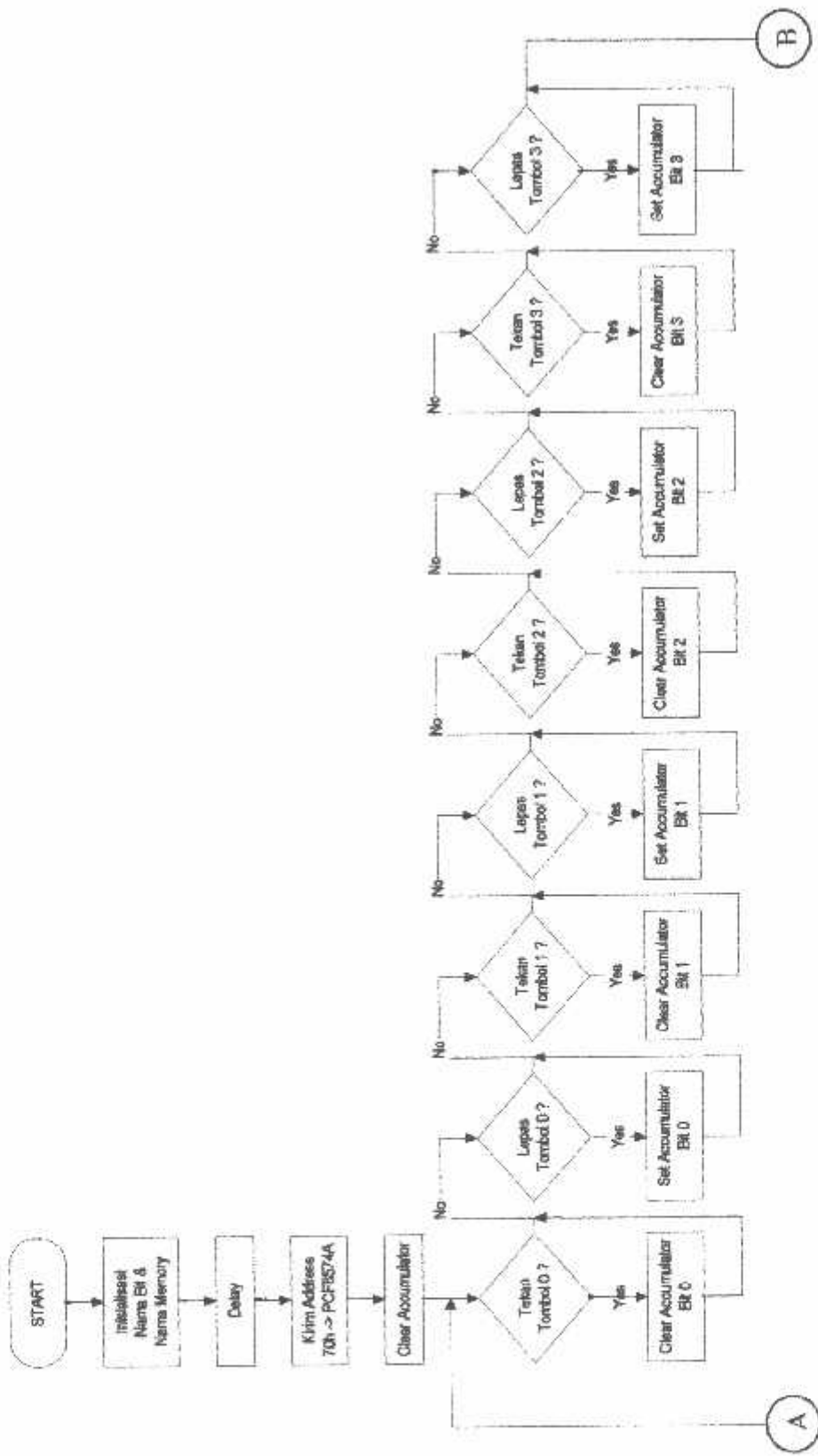
;
jeda: djnz Dly0,$
      ret

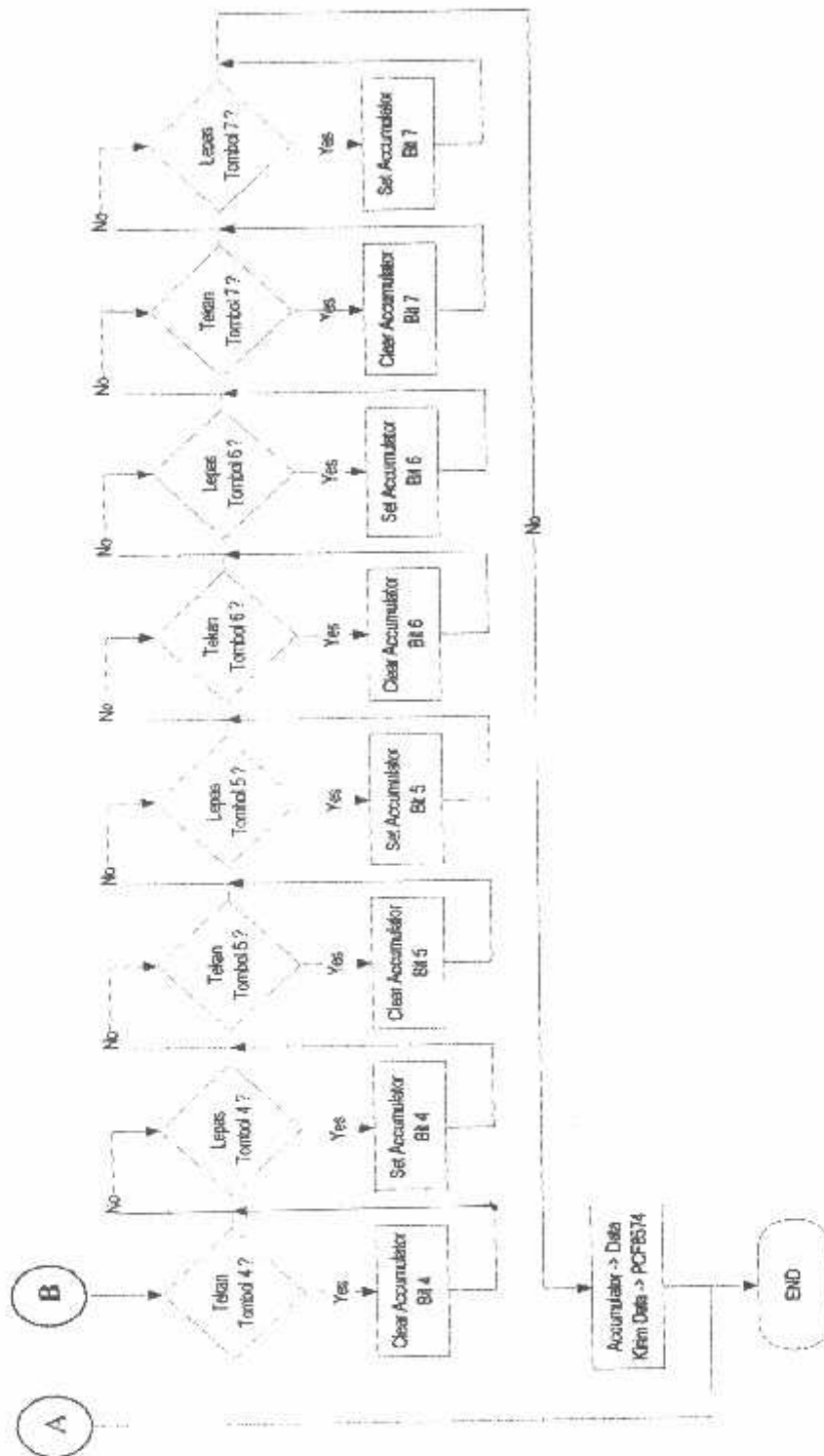
;
delays acall jeda
       djnz Dly1,delays
       ret

;
delay1 mov  Dly2,#10
dly1: acall delays
      djnz Dly2,dly1
      ret

;
end

```





BAB IV

PENGUJIAN ALAT

Pengujian alat dilakukan untuk mengetahui kinerja dari rangkaian yang sudah selesai dibuat. Pengujian alat ini menggunakan dua cara yaitu pengujian alat setiap blok dan pengujian alat secara keseluruhan dari sistem yang direncanakan. Pengujian alat setiap blok dimaksudkan untuk mempermudah dalam mencari kesalahan (*trouble shooting*) apabila rangkaian yang dibuat tidak sesuai dengan yang direncanakan. Setelah pengujian alat setiap blok selesai dan tidak ada kesalahan maka dilanjutkan dengan pengujian alat dari keseluruhan sistem yang telah direncanakan.

4.1 Pengujian Alat untuk bentuk sinyal SCL & SDA

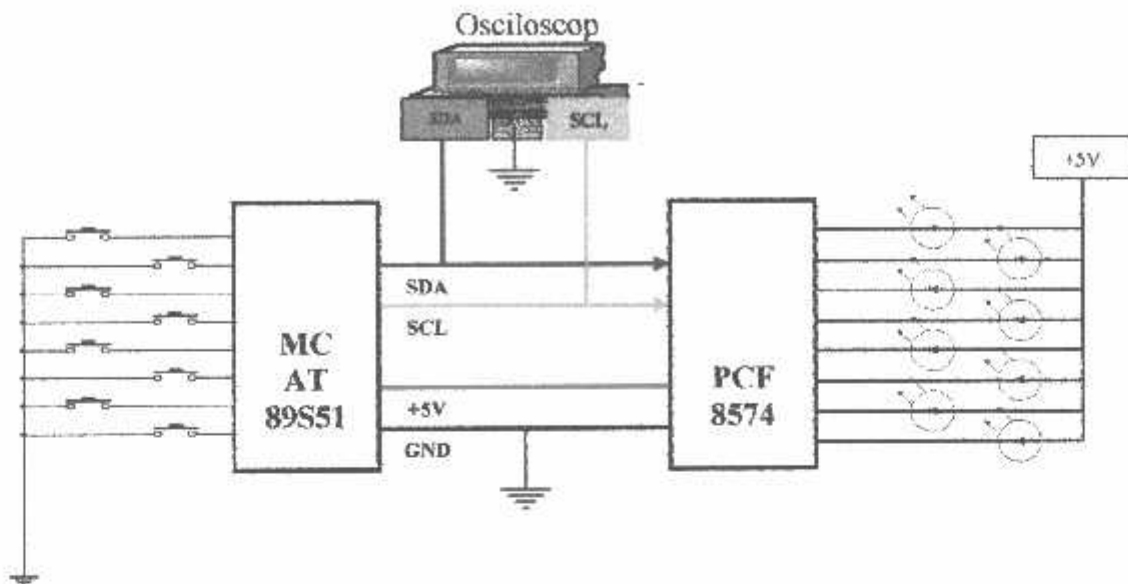
4.1.1 Mengetahui dan melihat bentuk sinyal SCL & SDA pada Osciloscop:

a. Tujuan

- Melihat bentuk sinyal SCL & SDA pada Layar Oscilator.

b. Langkah pengujian

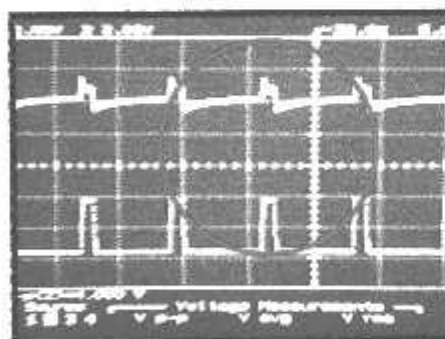
- Membuat rangkaian seperti pada gambar 4.1
- Menghubungkan input IC PCF 8574 dengan mikrokontroler dan output pada masing-masing LED/beban, serta menghubungkan osciloscop pada Line SDA dan SCL amati pada tampilan Osciloscop .



Gambar 4.1. pengujian untuk mengamati bentuk sinyal dengan Oscilloscop

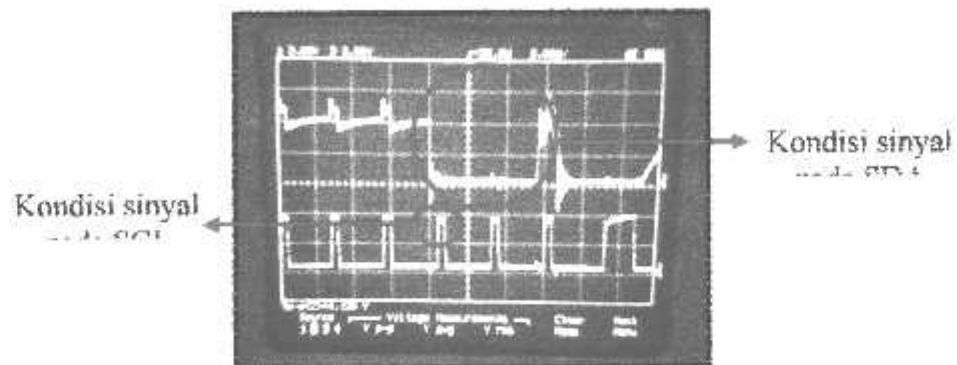
c. Hasil Pengujian.

Berdasarkan hasil pengujian, pada saat rangkaian Master dan Slave diberi tegangan pada tampilan oscilator sudah terdapat bentuk sinyal pulsa dan pada saat 1 tombol atau lebih dari 1 tombol ditekan maka terdapat perubahan pada bentuk sinyal (bentuk High/Led mati menjadi Low/Led hidup).



Gambar 4.2. Tampilan Oscilloscop pada saat rangkaian diberi tegangan dan belum ada penekanan tombol.

Pada saat 2 tombol ditekan maka terdapat perubahan bentuk sinyal (bentuk High/Led mati menjadi Low/Led hidup).



Gambar 4.3. Tampilan Osciloscop pada saat 2 tombol ditekan

Pada saat terjadi perubahan pada bentuk sinyal atau biasa disebut transisi dari high menjadi low, bentuk pada sinyal clock selalu dalam kondisi high begitu pula sebaliknya dari kondisi low menjadi high sinyal clock juga pada kondisi high.

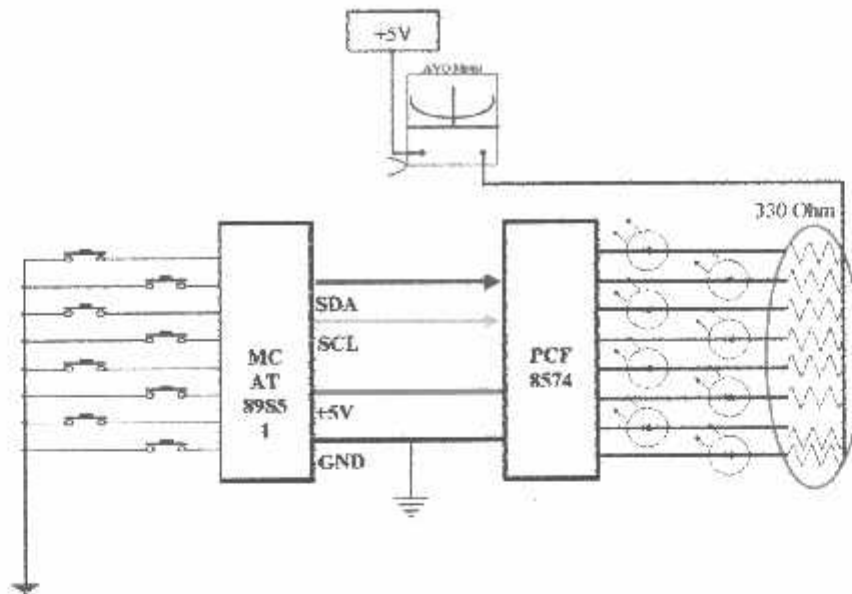
4.1.2 Pengujian Rangkaian Slave PCF 8574 dan Led :

a. Tujuan

- Mengetahui arus outputan dari PCF 8574 serta arus yang melewati Led.

b. Langkah pengujian

- Menghubungkan inputan dari rangkaian PCF 8574 dengan outputan mikrokontroler.
- Menghubungkan Amp meter pada putputan PCF 8574.
- Menekan 1 atau 2 tombol pada master switch.



Gambar 4.4. Pengujian arus pada LED

c. Hasil Pengujian.

Berdasarkan hasil pengujian, pada saat tombol ditekan dan memberikan logika 0 maka PCF 8574 akan mengaktifkan led yang terhubung dengan tegangan +5 Volt, dimana LED mempunyai persamaan tegangan dari 1,5 Volt sampai 2,5 Volt untuk I_D dilihat dari data book terdapat ukuran sebesar 15 mA pada dioda Led, penurunan tegangan yang tepat tergantung dari arus LED, warna, kelonggaran, dan sebagainya dengan memasukan penurunan tegangan 2 volt untuk LED, maka dapat dihitung resistansi dan arus LED yang dipergunakan sbb:

- Menghitung R yang digunakan pada rangkaian :

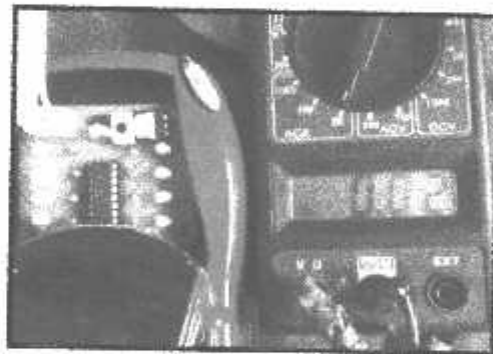
$$\begin{aligned}
 R &= V_s / I_D \\
 &= 5 \text{ Volt} / 15 \text{ mA} \\
 &= 0.33 \text{ K Ohm}
 \end{aligned}$$

Dalam pemakaiannya menggunakan ukuran R sebesar 330 Ohm.

- Untuk mengetahui arus yang mengalir pada dioda led yang terpasang pada rangkaian :

$$\begin{aligned}
 I &= V_s / R \\
 &= 5 \text{ Volt} / 330 \text{ Ohm} \\
 &= 0.015 \text{ mA}
 \end{aligned}$$

Pada umumnya arus LED ada diantara 10 sampai 15 mA, jadi untuk menjadikan arus yang melewati LED diantara 15 mA sehingga memakai resistansi sebesar 330 Ohm. Rangkaian bekerja setelah menerima inputan data dan clock dari Mikrokontroler AT 89S51 dan PCF 8574 ini bekerja sebagai slave (aktif low), dimana pada prinsipnya PCF 8574 akan menjalankan perintah yang terkirim dari mikrokontroler (Master) yang sudah teralamat.



Gbr 4.5. Kondisi pada Ampere Meter saat belum ada inputan data



Gbr 4.6. Kondisi Pada Ampere Meter saat dua tombol ditekan

Dalam pengujian ini led akan aktif jika arus yang melalui led diantara 0.08 mA sampai batas maksimum yaitu 0.15 mA, dalam kenyataannya pengujian ini arus led mengalami peningkatan, pada saat tombol ditekan arus yang melalui led bermula dari 0.08 mA sampai batas maksimum 0.015 mA.

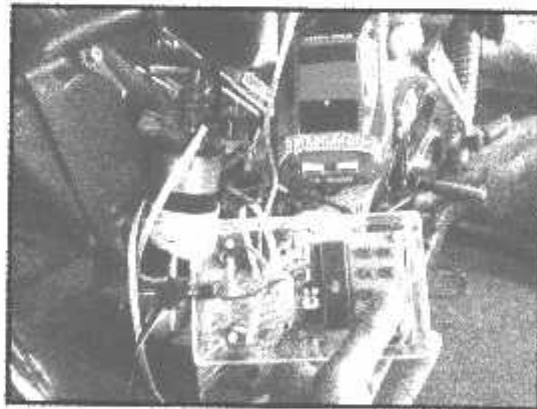
4.1.3. Pengujian sistem dari gangguan noise

a. Tujuan

- Mengetahui kemampuan alat dari gangguan noise/Frekwensi tinggi.

b. Langkah pengujian

- Mengaktifkan dan mengoprasikan alat pada lingkungan yang memiliki tingkat noise/frekwensi tinggi.
- Metode percobaan pada sekitar coil dan busi sepeda motor yang aktif.

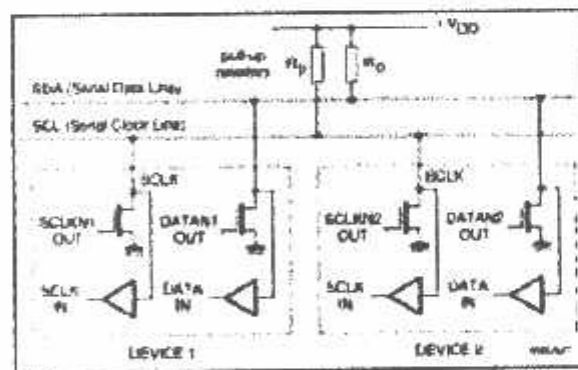


Gbr 4.7. Contoh pengujian pada kestabilan sistem dari noise yang ditimbulkan Coil/busi sepeda motor yang sedang aktif.

c. Hasil Pengujian.

Berdasarkan hasil pengujian, sistem tidak terpengaruh oleh gangguan noise yang ditimbulkan oleh coil/busi sepeda motor karena untuk jenis PCF 8574A merupakan komponen pilihan yang tahan terhadap gangguan noise/frekwensi tinggi, selain itu untuk menunjang keefektifan alat ini dan tahan dari gangguan nois maka dipasang komponen tambahan yaitu resistor dengan ukuran 10 k sebagai rangkaian Pull-Up, biasanya tanpa adanya R Pull-Up sistem sejenis ini kerap sekali mudah terganggu oleh noise/frekwensi tinggi karena sistem seperti ini pada umumnya menggunakan komponen mikro yang rentang sekali dari gangguan noise.

Untuk menanggulnginya sistem seperti ini harus dilengkapi dengan rangkaian Pull-Up, contohnya komponen utama (seperti PCF 8574) pada sistem ini, perusahaan/pabrik pembuat IC mengeluarkan *data sheet* yang termasuk membahas tentang rangkaian pull-up.



Gbr 4.8. Contoh pemasangan R pull up yang terdapat pada Data Sheed

Kedua pin pada I2C yaitu SDA dan SCL harus memiliki kemampuan input dan output serta bersifat open drain atau open collector. Kedua pin tersebut terhubung pada I2C bus yang telah di pull-up dengan

resistor ke suplai positif dari sistem Semua device yang terhubung pada bus harus terhubung pada ground yang sama sebagai referensi.

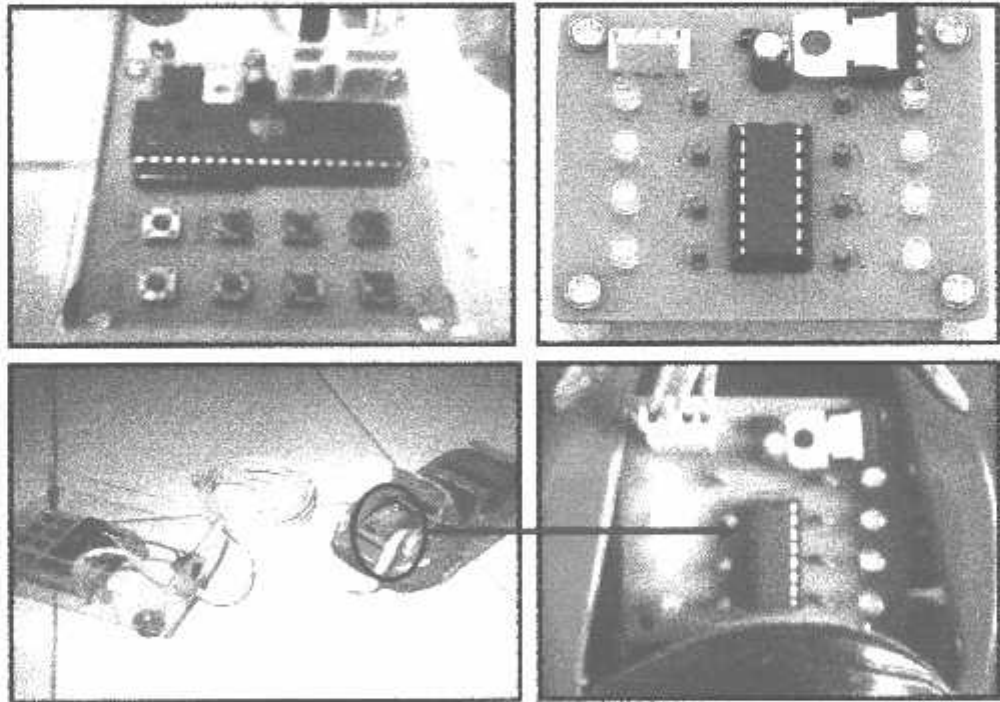
4.2. Pengujian Sistem Keseluruhan

a. Tujuan

Untuk mengetahui hasil akhir dari sistem yang telah dibuat.

b. Peralatan Yang Digunakan

- Rangkaian master switch (Mikrokontroller AT 89S51).
- Rangkaian slave (PCF 8574A).
- Kabel koneksi 4 jalurantara Mikrokontroller dengan PCF 8574 dengan panjang min.4,5 meter.
- 8 buah rangkaian LED dan R 330 Ohm.



Gambar 4.9. Pengujian Keseluruhan Sistem

c. - Langkah pengujian

1. Hubungkan kabel koneksi antara master switch dengan slave.
2. Masukkan tegangan VCC 5 volt pada master dan slave.
3. Tekan tombol pada master switch satu persatu atau secara bersamaan.
4. Pastikan LED menyala/Aktif.

- Langkah pengujian pada gangguan noise

5. Letakkan sistem keseluruhan pada daerah yang memiliki tingkat noise/frekwensi tinggi (contohnya pada gangguan noise coil sepeda motor), tekan tombol master switch satu persatu atau secara bersamaan dan pastikan LED menyala dengan normal dan jika tombol dilepas pastikan LED dalam kondisi mati.

d. Hasil pengujian

Hasil pengujian keseluruhan sistem telah sesuai dengan yang diharapkan, sistem berjalan sesuai dengan yang diinginkan. Setiap kondisi yang diinginkan pada saat pengaturan berjalan dengan baik.



BAB V

PENUTUP

Pada bab ini penulis akan menyampaikan kesimpulan dan saran setelah melakukan pengujian pada alat aplikasi I2C untuk model lampu sinyal dan lampu belakang pada mobil terintegrasi dengan mikrokontroler AT 89S51

5.1 Kesimpulan

Setelah melakukan perencanaan, pembuatan, dan pengujian pada alat aplikasi I²C untuk model lampu sinyal dan lampu belakang pada mobil terintegrasi dengan mikrokontroler AT 89S51, dapat diambil beberapa kesimpulan sebagai berikut :

1. Dalam pengujian dapat disimpulkan alat dapat berfungsi dengan baik dan sesuai dengan perencanaan. Pada jenis PCF 8574A merupakan komponen pilihan yang tahan terhadap gangguan noise/frekwensi tinggi pada daerah sekitarnya, selain itu untuk menunjang keefektifan alat ini dari gangguan noise maka dipasang komponen tambahan yaitu resistor dengan ukuran 10 k sebagai R Pull Up.
2. Pada R Pull Up yang digunakan untuk switch pada rangkaian master terpasang dengan ukuran 10 k, komponen tambahan ini mempunyai fungsi yang sama yaitu sebagai penstabil/penyeimbang dari gangguan nois/frekwensi liar, karena mikrokontroler dalam proses pengiriman data akan dapat terpenuhi dengan membutuhkan arus diantara 0.5 mA dan apabila arus yang timbulkan kurang dari 0.5 mA maka gangguan yang timbul ialah berubahnya logika yang dikirimkan, contohnya logika 0 kemungkinan menjadi logika 1 begitu pula sebaliknya.

3. Dari pengukuran dengan menggunakan Ampere meter bahwa pada setiap pengiriman data, arus yang mengalir melalui LED mengalami kenaikan yang bermula 0.02 mA menjadi lebih dari 0,08 mA sampai batas maksimum 0.15 mA. Hal ini membuktikan bahwa Outputan dari PCF 8574 adalah memenuhi syarat untuk mengaktifkan LED.
4. Dalam pengujiannya Pada bagian Master terdapat beberapa switch yang berfungsi untuk memberikan logika 0 atau 1 pada mikrokontroller dan kemudian diproses untuk dialamatkan pada PCF 8574.
5. Pengujian untuk ketahanan terhadap noise / frekwewnsi tinggi untuk alat ini yaitu dengan cara meletakkan alat di sekitar coil/busi sepeda motor yang mesinnya dalam kondisi hidup, hasilnya tidak terjadi efek yang mempengaruhi akurasi proses pengiriman data pada sistem ini, hal ini dapat ditanggulangi karena adanya R Pull-Up yang terpasang pada rangkaian ini.
6. Kabel koneksi terdapat 3 jalur yaitu Line Data, Line Clok, Line VCC (12 Volt), dan Ground (untuk GNG menggunakan jalur sesis mobil) sehingga jumlahnya yang semula 9 kabel berkurang menjadi 3 kabel.

5.2 Saran

1. Untuk beban selain lampu bisa juga digunakan untuk motor atau yang lainnya yang posisinya berada dibagian belakang mobil.
2. Letak rangkaian Slave dan Master diutamakan dalam posisi yang aman dari gangguan air, panas dan Frekwensi nois.yang berlebihan yang dapat mengakibatkan terjadinya ketidak akurasi dalam pengiriman data pada system ini.

Daftar Pustaka

- [1] Atmel Corporation, *MCS-51 Datasheet*. <http://www.atmel.com>
 - [2] Putra, Agfianto Eko. "*Belajar Mikrokontroller AT89S51 (Teori Dan Aplikasi)*". Yogyakarta : Gava Media, 2002
 - [3] <http://vancouver-webpages.com/peter/nmeafaq.txt>
 - [4] www.Datasheet PCF 8574.com
Copyright Sipex Corporation.
 - [5] IC I2C.PHILIPS
 - [6] www.esacademy.com
 - [7] <http://www.datasheet.com>
 - [8] Setiawan, Sulhan, 2006, Mudah dan Menyenangkan Belajar Mikrokontroller, Yogyakarta
 - [9] Tjatur, P. Johannes, 2001, Pelatihan Mikrokontroller MCS-51 Programming and Interfacing, Malang
-

LAMPIRAN

1
2
3
4





FORMULIR BIMBINGAN SKRIPSI

Nama : ERVAN MULYO SETIAWAN
NIM : 02.17.040
Masa Bimbingan : 12 Desember 2006 - 12 Juni 2007
Judul Skripsi : APLIKASI I²C UNTUK LAMPU SINYAL DAN LAMPU BELAKANG PADA MOBIL TERINTEGRASI DENGAN MIKROKONTROLLER AT 89C51.

| No | Tanggal | Uraian | Paraf Pembimbing |
|----|---------|-----------------|------------------|
| 1 | | Bab I | |
| 2 | | Bab II | |
| 3 | | Bab III | |
| 4 | | Bab IV | |
| 5 | | Bab V | |
| 6 | | Demo | |
| 7 | | Malabar Seminar | |
| 8 | | Aa akhir | |
| 9 | | | |
| 10 | | | |

Malang,
Dosen Pembimbing I

Ir. F. Yudi Limpraptono, MT
NIP.103 950 0274



FORMULIR BIMBINGAN SKRIPSI

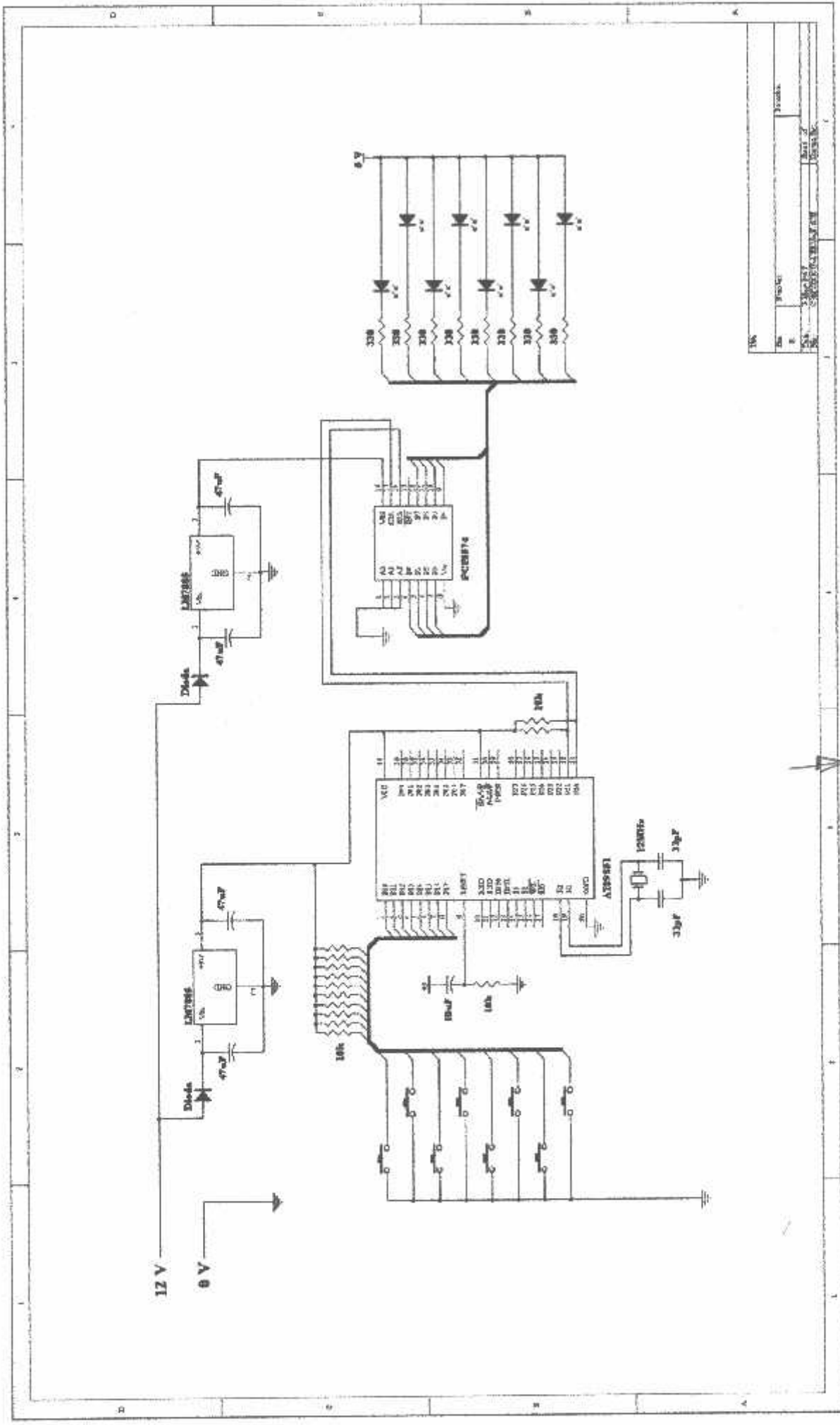
Nama : ERVAN MULYO SETIAWAN
NIM : 02.17.040
Masa Bimbingan : 12 Desember 2006 - 12 Juni 2007
Judul Skripsi : APLIKASI I²C UNTUK LAMPU SINYAL DAN LAMPU BELAKANG
PADA MOBIL TERINTEGRASI DENGAN MIKROKONTROLLER
AT 89C51.

| No | Tanggal | Uraian | Paraf Pembimbing |
|----|----------|---|------------------|
| 1 | 28/3 '07 | Konsultasi Landasan Teori & Perancangan | fadi |
| 2 | 9/6 '07 | Revisi bab 2 & 3 | fadi |
| 3 | | | |
| 4 | | | |
| 5 | | | |
| 6 | | | |
| 7 | | | |
| 8 | | | |
| 9 | | | |
| 10 | | | |

Malang, 30 - 8 - 2007
Dosen Pembimbing II



Ir. Suryohadi, Msc



| | | |
|-----|--------|--------|
| No. | Revisi | Revisi |
| 1 | | |
| 2 | | |
| 3 | | |
| 4 | | |
| 5 | | |
| 6 | | |
| 7 | | |
| 8 | | |
| 9 | | |
| 10 | | |

Gambar Rangkaian Keseluruhan

Features

Compatible with MCS-51® Products
4K Bytes of In-System Programmable (ISP) Flash Memory
– Endurance: 1000 Write/Erase Cycles
0V to 5.5V Operating Range
Fully Static Operation: 0 Hz to 33 MHz
Three-level Program Memory Lock
2K x 8-bit Internal RAM
7 Programmable I/O Lines
Two 16-bit Timer/Counters
Six Interrupt Sources
Full Duplex UART Serial Channel
Low-power Idle and Power-down Modes
Interrupt Recovery from Power-down Mode
Watchdog Timer
Dual Data Pointer
Power-off Flag
Fast Programming Time
Flexible ISP Programming (Byte and Page Mode)

Description

The AT89S51 is a low-power, high-performance CMOS 8-bit microcontroller with 4K bytes of in-system programmable Flash memory. The device is manufactured using Atmel's high-density nonvolatile memory technology and is compatible with the industry-standard 80C51 instruction set and pinout. The on-chip Flash allows the program memory to be reprogrammed in-system or by a conventional nonvolatile memory programmer. By combining a versatile 8-bit CPU with in-system programmable Flash on a monolithic chip, the Atmel AT89S51 is a powerful microcontroller which provides a highly-flexible and cost-effective solution to many embedded control applications.

The AT89S51 provides the following standard features: 4K bytes of Flash, 128 bytes of SRAM, 32 I/O lines, Watchdog timer, two data pointers, two 16-bit timer/counters, a five-vector two-level interrupt architecture, a full duplex serial port, on-chip oscillator, and clock circuitry. In addition, the AT89S51 is designed with static logic for operation down to zero frequency and supports two software selectable power saving modes. The Idle Mode stops the CPU while allowing the RAM, timer/counters, serial port, and interrupt system to continue functioning. The Power-down mode saves the RAM contents but freezes the oscillator, disabling all other chip functions until the next external interrupt or hardware reset.



**8-bit
Microcontroller
with 4K Bytes
In-System
Programmable
Flash**

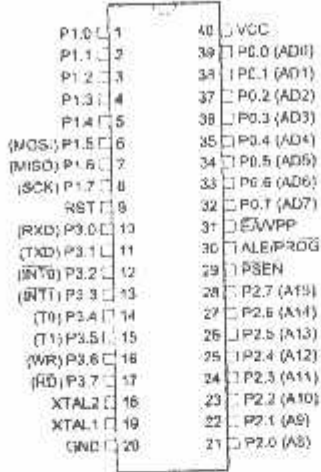
AT89S51

Rev. 2487A-10/01

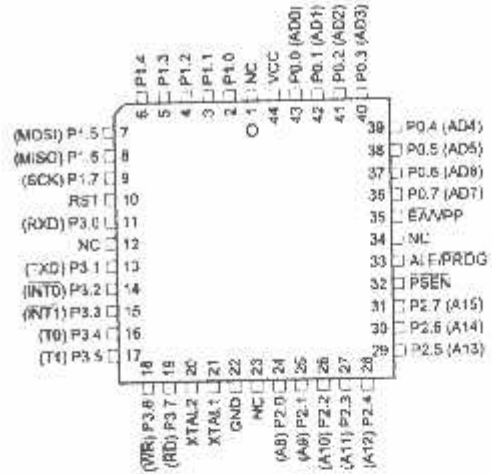


1 Configurations

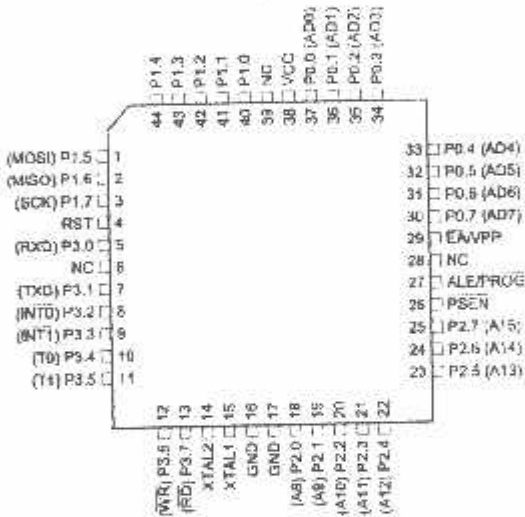
PDIP



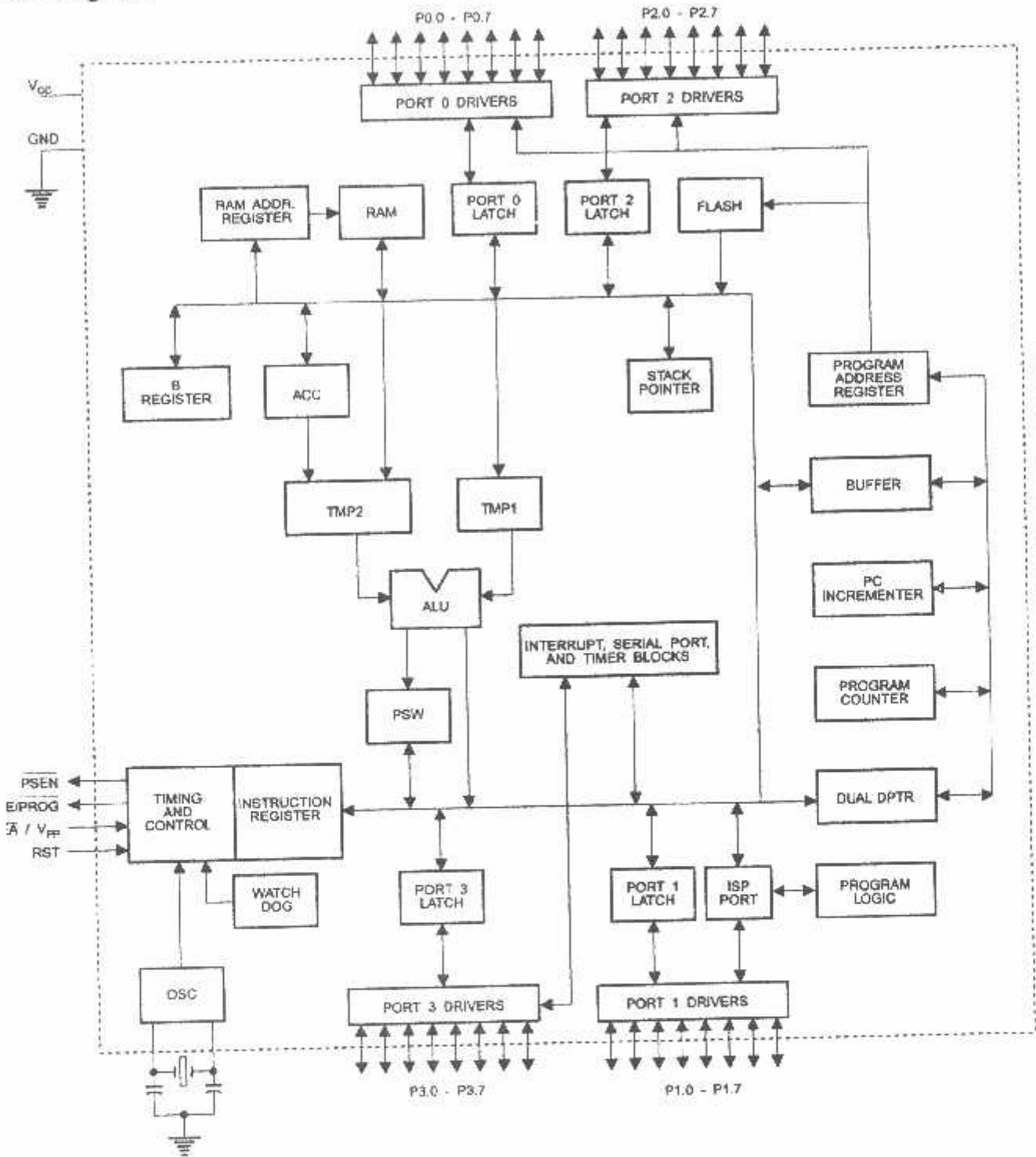
PLCC



TQFP



Block Diagram





Description

V Supply voltage.

D Ground.

t 0 Port 0 is an 8-bit open drain bidirectional I/O port. As an output port, each pin can sink eight TTL inputs. When 1s are written to port 0 pins, the pins can be used as high-impedance inputs.

Port 0 can also be configured to be the multiplexed low-order address/data bus during accesses to external program and data memory. In this mode, P0 has internal pull-ups.

Port 0 also receives the code bytes during Flash programming and outputs the code bytes during program verification. **External pull-ups are required during program verification.**

t 1 Port 1 is an 8-bit bidirectional I/O port with internal pull-ups. The Port 1 output buffers can sink/source four TTL inputs. When 1s are written to Port 1 pins, they are pulled high by the internal pull-ups and can be used as inputs. As inputs, Port 1 pins that are externally being pulled low will source current (I_{IL}) because of the internal pull-ups.

Port 1 also receives the low-order address bytes during Flash programming and verification.

| Port Pin | Alternate Functions |
|----------|---------------------------------------|
| P1.5 | MOSI (used for In-System Programming) |
| P1.6 | MISO (used for In-System Programming) |
| P1.7 | SCK (used for In-System Programming) |

t 2 Port 2 is an 8-bit bidirectional I/O port with internal pull-ups. The Port 2 output buffers can sink/source four TTL inputs. When 1s are written to Port 2 pins, they are pulled high by the internal pull-ups and can be used as inputs. As inputs, Port 2 pins that are externally being pulled low will source current (I_{IL}) because of the internal pull-ups.

Port 2 emits the high-order address byte during fetches from external program memory and during accesses to external data memory that use 16-bit addresses (MOVX @ DPTR). In this application, Port 2 uses strong internal pull-ups when emitting 1s. During accesses to external data memory that use 8-bit addresses (MOVX @ RI), Port 2 emits the contents of the P2 Special Function Register.

Port 2 also receives the high-order address bits and some control signals during Flash programming and verification.

rt 3 Port 3 is an 8-bit bidirectional I/O port with internal pull-ups. The Port 3 output buffers can sink/source four TTL inputs. When 1s are written to Port 3 pins, they are pulled high by the internal pull-ups and can be used as inputs. As inputs, Port 3 pins that are externally being pulled low will source current (I_{IL}) because of the pull-ups.

Port 3 receives some control signals for Flash programming and verification.

Port 3 also serves the functions of various special features of the AT89S51, as shown in the following table.

| Port Pin | Alternate Functions |
|----------|--|
| P3.0 | RXD (serial input port) |
| P3.1 | TXD (serial output port) |
| P3.2 | $\overline{\text{INT0}}$ (external interrupt 0) |
| P3.3 | $\overline{\text{INT1}}$ (external interrupt 1) |
| P3.4 | T0 (timer 0 external input) |
| P3.5 | T1 (timer 1 external input) |
| P3.6 | $\overline{\text{WR}}$ (external data memory write strobe) |
| P3.7 | $\overline{\text{RD}}$ (external data memory read strobe) |

T

Reset input. A high on this pin for two machine cycles while the oscillator is running resets the device. This pin drives High for 98 oscillator periods after the Watchdog times out. The DISRTO bit in SFR AUXR (address 8EH) can be used to disable this feature. In the default state of bit DISRTO, the RESET HIGH out feature is enabled.

 $\overline{\text{E/PROG}}$

Address Latch Enable (ALE) is an output pulse for latching the low byte of the address during accesses to external memory. This pin is also the program pulse input ($\overline{\text{PROG}}$) during Flash programming.

In normal operation, ALE is emitted at a constant rate of 1/6 the oscillator frequency and may be used for external timing or clocking purposes. Note, however, that one ALE pulse is skipped during each access to external data memory.

If desired, ALE operation can be disabled by setting bit 0 of SFR location 8EH. With the bit set, ALE is active only during a MOVX or MOVC instruction. Otherwise, the pin is weakly pulled high. Setting the ALE-disable bit has no effect if the microcontroller is in external execution mode.

 $\overline{\text{EN}}$

Program Store Enable ($\overline{\text{PSEN}}$) is the read strobe to external program memory.

When the AT89S51 is executing code from external program memory, $\overline{\text{PSEN}}$ is activated twice each machine cycle, except that two $\overline{\text{PSEN}}$ activations are skipped during each access to external data memory.

 $\overline{\text{VPP}}$

External Access Enable. $\overline{\text{EA}}$ must be strapped to GND in order to enable the device to fetch code from external program memory locations starting at 0000H up to FFFFH. Note, however, that if lock bit 1 is programmed, $\overline{\text{EA}}$ will be internally latched on reset.

$\overline{\text{EA}}$ should be strapped to V_{CC} for internal program executions.

This pin also receives the 12-volt programming enable voltage (V_{PP}) during Flash programming.

AL1

Input to the inverting oscillator amplifier and input to the internal clock operating circuit.

AL2

Output from the inverting oscillator amplifier



Special Function Registers

A map of the on-chip memory area called the Special Function Register (SFR) space is shown in Table 1.

Note that not all of the addresses are occupied, and unoccupied addresses may not be implemented on the chip. Read accesses to these addresses will in general return random data, and write accesses will have an indeterminate effect.

Table 1. AT89S51 SFR Map and Reset Values

| | | | | | | | | | |
|-----|------------------|-------------------|--------------------|------------------|------------------|------------------|------------------|--------------------|------|
| FBH | | | | | | | | | 0FFH |
| F0H | B 00000000 | | | | | | | | 0F7H |
| E8H | | | | | | | | | 0EFH |
| E0H | ACC 00000000 | | | | | | | | 0E7H |
| D8H | | | | | | | | | 0DFH |
| D0H | PSW 00000000 | | | | | | | | 0D7H |
| C8H | | | | | | | | | 0CFH |
| C0H | | | | | | | | | 0C7H |
| B8H | IP XX000000 | | | | | | | | 0BFH |
| B0H | P3 11111111 | | | | | | | | 0B7H |
| A8H | IE 0X000000 | | | | | | | | 0AFH |
| A0H | P2 11111111 | | AUXR1 XXXXXXXX0 | | | | | WDRST XXXXXXXXX | 0A7H |
| 98H | SCON 00000000 | SBUF XXXXXXXXX | | | | | | | 9FH |
| 90H | P1 11111111 | | | | | | | | 97H |
| 88H | TCON 00000000 | TMOD 00000000 | TL0 00000000 | TL1 00000000 | TH0 00000000 | TH1 00000000 | AUXR XXX00XX0 | | 8FH |
| 80H | P0 11111111 | SP 00000111 | DP0L 00000000 | DP0H 00000000 | DP1L 00000000 | DP1H 00000000 | | PCON 0XXX0000 | 87H |

User software should not write 1s to these unlisted locations, since they may be used in future products to invoke new features. In that case, the reset or inactive values of the new bits will always be 0.

Interrupt Registers: The individual interrupt enable bits are in the IE register. Two priorities can be set for each of the five interrupt sources in the IP register.

Table 2. AUXR: Auxiliary Register

| AUXR | | Address = 8EH | | | | | Reset Value = XXX00XX0B | |
|---------------------|---------------------------------|---|---|--------|--------|---|-------------------------|--------|
| Not Bit Addressable | | | | | | | | |
| Bit | 7 | 6 | 5 | WDIDLE | DISRTO | 2 | 1 | DISALE |
| | - | - | - | | | - | - | |
| - | Reserved for future expansion | | | | | | | |
| DISALE | Disable/Enable ALE | | | | | | | |
| | DISALE | | | | | | | |
| | Operating Mode | | | | | | | |
| | 0 | ALE is emitted at a constant rate of 1/6 the oscillator frequency | | | | | | |
| | 1 | ALE is active only during a MOVX or MOV C instruction | | | | | | |
| DISRTO | Disable/Enable Reset out | | | | | | | |
| | DISRTO | | | | | | | |
| | 0 | Reset pin is driven High after WDT times out | | | | | | |
| | 1 | Reset pin is input only | | | | | | |
| WDIDLE | Disable/Enable WDT in IDLE mode | | | | | | | |
| | WDIDLE | | | | | | | |
| | 0 | WDT continues to count in IDLE mode | | | | | | |
| | 1 | WDT halts counting in IDLE mode | | | | | | |

Dual Data Pointer Registers: To facilitate accessing both internal and external data memory, two banks of 16-bit Data Pointer Registers are provided: DP0 at SFR address locations 82H-83H and DP1 at 84H-85H. Bit DPS = 0 in SFR AUXR1 selects DP0 and DPS = 1 selects DP1. The user should always initialize the DPS bit to the appropriate value before accessing the respective Data Pointer Register.



Power Off Flag: The Power Off Flag (POF) is located at bit 4 (PCON.4) in the PCON SFR. POF is set to "1" during power up. It can be set and reset under software control and is not affected by reset.

Table 3. AUXR1: Auxiliary Register 1

| | | | | | | | | |
|-------------------------|-------------------------------|-----------------------------------|---|---|---|---|---|-----|
| AUXR1 | | | | | | | | |
| Address = A2H | | | | | | | | |
| Reset Value = XXXXXXX0B | | | | | | | | |
| Not Bit Addressable | | | | | | | | |
| Bit | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | - | - | - | - | - | - | - | DPS |
| - | Reserved for future expansion | | | | | | | |
| DPS | Data Pointer Register Select | | | | | | | |
| | DPS | | | | | | | |
| | 0 | Selects DPTR Registers DP0L, DP0H | | | | | | |
| | 1 | Selects DPTR Registers DP1L, DP1H | | | | | | |

Memory Organization

MCS-51 devices have a separate address space for Program and Data Memory. Up to 64K bytes each of external Program and Data Memory can be addressed.

Program Memory

If the \overline{EA} pin is connected to GND, all program fetches are directed to external memory.

On the AT89S51, if \overline{EA} is connected to V_{CC} , program fetches to addresses 0000H through FFFH are directed to internal memory and fetches to addresses 1000H through FFFFH are directed to external memory.

Data Memory

The AT89S51 implements 128 bytes of on-chip RAM. The 128 bytes are accessible via direct and indirect addressing modes. Stack operations are examples of indirect addressing, so the 128 bytes of data RAM are available as stack space.

Watchdog Timer (enabled with reset-out)

The WDT is intended as a recovery method in situations where the CPU may be subjected to software upsets. The WDT consists of a 14-bit counter and the Watchdog Timer Reset (WDTRST) SFR. The WDT is defaulted to disable from exiting reset. To enable the WDT, a user must write 01EH and 0E1H in sequence to the WDTRST register (SFR location 0A6H). When the WDT is enabled, it will increment every machine cycle while the oscillator is running. The WDT timeout period is dependent on the external clock frequency. There is no way to disable the WDT except through reset (either hardware reset or WDT overflow reset). When WDT overflows, it will drive an output RESET HIGH pulse at the RST pin.

Using the WDT

To enable the WDT, a user must write 01EH and 0E1H in sequence to the WDTRST register (SFR location 0A6H). When the WDT is enabled, the user needs to service it by writing 01EH and 0E1H to WDTRST to avoid a WDT overflow. The 14-bit counter overflows when it reaches 16383 (3FFFH), and this will reset the device. When the WDT is enabled, it will increment every machine cycle while the oscillator is running. This means the user must reset the WDT at least every 16383 machine cycles. To reset the WDT the user must write 01EH and 0E1H to WDTRST. WDTRST is a write-only register. The WDT counter cannot be read or written. When WDT overflows, it will generate an output RESET pulse at the RST pin. The RESET pulse duration is $98 \times TOSC$, where $TOSC = 1/FOSC$. To make the best use of the WDT, it

should be serviced in those sections of code that will periodically be executed within the time required to prevent a WDT reset.

WDT During Power-down and Idle

In Power-down mode the oscillator stops, which means the WDT also stops. While in Power-down mode, the user does not need to service the WDT. There are two methods of exiting Power-down mode: by a hardware reset or via a level-activated external interrupt, which is enabled prior to entering Power-down mode. When Power-down is exited with hardware reset, servicing the WDT should occur as it normally does whenever the AT89S51 is reset. Exiting Power-down with an interrupt is significantly different. The interrupt is held low long enough for the oscillator to stabilize. When the interrupt is brought high, the interrupt is serviced. To prevent the WDT from resetting the device while the interrupt pin is held low, the WDT is not started until the interrupt is pulled high. It is suggested that the WDT be reset during the interrupt service for the interrupt used to exit Power-down mode.

To ensure that the WDT does not overflow within a few states of exiting Power-down, it is best to reset the WDT just before entering Power-down mode.

Before going into the IDLE mode, the WDIDLE bit in SFR AUXR is used to determine whether the WDT continues to count if enabled. The WDT keeps counting during IDLE (WDIDLE bit = 0) as the default state. To prevent the WDT from resetting the AT89S51 while in IDLE mode, the user should always set up a timer that will periodically exit IDLE, service the WDT, and reenter IDLE mode.

With WDIDLE bit enabled, the WDT will stop to count in IDLE mode and resumes the count upon exit from IDLE.

UART

The UART in the AT89S51 operates the same way as the UART in the AT89C51. For further information on the UART operation, refer to the ATMEL Web site (<http://www.atmel.com>). From the home page, select 'Products', then '8051-Architecture Flash Microcontroller', then 'Product Overview'.

Timers 0 and 1

Timer 0 and Timer 1 in the AT89S51 operate the same way as Timer 0 and Timer 1 in the AT89C51. For further information on the timers' operation, refer to the ATMEL Web site (<http://www.atmel.com>). From the home page, select 'Products', then '8051-Architecture Flash Microcontroller', then 'Product Overview'.

Interrupts

The AT89S51 has a total of five interrupt vectors: two external interrupts ($\overline{INT0}$ and $\overline{INT1}$), two timer interrupts (Timers 0 and 1), and the serial port interrupt. These interrupts are all shown in Figure 1.

Each of these interrupt sources can be individually enabled or disabled by setting or clearing a bit in Special Function Register IE. IE also contains a global disable bit, EA, which disables all interrupts at once.

Note that Table 4 shows that bit position IE.6 is unimplemented. In the AT89S51, bit position IE.5 is also unimplemented. User software should not write 1s to these bit positions, since they may be used in future AT89 products.

The Timer 0 and Timer 1 flags, TF0 and TF1, are set at S5P2 of the cycle in which the timers overflow. The values are then polled by the circuitry in the next cycle.

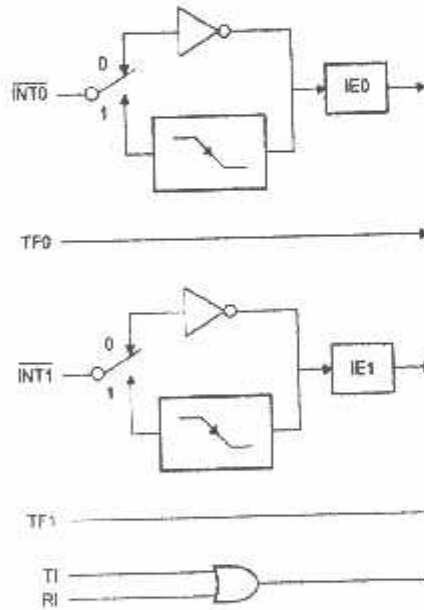
Table 4. Interrupt Enable (IE) Register

| (MSB) | | | (LSB) | | | | |
|--|---|---|-------|-----|-----|-----|-----|
| EA | - | - | ES | ET1 | EX1 | ET0 | EX0 |
| Enable Bit = 1 enables the interrupt. | | | | | | | |
| Enable Bit = 0 disables the interrupt. | | | | | | | |

| Symbol | Position | Function |
|--------|----------|---|
| EA | IE.7 | Disables all interrupts. If EA = 0, no interrupt is acknowledged. If EA = 1, each interrupt source is individually enabled or disabled by setting or clearing its enable bit. |
| - | IE.6 | Reserved |
| - | IE.5 | Reserved |
| ES | IE.4 | Serial Port Interrupt enable bit |
| ET1 | IE.3 | Timer 1 interrupt enable bit |
| EX1 | IE.2 | External interrupt 1 enable bit |
| ET0 | IE.1 | Timer 0 interrupt enable bit |
| EX0 | IE.0 | External interrupt 0 enable bit |

User software should never write 1s to reserved bits, because they may be used in future AT89 products.

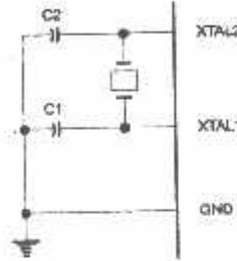
Figure 1. Interrupt Sources



Oscillator Characteristics

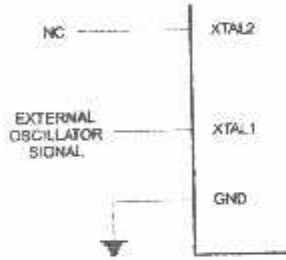
XTAL1 and XTAL2 are the input and output, respectively, of an inverting amplifier that can be configured for use as an on-chip oscillator, as shown in Figure 2. Either a quartz crystal or ceramic resonator may be used. To drive the device from an external clock source, XTAL2 should be left unconnected while XTAL1 is driven, as shown in Figure 3. There are no requirements on the duty cycle of the external clock signal, since the input to the internal clocking circuitry is through a divide-by-two flip-flop, but minimum and maximum voltage high and low time specifications must be observed.

Figure 2. Oscillator Connections



Note: C1, C2 = 30 pF ± 10 pF for Crystals = 40 pF ± 10 pF for Ceramic Resonators

Figure 3. External Clock Drive Configuration



Idle Mode

In idle mode, the CPU puts itself to sleep while all the on-chip peripherals remain active. The mode is invoked by software. The content of the on-chip RAM and all the special function registers remain unchanged during this mode. The idle mode can be terminated by any enabled interrupt or by a hardware reset.

Note that when idle mode is terminated by a hardware reset, the device normally resumes program execution from where it left off, up to two machine cycles before the internal reset algorithm takes control. On-chip hardware inhibits access to internal RAM in this event, but access to the port pins is not inhibited. To eliminate the possibility of an unexpected write to a port pin when idle mode is terminated by a reset, the instruction following the one that invokes idle mode should not write to a port pin or to external memory.

Power-down Mode

In the Power-down mode, the oscillator is stopped, and the instruction that invokes Power-down is the last instruction executed. The on-chip RAM and Special Function Registers retain their values until the Power-down mode is terminated. Exit from Power-down mode can be initiated either by a hardware reset or by activation of an enabled external interrupt into $\overline{INT0}$ or $\overline{INT1}$. Reset redefines the SFRs but does not change the on-chip RAM. The reset should not be activated before V_{CC} is restored to its normal operating level and must be held active long enough to allow the oscillator to restart and stabilize.

Table 5. Status of External Pins During Idle and Power-down Modes

| Mode | Program Memory | ALE | PSEN | PORT0 | PORT1 | PORT2 | PORT3 |
|------------|----------------|-----|------|-------|-------|---------|-------|
| Idle | Internal | 1 | 1 | Data | Data | Data | Data |
| Idle | External | 1 | 1 | Float | Data | Address | Data |
| Power-down | Internal | 0 | 0 | Data | Data | Data | Data |
| Power-down | External | 0 | 0 | Float | Data | Data | Data |

Program Memory Lock Modes

The AT89S51 has three lock bits that can be left unprogrammed (U) or can be programmed (P) to obtain the additional features listed in the following table.

Table 6. Lock Bit Protection Modes

| | Program Lock Bits | | | Protection Type |
|---|-------------------|-----|-----|---|
| | LB1 | LB2 | LB3 | |
| 1 | U | U | U | No program lock features |
| 2 | P | U | U | MOV _C instructions executed from external program memory are disabled from fetching code bytes from internal memory. EA is sampled and latched on reset, and further programming of the Flash memory is disabled |
| 3 | P | P | U | Same as mode 2, but verify is also disabled |
| 4 | P | P | P | Same as mode 3, but external execution is also disabled |

When lock bit 1 is programmed, the logic level at the EA pin is sampled and latched during reset. If the device is powered up without a reset, the latch initializes to a random value and holds that value until reset is activated. The latched value of EA must agree with the current logic level at that pin in order for the device to function properly.

Programming Flash – Parallel Mode

The AT89S51 is shipped with the on-chip Flash memory array ready to be programmed. The programming interface needs a high-voltage (12-volt) program enable signal and is compatible with conventional third-party Flash or EPROM programmers.

The AT89S51 code memory array is programmed byte-by-byte.

Programming Algorithm: Before programming the AT89S51, the address, data, and control signals should be set up according to the Flash programming mode table and Figures 13 and 14. To program the AT89S51, take the following steps:

1. Input the desired memory location on the address lines.
2. Input the appropriate data byte on the data lines.
3. Activate the correct combination of control signals.
4. Raise EA/V_{PP} to 12V.
5. Pulse ALE/PROG once to program a byte in the Flash array or the lock bits. The byte-write cycle is self-timed and typically takes no more than 50 μs. Repeat steps 1 through 5, changing the address and data for the entire array or until the end of the object file is reached.

Data Polling: The AT89S51 features Data Polling to indicate the end of a byte write cycle. During a write cycle, an attempted read of the last byte written will result in the complement of the written data on P0.7. Once the write cycle has been completed, true data is valid on all outputs, and the next cycle may begin. Data Polling may begin any time after a write cycle has been initiated.

Ready/Busy: The progress of byte programming can also be monitored by the RDY/BSY output signal. P3.0 is pulled low after ALE goes high during programming to indicate BUSY. P3.0 is pulled high again when programming is done to indicate READY.

Program Verify: If lock bits LB1 and LB2 have not been programmed, the programmed code data can be read back via the address and data lines for verification. The status of the individual lock bits can be verified directly by reading them back.

Reading the Signature Bytes: The signature bytes are read by the same procedure as a normal verification of locations 000H, 100H, and 200H, except that P3.6 and P3.7 must be pulled to a logic low. The values returned are as follows.

(000H) = 1EH indicates manufactured by Atmel
 (100H) = 51H indicates 89S51
 (200H) = 06H

Chip Erase: In the parallel programming mode, a chip erase operation is initiated by using the proper combination of control signals and by pulsing ALE/PROG low for a duration of 200 ns - 500 ns.

In the serial programming mode, a chip erase operation is initiated by issuing the Chip Erase instruction. In this mode, chip erase is self-timed and takes about 500 ms.

During chip erase, a serial read from any address location will return 00H at the data output.

Programming Flash – Serial Mode

The Code memory array can be programmed using the serial ISP interface while RST is pulled to V_{CC} . The serial interface consists of pins SCK, MOSI (input) and MISO (output). After RST is set high, the Programming Enable instruction needs to be executed first before other operations can be executed. Before a reprogramming sequence can occur, a Chip Erase operation is required.

The Chip Erase operation turns the content of every memory location in the Code array into FFH.

Either an external system clock can be supplied at pin XTAL1 or a crystal needs to be connected across pins XTAL1 and XTAL2. The maximum serial clock (SCK) frequency should be less than 1/16 of the crystal frequency. With a 33 MHz oscillator clock, the maximum SCK frequency is 2 MHz.

Serial Programming Algorithm

To program and verify the AT89S51 in the serial programming mode, the following sequence is recommended:

1. Power-up sequence:
 Apply power between VCC and GND pins.
 Set RST pin to "H".
 If a crystal is not connected across pins XTAL1 and XTAL2, apply a 3 MHz to 33 MHz clock to XTAL1 pin and wait for at least 10 milliseconds.
2. Enable serial programming by sending the Programming Enable serial instruction to pin MOSI/P1.5. The frequency of the shift clock supplied at pin SCK/P1.7 needs to be less than the CPU clock at XTAL1 divided by 16.
3. The Code array is programmed one byte at a time in either the Byte or Page mode. The write cycle is self-timed and typically takes less than 0.5 ms at 5V.
4. Any memory location can be verified by using the Read instruction that returns the content at the selected address at serial output MISO/P1.6.
5. At the end of a programming session, RST can be set low to commence normal device operation.





Power-off sequence (if needed):

Set XTAL1 to "L" (if a crystal is not used).

Set RST to "L".

Turn V_{CC} power off.

Data Polling: The Data Polling feature is also available in the serial mode. In this mode, during a write cycle an attempted read of the last byte written will result in the complement of the MSB of the serial output byte on MISO.

The Instruction Set for Serial Programming follows a 4-byte protocol and is shown in Table 8 on page 18.

Serial Programming Instruction Set

Serial Programming Interface – Parallel Mode

Every code byte in the Flash array can be programmed by using the appropriate combination of control signals. The write operation cycle is self-timed and once initiated, will automatically time itself to completion.

All major programming vendors offer worldwide support for the Atmel microcontroller series. Please contact your local programming vendor for the appropriate software revision.

Table 7. Flash Programming Modes

| Mode | V_{CC} | RST | \overline{PSEN} | ALE/ PROG | \overline{EA}/V_{PP} | P2.6 | P2.7 | P3.3 | P3.6 | P3.7 | P0.7-0 Data | Address | |
|-------------------------|----------|-----|-------------------|--------------|------------------------|------|------|------|------|------|------------------------|---------|--------|
| | | | | | | | | | | | | P2.3-0 | P1.7-0 |
| Write Code Data | 5V | H | L | | 12V | L | H | H | H | H | D_{IN} | A11-8 | A7-0 |
| Erase Code Data | 5V | H | L | H | H | L | L | L | H | H | O_{OUT} | A11-8 | A7-0 |
| Write Lock Bit 1 | 5V | H | L | | 12V | H | H | H | H | H | X | X | X |
| Write Lock Bit 2 | 5V | H | L | | 12V | H | H | H | L | L | X | X | X |
| Write Lock Bit 3 | 5V | H | L | | 12V | H | L | H | H | L | X | X | X |
| Write Lock Bits 1, 2, 3 | 5V | H | L | H | H | H | H | L | H | L | P0.2, P0.3, P0.4 | X | X |
| Chip Erase | 5V | H | L | | 12V | H | L | H | L | L | X | X | X |
| Read Atmel ID | 5V | H | L | H | H | L | L | L | L | L | 1EH | 0000 | 00H |
| Read Device ID | 5V | H | L | H | H | L | L | L | L | L | 51H | 0001 | 30H |
| Read Device ID | 5V | H | L | H | H | L | L | L | L | L | 06H | 0010 | 00H |

- Notes:
1. Each \overline{PROG} pulse is 200 ns - 500 ns for Chip Erase
 2. Each \overline{PROG} pulse is 200 ns - 500 ns for Write Code Data.
 3. Each \overline{PROG} pulse is 200 ns - 500 ns for Write Lock Bits.
 4. RDY/\overline{BSY} signal is output on P3.0 during programming.
 5. X = don't care.

Figure 4. Programming the Flash Memory (Parallel Mode)

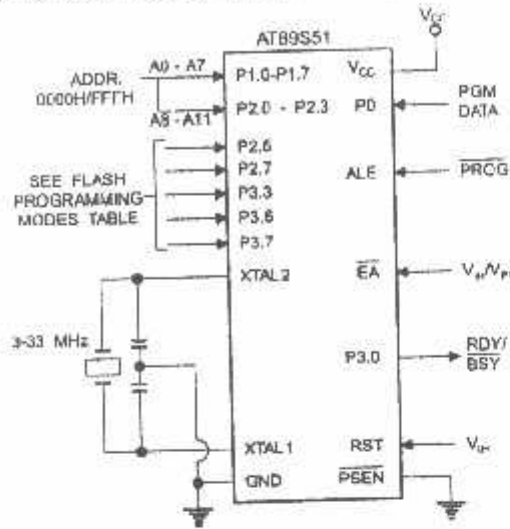
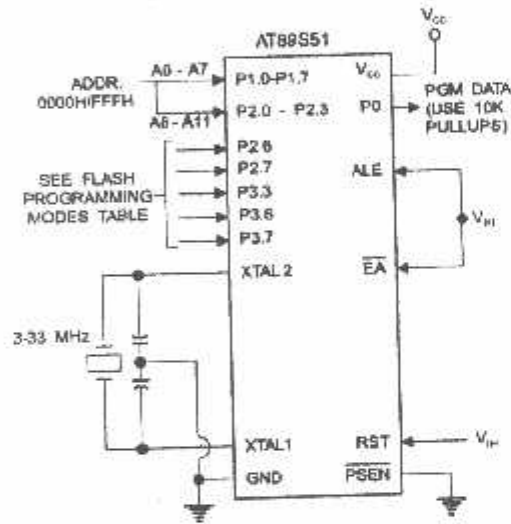


Figure 5. Verifying the Flash Memory (Parallel Mode)



Flash Programming and Verification Characteristics (Parallel Mode)

-20°C to 30°C, $V_{CC} = 4.5$ to 5.5V

| Symbol | Parameter | Min | Max | Units |
|------------|---|--------------|--------------|---------|
| V_{PP} | Programming Supply Voltage | 11.5 | 12.5 | V |
| I_{PP} | Programming Supply Current | | 10 | mA |
| I_{CC} | V_{CC} Supply Current | | 30 | mA |
| f_{CLCL} | Oscillator Frequency | 3 | 33 | MHz |
| t_{ASL} | Address Setup to \overline{PROG} Low | $48t_{CLCL}$ | | |
| t_{AHX} | Address Hold After \overline{PROG} | $48t_{CLCL}$ | | |
| t_{DSL} | Data Setup to \overline{PROG} Low | $48t_{CLCL}$ | | |
| t_{DHX} | Data Hold After \overline{PROG} | $48t_{CLCL}$ | | |
| t_{SH} | P2.7 (ENABLE) High to V_{PP} | 10 | | μ s |
| t_{VPSL} | V_{PP} Setup to \overline{PROG} Low | 10 | | μ s |
| t_{VPH} | V_{PP} Hold After \overline{PROG} | 10 | | μ s |
| t_{PW} | \overline{PROG} Width | 0.2 | 1 | μ s |
| t_{AVD} | Address to Data Valid | | $48t_{CLCL}$ | |
| t_{AVV} | ENABLE Low to Data Valid | | $48t_{CLCL}$ | |
| t_{DF} | Data Float After ENABLE | 0 | $48t_{CLCL}$ | |
| t_{PHL} | \overline{PROG} High to \overline{BUSY} Low | | 1.0 | μ s |
| t_{WC} | Byte Write Cycle Time | | 50 | μ s |

Figure 6. Flash Programming and Verification Waveforms - Parallel Mode

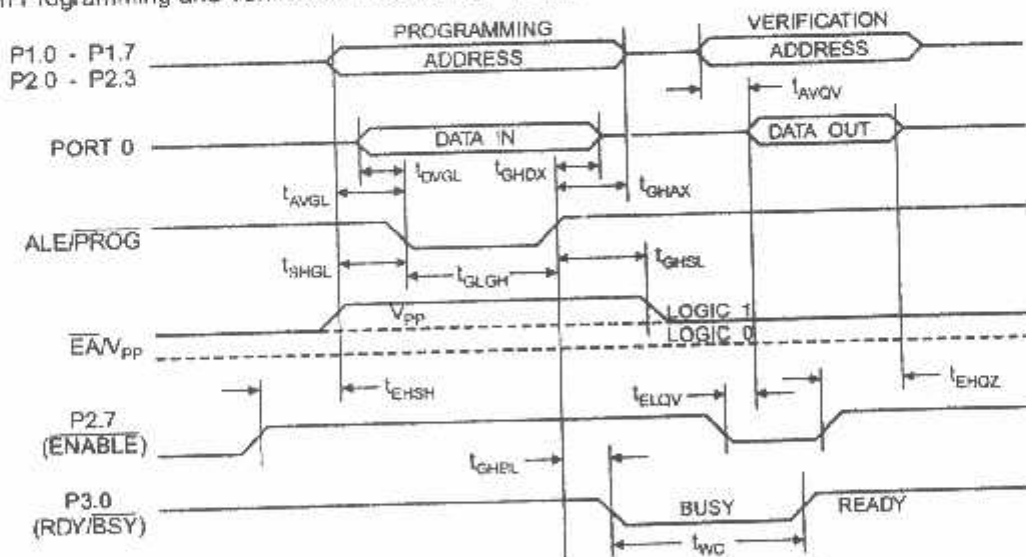
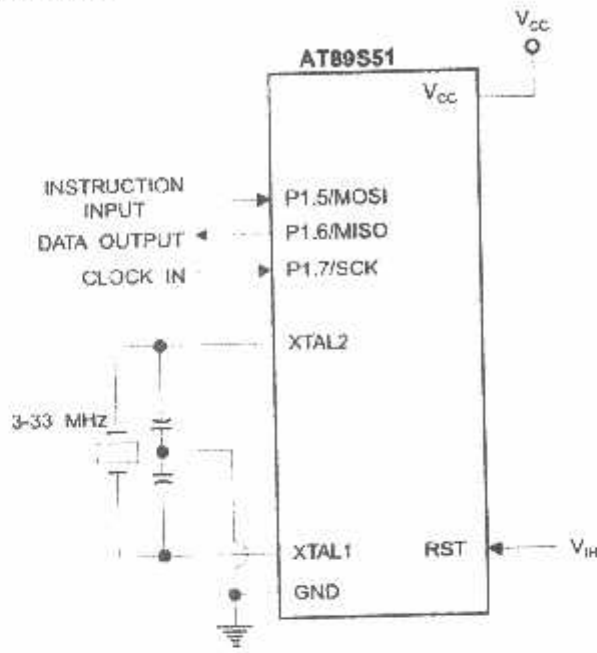


Figure 7. Flash Memory Serial Downloading



Flash Programming and Verification Waveforms – Serial Mode

Figure 8. Serial Programming Waveforms

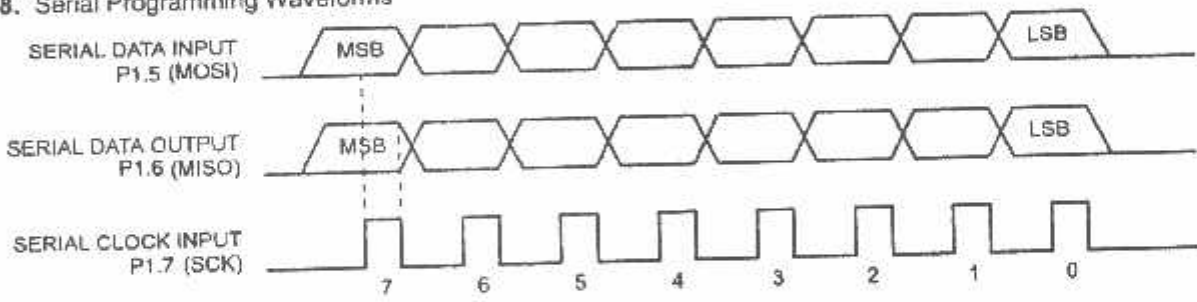




Table 8. Serial Programming Instruction Set

| Instruction | Instruction Format | | | | Operation |
|-------------------------------------|--------------------|--------------------------------|-------------------------|------------------------------------|---|
| | Byte 1 | Byte 2 | Byte 3 | Byte 4 | |
| Programming Enable | 1010 1100 | 0101 0011 | xxxx xxxx | xxxx xxxx 0110 1001 (Output) | Enable Serial Programming while RST is high |
| Chip Erase | 1010 1100 | 100x xxxx | xxxx xxxx | xxxx xxxx | Chip Erase Flash memory array |
| Read Program Memory (Byte Mode) | 0010 0000 | xxxx A11 A10 A9 A8 | A7 A6 A5 A4 A3 A2 A1 A0 | D7 D6 D5 D4 D3 D2 D1 D0 | Read data from Program memory in the byte mode |
| Write Program Memory (Byte Mode) | 0100 0000 | xxxx A11 A10 A9 A8 | A7 A6 A5 A4 A3 A2 A1 A0 | D7 D6 D5 D4 D3 D2 D1 D0 | Write data to Program memory in the byte mode |
| Write Lock Bits ⁽²⁾ | 1010 1100 | 1110 00 B1 B2 | xxxx xxxx | xxxx xxxx | Writes Lock bits. See Note (2). |
| Read Lock Bits | 0010 0100 | xxxx xxxx | xxxx xxxx | xx LB3 LB2 LB1 LB0 xx | Read back current status of the lock bits (a programmed lock bit reads back as a '1') |
| Read Signature Bytes ⁽¹⁾ | 0010 1000 | xxx A5 A4 A3 A2 A1 | A0 xxx xxxx | Signature Byte | Read Signature Byte |
| Read Program Memory (Page Mode) | 0011 0000 | xxxx A11 A10 A9 A8 | Byte 0 | Byte 1... Byte 255 | Read data from Program memory in the Page Mode (256 bytes) |
| Write Program Memory (Page Mode) | 0101 0000 | xxxx A11 A10 A9 A8 | Byte 0 | Byte 1... Byte 255 | Write data to Program memory in the Page Mode (256 bytes) |

Notes: 1. The signature bytes are not readable in Lock Bit Modes 3 and 4.

- 2. B1 = 0, B2 = 0 → Mode 1, no lock protection
- B1 = 0, B2 = 1 → Mode 2, lock bit 1 activated
- B1 = 1, B2 = 0 → Mode 3, lock bit 2 activated
- B1 = 1, B2 = 1 → Mode 4, lock bit 3 activated

Each of the lock bits needs to be activated sequentially before Mode 4 can be executed.

After Reset signal is high, SCK should be low for at least 64 system clocks before it goes high to clock in the enable data bytes. No pulsing of Reset signal is necessary. SCK should be no faster than 1/16 of the system clock at XTAL1.

For Page Read/Write, the data always starts from byte 0 to 255. After the command byte and upper address byte are latched, each byte thereafter is treated as data until all 256 bytes are shifted in/out. Then the next instruction will be ready to be decoded.

Serial Programming Characteristics

Figure 9. Serial Programming Timing

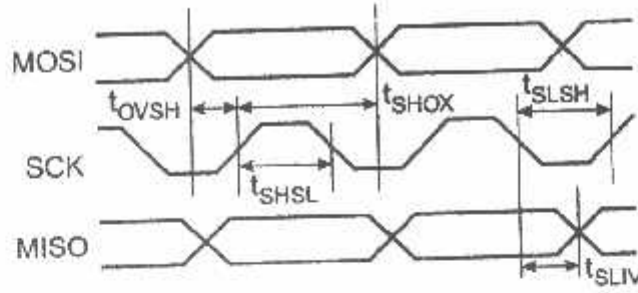


Table 9. Serial Programming Characteristics, $T_A = -40^\circ\text{C}$ to 85°C , $V_{CC} = 4.0 - 5.5\text{V}$ (Unless Otherwise Noted)

| Symbol | Parameter | Min | Typ | Max | Units |
|--------------|-----------------------------------|--------------|-----|---------------------|---------------|
| $1/t_{CLCL}$ | Oscillator Frequency | 0 | | 33 | MHz |
| t_{CLCL} | Oscillator Period | 30 | | | ns |
| t_{SHSL} | SCK Pulse Width High | $8 t_{CLCL}$ | | | ns |
| t_{SLSH} | SCK Pulse Width Low | $8 t_{CLCL}$ | | | ns |
| t_{OVSH} | MOSI Setup to SCK High | t_{CLCL} | | | ns |
| t_{SHOX} | MOSI Hold after SCK High | $2 t_{CLCL}$ | | | ns |
| t_{SLIV} | SCK Low to MISO Valid | 10 | 16 | 32 | ns |
| t_{ERASE} | Chip Erase Instruction Cycle Time | | | 500 | ms |
| t_{SWC} | Serial Byte Write Cycle Time | | | $64 t_{CLCL} + 400$ | μs |



Absolute Maximum Ratings*

| | |
|---|-----------------|
| Operating Temperature | -55°C to +125°C |
| Storage Temperature | -65°C to +150°C |
| Voltage on Any Pin with Respect to Ground | -1.0V to +7.0V |
| Maximum Operating Voltage | 6.6V |
| IO Output Current | 15.0 mA |

*NOTICE:

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Characteristics

Values shown in this table are valid for $T_A = -40^\circ\text{C}$ to 85°C and $V_{CC} = 4.0\text{V}$ to 5.5V , unless otherwise noted.

| Symbol | Parameter | Condition | Min | Max | Units |
|--------|--|---|--------------------|--------------------|---------------|
| | Input Low Voltage | (Except $\bar{E}A$) | -0.5 | $0.2 V_{CC} - 0.1$ | V |
| | Input Low Voltage ($\bar{E}A$) | | -0.5 | $0.2 V_{CC} - 0.3$ | V |
| | Input High Voltage | (Except XTAL1, RST) | $0.2 V_{CC} + 0.9$ | $V_{CC} + 0.5$ | V |
| | Input High Voltage | (XTAL1, RST) | $0.7 V_{CC}$ | $V_{CC} + 0.5$ | V |
| | Output Low Voltage ⁽¹⁾ (Ports 1,2,3) | $I_{OL} = 1.6 \text{ mA}$ | | 0.45 | V |
| | Output Low Voltage ⁽¹⁾ (Port 0, ALE, $\bar{P}SEN$) | $I_{OL} = 3.2 \text{ mA}$ | | 0.45 | V |
| | Output High Voltage (Ports 1,2,3, ALE, $\bar{P}SEN$) | $I_{OH} = -80 \mu\text{A}$, $V_{CC} = 5\text{V} \pm 10\%$ | 2.4 | | V |
| | | $I_{OH} = -25 \mu\text{A}$ | $0.75 V_{CC}$ | | V |
| | | $I_{OH} = -10 \mu\text{A}$ | $0.9 V_{CC}$ | | V |
| | Output High Voltage (Port 0 in External Bus Mode) | $I_{OH} = -800 \mu\text{A}$, $V_{CC} = 5\text{V} \pm 10\%$ | 2.4 | | V |
| | | $I_{OH} = -300 \mu\text{A}$ | $0.75 V_{CC}$ | | V |
| | | $I_{OH} = -80 \mu\text{A}$ | $0.9 V_{CC}$ | | V |
| | Logical 0 Input Current (Ports 1,2,3) | $V_{IN} = 0.45\text{V}$ | | -50 | μA |
| | Logical 1 to 0 Transition Current (Ports 1,2,3) | $V_{IN} = 2\text{V}$, $V_{CC} = 5\text{V} \pm 10\%$ | | -650 | μA |
| | Input Leakage Current (Port 0, $\bar{E}A$) | $0.45 < V_{IN} < V_{CC}$ | | ± 10 | μA |
| RST | Reset Pulldown Resistor | | 50 | 300 | K Ω |
| | Pin Capacitance | Test Freq. = 1 MHz, $T_A = 25^\circ\text{C}$ | | 10 | pF |
| | Power Supply Current | Active Mode, 12 MHz | | 25 | mA |
| | | Idle Mode, 12 MHz | | 6.5 | mA |
| | Power-down Mode ⁽²⁾ | $V_{CC} = 5.5\text{V}$ | | 50 | μA |

Notes: 1. Under steady state (non-transient) conditions, I_{OL} must be externally limited as follows:

- Maximum I_{OL} per port pin: 10 mA
- Maximum I_{OL} per 8-bit port:
 - Port 0: 26 mA
 - Ports 1, 2, 3: 15 mA
- Maximum total I_{OL} for all output pins: 71 mA
- If I_{OL} exceeds the test condition, V_{OL} may exceed the related specification. Pins are not guaranteed to sink current greater than the listed test conditions.

2. Minimum V_{CC} for Power-down is 2V.

Characteristics

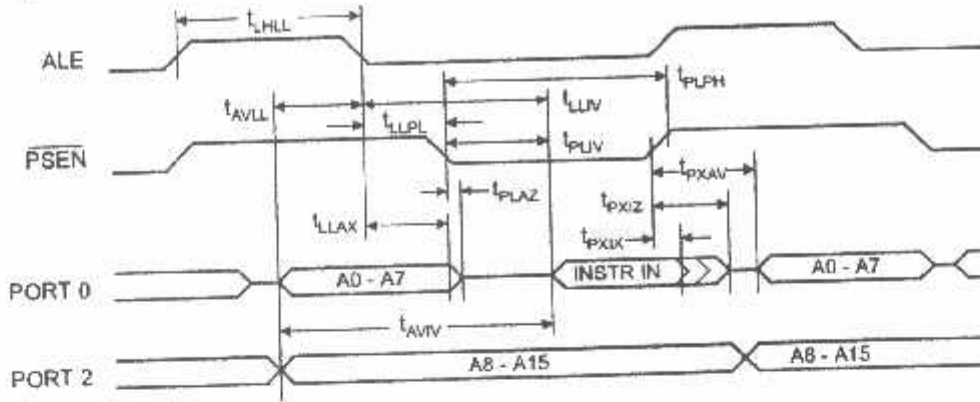
Under operating conditions, load capacitance for Port 0, ALE/PROG, and PSEN = 100 pF; load capacitance for all other ports = 80 pF.

Internal Program and Data Memory Characteristics

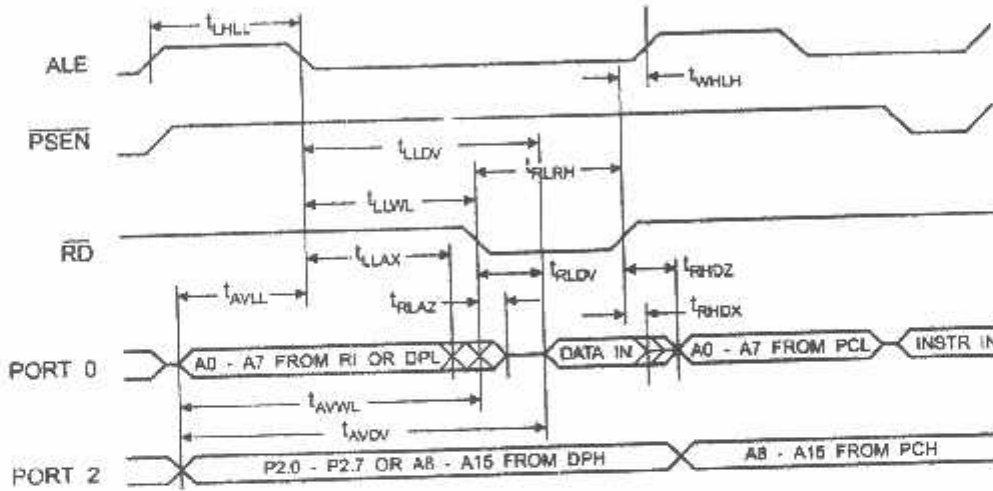
| Symbol | Parameter | 12 MHz Oscillator | | Variable Oscillator | | Units |
|------------|------------------------------------|-------------------|-----|---------------------|-----------------|-------|
| | | Min | Max | Min | Max | |
| | Oscillator Frequency | | | 0 | 33 | MHz |
| t_{CLCL} | ALE Pulse Width | 127 | | $2t_{CLCL}-40$ | | ns |
| t_{LL} | Address Valid to ALE Low | 43 | | $t_{CLCL}-25$ | | ns |
| t_{AX} | Address Hold After ALE Low | 48 | | $t_{CLCL}-25$ | | ns |
| t_{IV} | ALE Low to Valid Instruction In | | 233 | | $4t_{CLCL}-65$ | ns |
| t_{PL} | ALE Low to PSEN Low | 43 | | $t_{CLCL}-25$ | | ns |
| t_{PH} | PSEN Pulse Width | 205 | | $3t_{CLCL}-45$ | | ns |
| t_{IV} | PSEN Low to Valid Instruction In | | 145 | | $3t_{CLCL}-60$ | ns |
| t_{IX} | Input Instruction Hold After PSEN | 0 | | 0 | | ns |
| t_{IZ} | Input Instruction Float After PSEN | | 59 | | $t_{CLCL}-25$ | ns |
| t_{AV} | PSEN to Address Valid | 75 | | $t_{CLCL}-8$ | | ns |
| t_{IV} | Address to Valid Instruction In | | 312 | | $5t_{CLCL}-80$ | ns |
| t_{AZ} | PSEN Low to Address Float | | 10 | | 10 | ns |
| t_{RH} | RD Pulse Width | 400 | | $6t_{CLCL}-100$ | | ns |
| t_{WH} | WR Pulse Width | 400 | | $6t_{CLCL}-100$ | | ns |
| t_{DV} | RD Low to Valid Data In | | 252 | | $5t_{CLCL}-90$ | ns |
| t_{DX} | Data Hold After RD | 0 | | 0 | | ns |
| t_{DZ} | Data Float After RD | | 97 | | $2t_{CLCL}-28$ | ns |
| t_{DV} | ALE Low to Valid Data In | | 517 | | $8t_{CLCL}-150$ | ns |
| t_{DV} | Address to Valid Data In | | 585 | | $9t_{CLCL}-165$ | ns |
| t_{WL} | ALE Low to RD or WR Low | 200 | 300 | $3t_{CLCL}-50$ | $3t_{CLCL}+50$ | ns |
| t_{WL} | Address to RD or WR Low | 203 | | $4t_{CLCL}-75$ | | ns |
| t_{VWX} | Data Valid to WR Transition | 23 | | $t_{CLCL}-30$ | | ns |
| t_{VWH} | Data Valid to WR High | 433 | | $7t_{CLCL}-130$ | | ns |
| t_{HQX} | Data Hold After WR | 33 | | $t_{CLCL}-25$ | | ns |
| t_{AZ} | RD Low to Address Float | | 0 | | 0 | ns |
| t_{HLH} | RD or WR High to ALE High | 43 | 123 | $t_{CLCL}-25$ | $t_{CLCL}+25$ | ns |



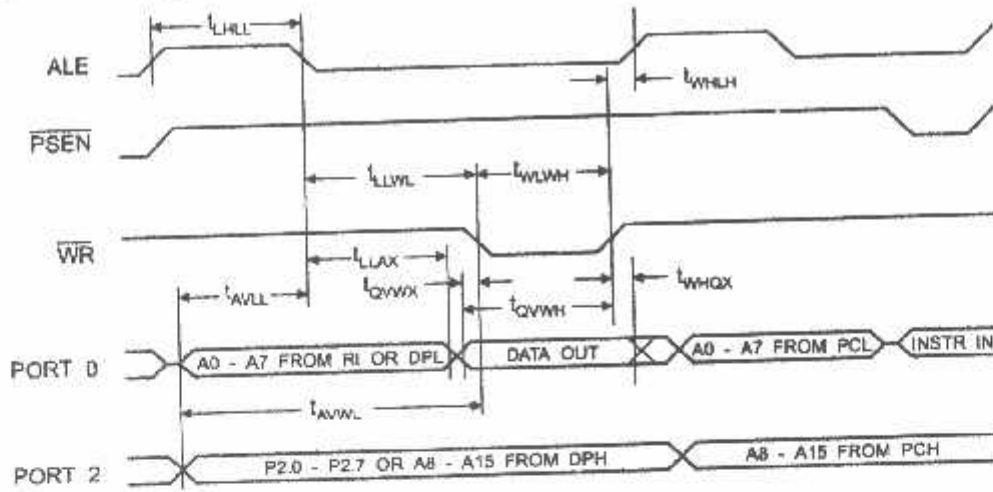
Internal Program Memory Read Cycle



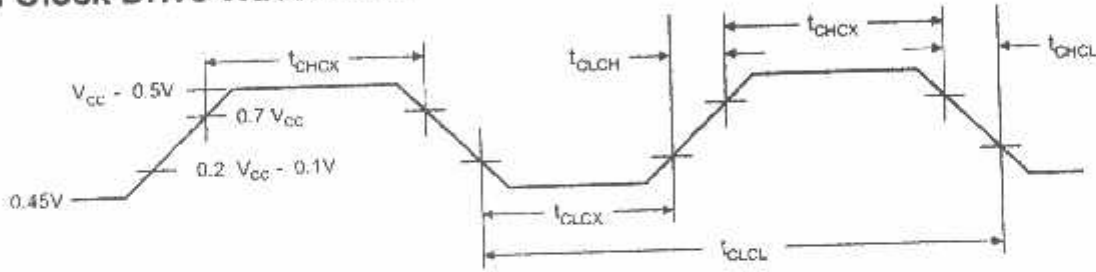
Internal Data Memory Read Cycle



Internal Data Memory Write Cycle



Internal Clock Drive Waveforms



Internal Clock Drive

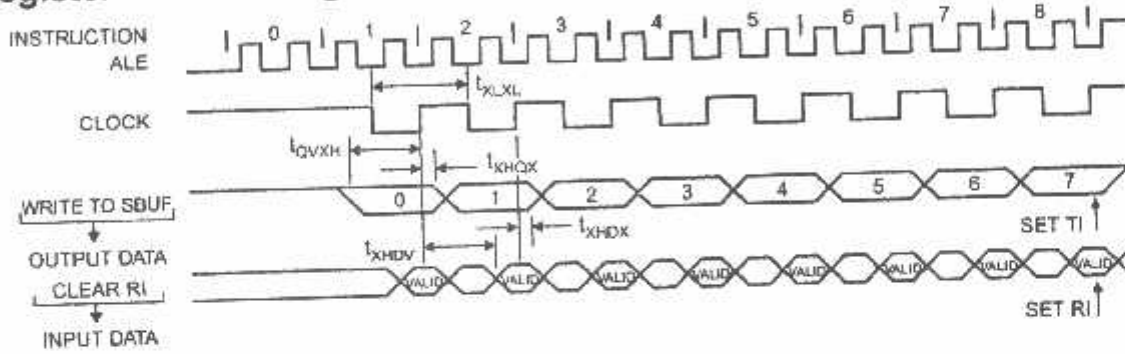
| Symbol | Parameter | Min | Max | Units |
|--------|----------------------|-----|-----|-------|
| CLCL | Oscillator Frequency | 0 | 33 | MHz |
| CL | Clock Period | 30 | | ns |
| tCHX | High Time | 12 | | ns |
| tCLX | Low Time | 12 | | ns |
| tCH | Rise Time | | 5 | ns |
| tCL | Fall Time | | 5 | ns |

Serial Port Timing: Shift Register Mode Test Conditions

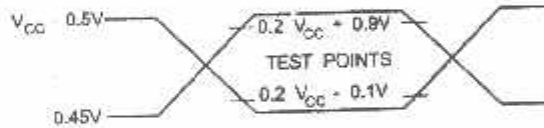
values in this table are valid for $V_{CC} = 4.0V$ to $5.5V$ and Load Capacitance = 80 pF .

| Symbol | Parameter | 12 MHz Osc | | Variable Oscillator | | Units |
|-----------|--|------------|-----|---------------------|------------------|---------|
| | | Min | Max | Min | Max | |
| t_{CLK} | Serial Port Clock Cycle Time | 1.0 | | $12t_{CLCL}$ | | μs |
| t_{SD} | Output Data Setup to Clock Rising Edge | 700 | | $10t_{CLCL}-133$ | | ns |
| t_{SH} | Output Data Hold After Clock Rising Edge | 50 | | $2t_{CLCL}-80$ | | ns |
| t_{IH} | Input Data Hold After Clock Rising Edge | 0 | | 0 | | ns |
| t_{IV} | Clock Rising Edge to Input Data Valid | | 700 | | $10t_{CLCL}-133$ | ns |

Shift Register Mode Timing Waveforms



Testing Input/Output Waveforms⁽¹⁾



1. AC Inputs during testing are driven at $V_{CC} - 0.5V$ for a logic 1 and $0.45V$ for a logic 0. Timing measurements are made at V_{IH} min. for a logic 1 and V_{IL} max. for a logic 0.

Output Waveforms⁽¹⁾



1. For timing purposes, a port pin is no longer floating when a 100 mV change from load voltage occurs. A port pin begins to float when a 100 mV change from the loaded V_{OH}/V_{OL} level occurs.

Ordering Information

| Speed (MHz) | Power Supply | Ordering Code | Package | Operation Range |
|--------------|--------------|---------------|---------|-------------------------------|
| 24 | 4.0V to 5.5V | AT89S51-24AC | 44A | Commercial (0°C to 70°C) |
| | | AT89S51-24JC | 44J | |
| | | AT89S51-24PC | 40P6 | |
| | 4.0V to 5.5V | AT89S51-24AI | 44A | Industrial (-40°C to 85°C) |
| | | AT89S51-24JI | 44J | |
| | | AT89S51-24PI | 40P6 | |
| 4.0V to 5.5V | 4.0V to 5.5V | AT89S51-24AC | 44A | Commercial (0°C to 70°C) |
| | | AT89S51-24JC | 44J | |
| | | AT89S51-24PC | 40P6 | |

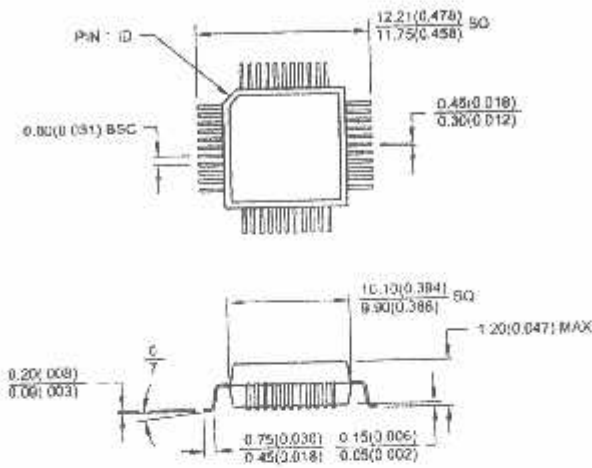
 = Preliminary Availability

| Package Type | |
|--------------|--|
| IA | 44-lead, Thin Plastic Gull Wing Quad Flatpack (TQFP) |
| IJ | 44-lead, Plastic J-leaded Chip Carrier (PLCC) |
| JP6 | 40-pin, 0.600" Wide, Plastic Dual In-line Package (PDIP) |



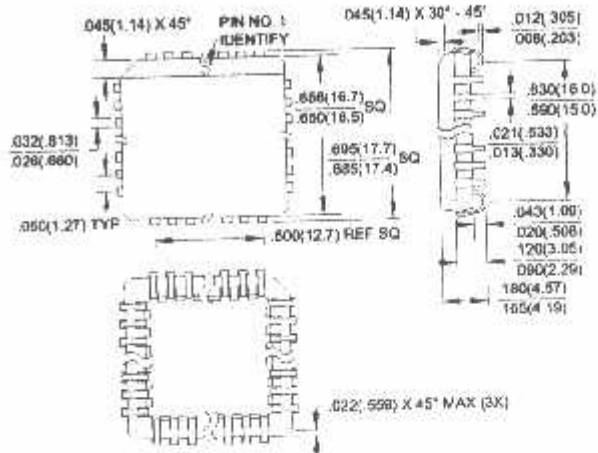
Packaging Information

44A, 44-lead, Thin (1.0 mm) Plastic Gull Wing Quad Flat Package (TQFP)
 Dimensions in Millimeters and (Inches)*

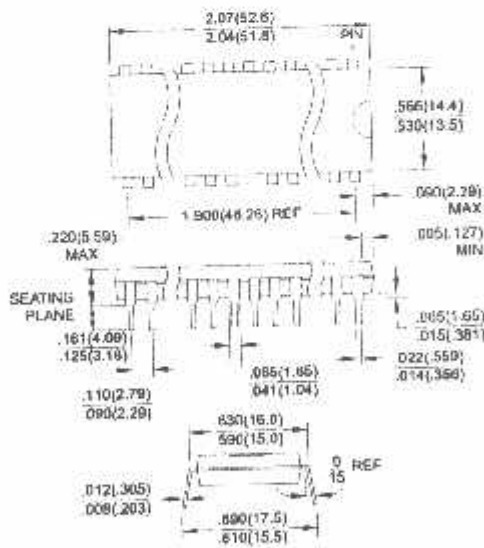


*Controlling dimension: millimeters

44J, 44-lead, Plastic J-leaded Chip Carrier (PLCC)
 Dimensions in Inches and (Millimeters)



40P6, 40-pin, 0.600" Wide, Plastic Dual In-line Package (PDIP)
 Dimensions in Inches and (Millimeters)
 JEDEC STANDARD MS-011 AC





Atmel Headquarters

Corporate Headquarters
1325 Orchard Parkway
San Jose, CA 95131
TEL (408) 441-0311
FAX (408) 487-2600

Europe
Atmel Sarl
Route des Arsenaux 41
Case Postale 80
CH-1705 Fribourg
Switzerland
TEL (41) 26-426-5555
FAX (41) 26-426-5500

Asia
Atmel Asia, Ltd.
Room 1219
Chinachem Golden Plaza
17 Mody Road Tsimshatsui
East Kowloon
Hong Kong
TEL (852) 2721-9778
FAX (852) 2722-1389

Japan
Atmel Japan K.K.
3F, Tonetsu Shinkawa Bldg.
1-24-8 Shinkawa
Chuo-ku, Tokyo 104-0033
Japan
TEL (81) 3-3523-3551
FAX (81) 3-3523-7581

Atmel Product Operations

Atmel Colorado Springs
1150 E. Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906
TEL (719) 576-3300
FAX (719) 540-1759

Atmel Grenoble
Avenue de Rochepleine
BP 123
38521 Saint-Egrève Cedex, France
TEL (33) 4-7658-3000
FAX (33) 4-7658-3480

Atmel Heilbronn
Theresienstrasse 2
POB 3535
D-74025 Heilbronn, Germany
TEL (49) 71 31 67 25 94
FAX (49) 71 31 67 24 23

Atmel Nantes
La Chantrerie
BP 70602
44306 Nantes Cedex 3, France
TEL (33) 0 2 40 18 18 18
FAX (33) 0 2 40 18 19 60

Atmel Rousset
Zone Industrielle
13106 Rousset Cedex, France
TEL (33) 4-4253-6000
FAX (33) 4-4253-6001

Atmel Smart Card ICs
Scottish Enterprise Technology Park
East Kilbride, Scotland G75 0QR
TEL (44) 1355-357-000
FAX (44) 1355-242-743

e-mail
literature@atmel.com

Web Site
<http://www.atmel.com>

Atmel Corporation 2001.

Atmel Corporation makes no warranty for the use of its products, other than those expressly contained in the Company's standard warranty which is detailed in Atmel's Terms and Conditions located on the Company's web site. The Company assumes no responsibility for any errors which may appear in this document, reserves the right to change devices or specifications detailed herein at any time without notice, and does not make any commitment to update the information contained herein. No licenses to patents or other intellectual property of Atmel are granted by the Company in connection with the sale of Atmel products, expressly or by implication. Atmel's products are not authorized for use as critical components in life support devices or systems.

Atmel is the registered trademark of Atmel.

3-51 is the registered trademark of Intel Corporation. Terms and product names in this document may be trademarks of others.



Printed on recycled paper.

2487A-10/D1/xM

DATA SHEET

PCF8574

Remote 8-bit I/O expander for
I²C-bus

1997 Apr 02

Product specification
Supersedes data of September 1994
File under Integrated Circuits, IC12

Philips
Semiconductors



PHILIPS

Remote 8-bit I/O expander for I²C-bus

PCF8574

CONTENTS

| | |
|--------|---|
| 1 | FEATURES |
| 2 | GENERAL DESCRIPTION |
| 3 | ORDERING INFORMATION |
| 4 | BLOCK DIAGRAM |
| 5 | PINNING |
| 6 | CHARACTERISTICS OF THE I ² C-BUS |
| 6.1 | Bit transfer |
| 6.2 | Start and stop conditions |
| 6.3 | System configuration |
| 6.4 | Acknowledge |
| 7 | FUNCTIONAL DESCRIPTION |
| 7.1 | Addressing |
| 7.2 | Interrupt |
| 7.3 | Quasi-bidirectional I/Os |
| 8 | LIMITING VALUES |
| 9 | HANDLING |
| 10 | DC CHARACTERISTICS |
| 11 | I ² C-BUS TIMING CHARACTERISTICS |
| 12 | PACKAGE OUTLINES |
| 13 | SOLDERING |
| 13.1 | Introduction |
| 13.2 | DIP |
| 13.2.1 | Soldering by dipping or by wave |
| 13.2.2 | Repairing soldered joints |
| 13.3 | SO and SSOP |
| 13.3.1 | Reflow soldering |
| 13.3.2 | Wave soldering |
| 13.3.3 | Repairing soldered joints |
| 14 | DEFINITIONS |
| 15 | LIFE SUPPORT APPLICATIONS |
| 16 | PURCHASE OF PHILIPS I ² C COMPONENTS |



Remote 8-bit I/O expander for I²C-bus

PCF8574

1 FEATURES

- Operating supply voltage 2.5 to 6 V
- Low standby current consumption of 10 μ A maximum
- I²C to parallel port expander
- Open-drain interrupt output
- 8-bit remote I/O port for the I²C-bus
- Compatible with most microcontrollers
- Latched outputs with high current drive capability for directly driving LEDs
- Address by 3 hardware address pins for use of up to 8 devices (up to 16 with PCF8574A)
- DIP16, or space-saving SO16 or SSOP20 packages.

2 GENERAL DESCRIPTION

The PCF8574 is a silicon CMOS circuit. It provides general purpose remote I/O expansion for most microcontroller families via the two-line bidirectional bus (I²C).

The device consists of an 8-bit quasi-bidirectional port and an I²C-bus interface. The PCF8574 has a low current consumption and includes latched outputs with high current drive capability for directly driving LEDs. It also possesses an interrupt line (INT) which can be connected to the interrupt logic of the microcontroller. By sending an interrupt signal on this line, the remote I/O can inform the microcontroller if there is incoming data on its ports without having to communicate via the I²C-bus. This means that the PCF8574 can remain a simple slave device.

The PCF8574 and PCF8574A versions differ only in their slave address as shown in Fig.9.

3 ORDERING INFORMATION

| TYPE NUMBER | PACKAGE | | |
|------------------------|---------|---|----------|
| | NAME | DESCRIPTION | VERSION |
| PCF8574P; PCF8574AP | DIP16 | plastic dual in-line package; 16 leads (300 mil) | SOT38-1 |
| PCF8574T; PCF8574AT | SO16 | plastic small outline package; 16 leads; body width 7.5 mm | SOT162-1 |
| PCF8574TS | SSOP20 | plastic shrink small outline package; 20 leads; body width 4.4 mm | SOT286-1 |

Remote 8-bit I/O expander for I²C-bus

PCF8574

4 BLOCK DIAGRAM

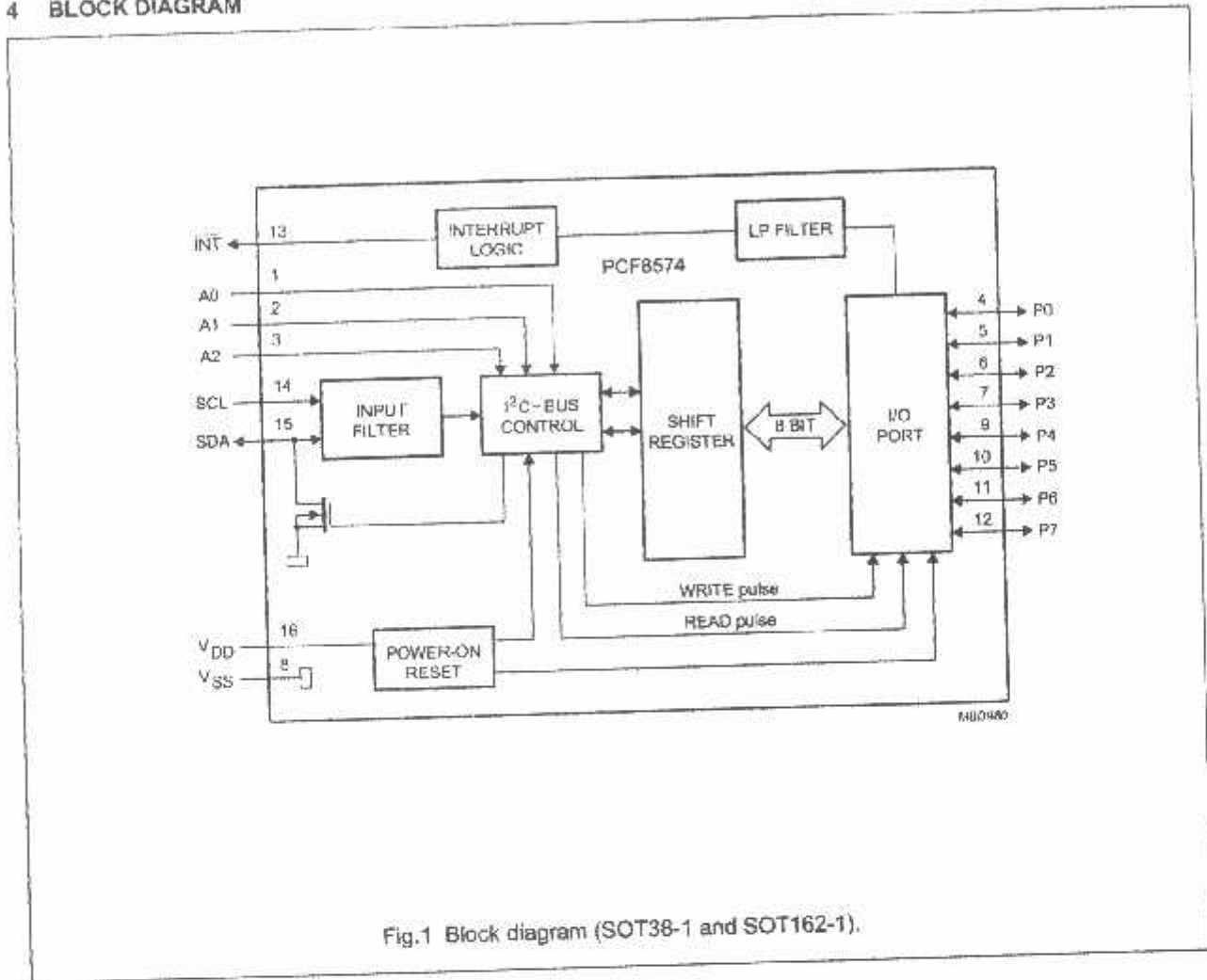


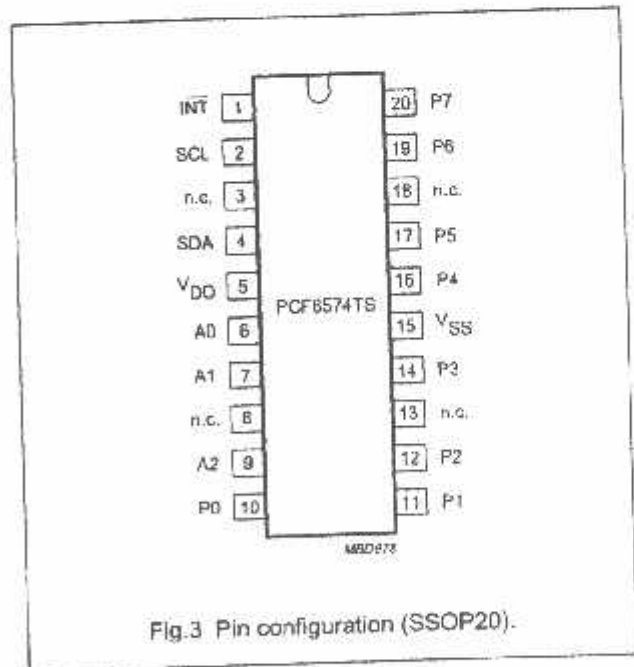
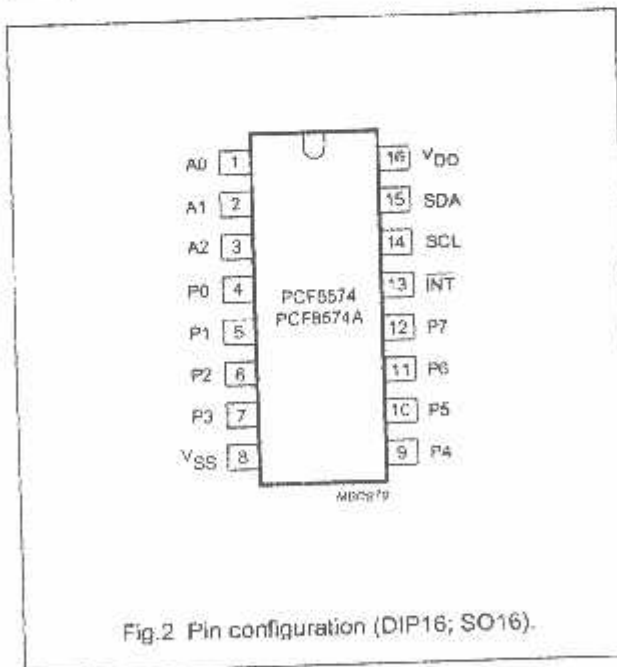
Fig.1 Block diagram (SOT38-1 and SOT162-1).

Remote 8-bit I/O expander for I²C-bus

PCF8574

5 PINNING

| SYMBOL | PIN | | DESCRIPTION |
|-----------------|-------------|--------|-------------------------------|
| | DIP16; SO16 | SSOP20 | |
| A0 | 1 | 6 | address input 0 |
| A1 | 2 | 7 | address input 1 |
| A2 | 3 | 9 | address input 2 |
| P0 | 4 | 10 | quasi-bidirectional I/O 0 |
| P1 | 5 | 11 | quasi-bidirectional I/O 1 |
| P2 | 6 | 12 | quasi-bidirectional I/O 2 |
| P3 | 7 | 14 | quasi-bidirectional I/O 3 |
| V _{SS} | 8 | 15 | supply ground |
| P4 | 9 | 16 | quasi-bidirectional I/O 4 |
| P5 | 10 | 17 | quasi-bidirectional I/O 5 |
| P6 | 11 | 19 | quasi-bidirectional I/O 6 |
| P7 | 12 | 20 | quasi-bidirectional I/O 7 |
| INT | 13 | 1 | interrupt output (active LOW) |
| SCL | 14 | 2 | serial clock line |
| SDA | 15 | 4 | serial data line |
| V _{DD} | 16 | 5 | supply voltage |
| n.c. | - | 3 | not connected |
| n.c. | - | 8 | not connected |
| n.c. | - | 13 | not connected |
| n.c. | - | 18 | not connected |



Remote 8-bit I/O expander for I²C-bus

PCF8574

6 CHARACTERISTICS OF THE I²C-BUS

The I²C-bus is for 2-way, 2-line communication between different ICs or modules. The two lines are a serial data line (SDA) and a serial clock line (SCL). Both lines must be connected to a positive supply via a pull-up resistor when connected to the output stages of a device. Data transfer may be initiated only when the bus is not busy.

6.1 Bit transfer

One data bit is transferred during each clock pulse. The data on the SDA line must remain stable during the HIGH period of the clock pulse as changes in the data line at this time will be interpreted as control signals (see Fig.4).

6.2 Start and stop conditions

Both data and clock lines remain HIGH when the bus is not busy. A HIGH-to-LOW transition of the data line, while the clock is HIGH is defined as the start condition (S). A LOW-to-HIGH transition of the data line while the clock is HIGH is defined as the stop condition (P) (see Fig.5).

6.3 System configuration

A device generating a message is a 'transmitter', a device receiving is the 'receiver'. The device that controls the message is the 'master' and the devices which are controlled by the master are the 'slaves' (see Fig.6).

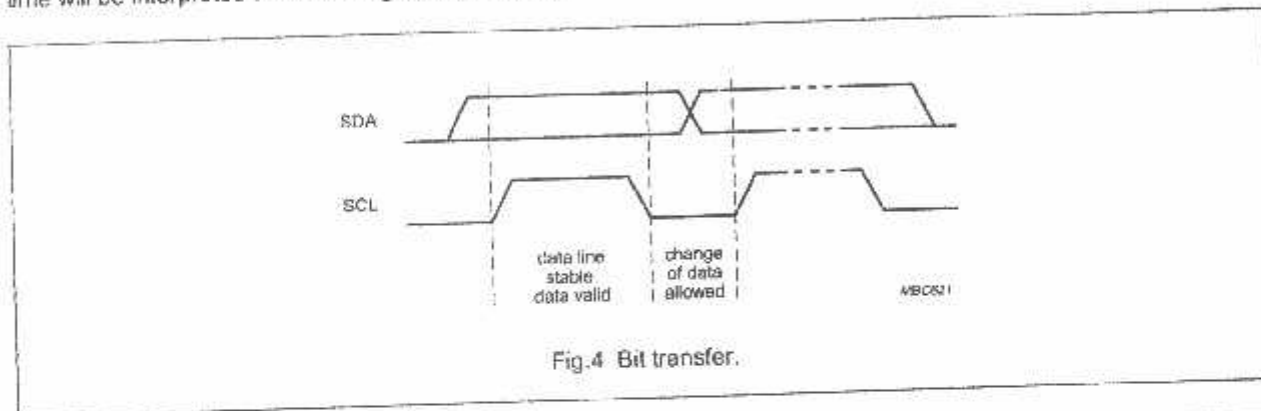


Fig.4 Bit transfer.

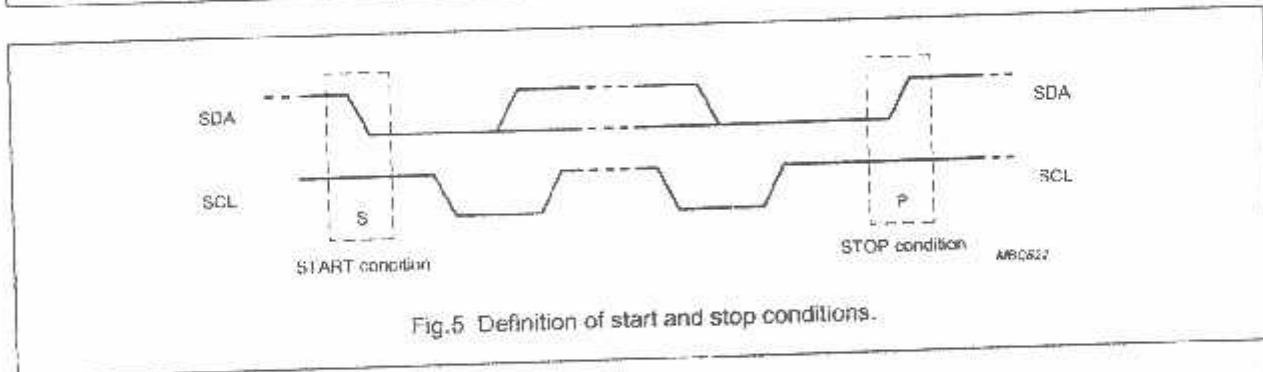


Fig.5 Definition of start and stop conditions.

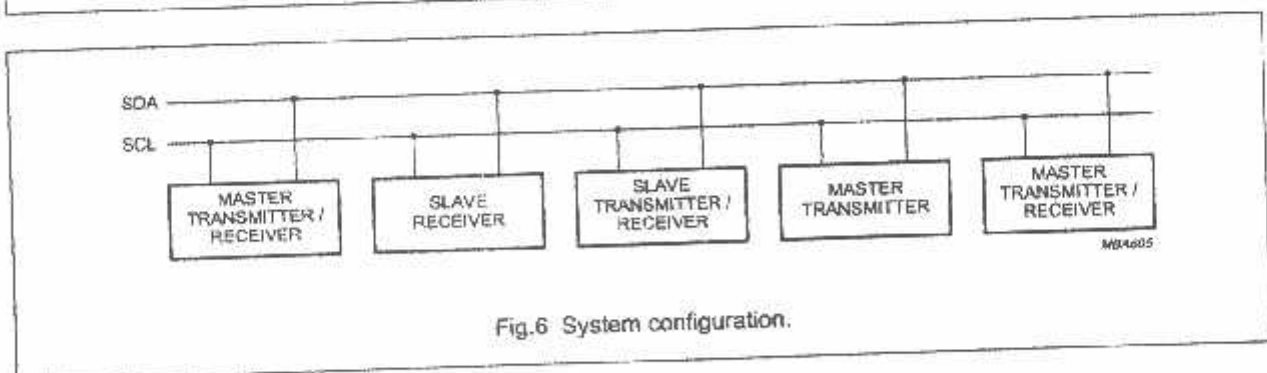


Fig.6 System configuration.

Remote 8-bit I/O expander for I²C-bus

PCF8574

6.4 Acknowledge

The number of data bytes transferred between the start and the stop conditions from transmitter to receiver is not limited. Each byte of eight bits is followed by one acknowledge bit. The acknowledge bit is a HIGH level put on the bus by the transmitter whereas the master generates an extra acknowledge related clock pulse.

A slave receiver which is addressed must generate an acknowledge after the reception of each byte. Also a master must generate an acknowledge after the reception of each byte that has been clocked out of the slave

transmitter. The device that acknowledges has to pull down the SDA line during the acknowledge clock pulse, so that the SDA line is stable LOW during the HIGH period of the acknowledge related clock pulse, set-up and hold times must be taken into account.

A master receiver must signal an end of data to the transmitter by **not** generating an acknowledge on the last byte that has been clocked out of the slave. In this event the transmitter must leave the data line HIGH to enable the master to generate a stop condition.

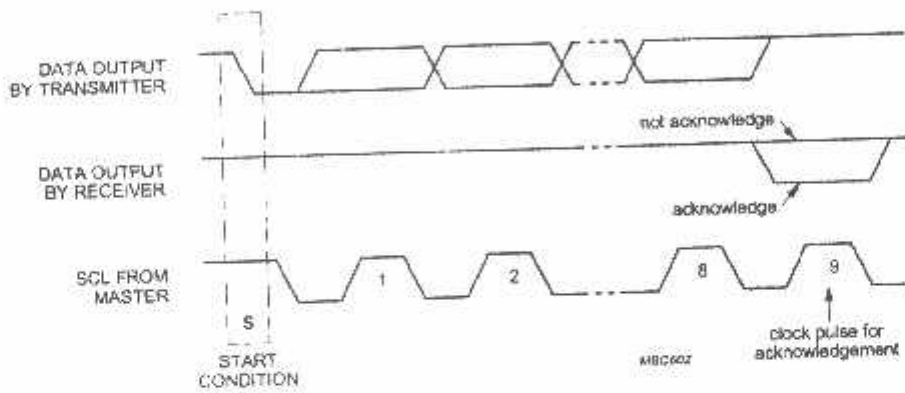
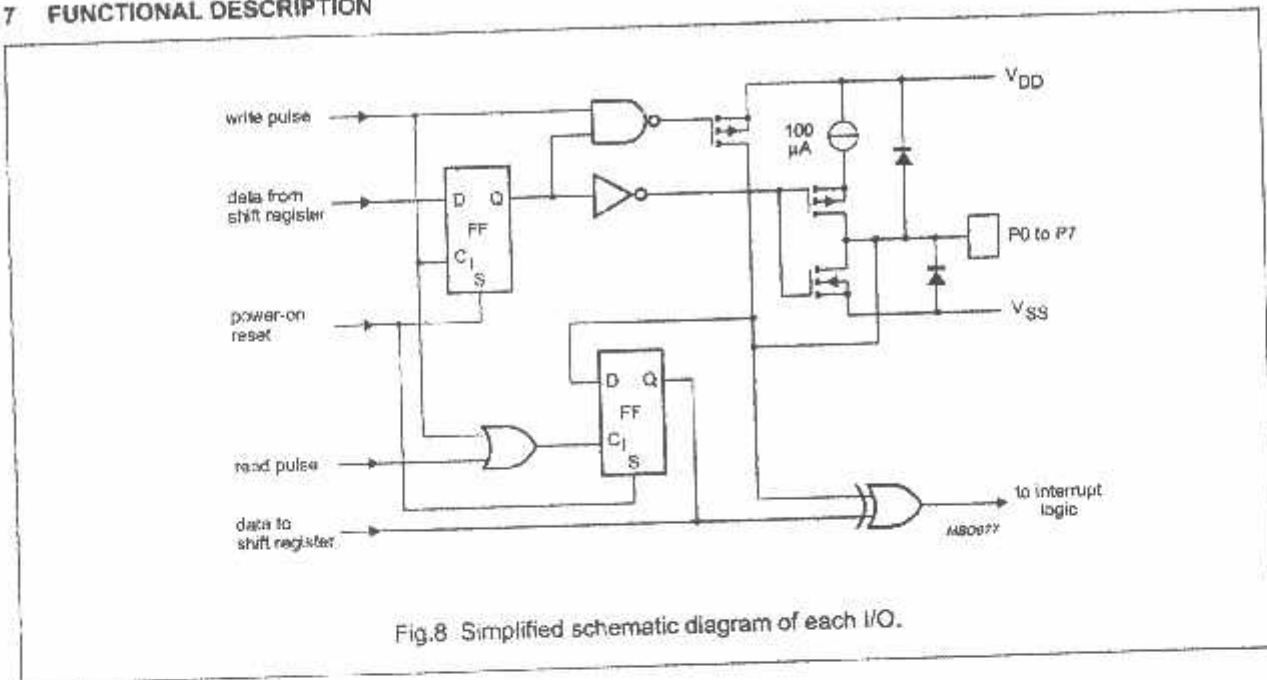


Fig.7 Acknowledgment on the I²C-bus.

Remote 8-bit I/O expander for I²C-bus

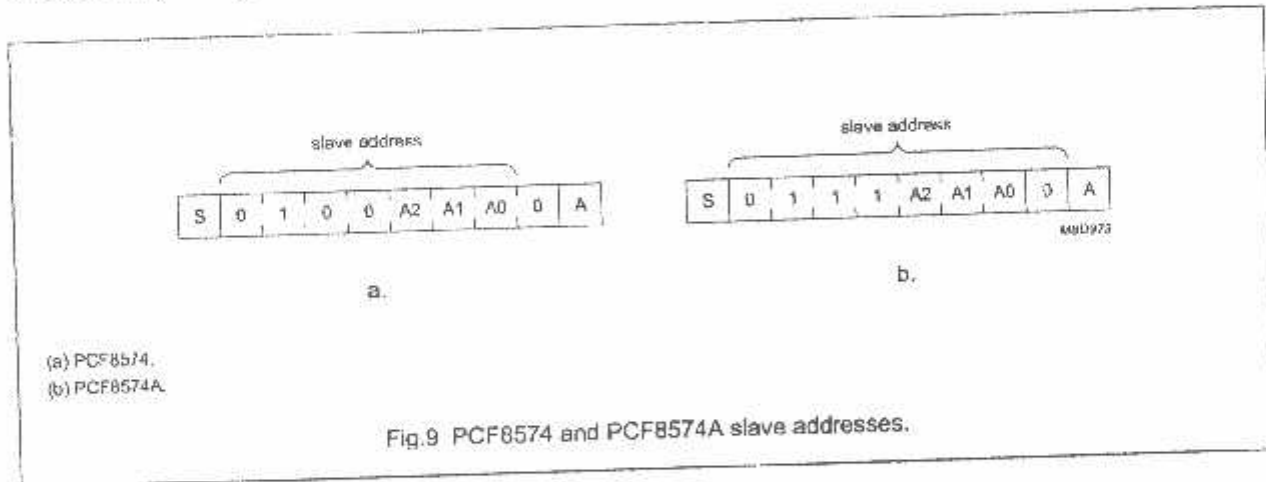
PCF8574

7 FUNCTIONAL DESCRIPTION



7.1 Addressing

For addressing see Figs 9, 10 and 11.



Each of the PCF8574's eight I/Os can be independently used as an input or output. Input data is transferred from the port to the microcontroller by the READ mode (see Fig.11). Output data is transmitted to the port by the WRITE mode (see Fig.10).

Remote 8-bit I/O expander for I²C-bus

PCF8574

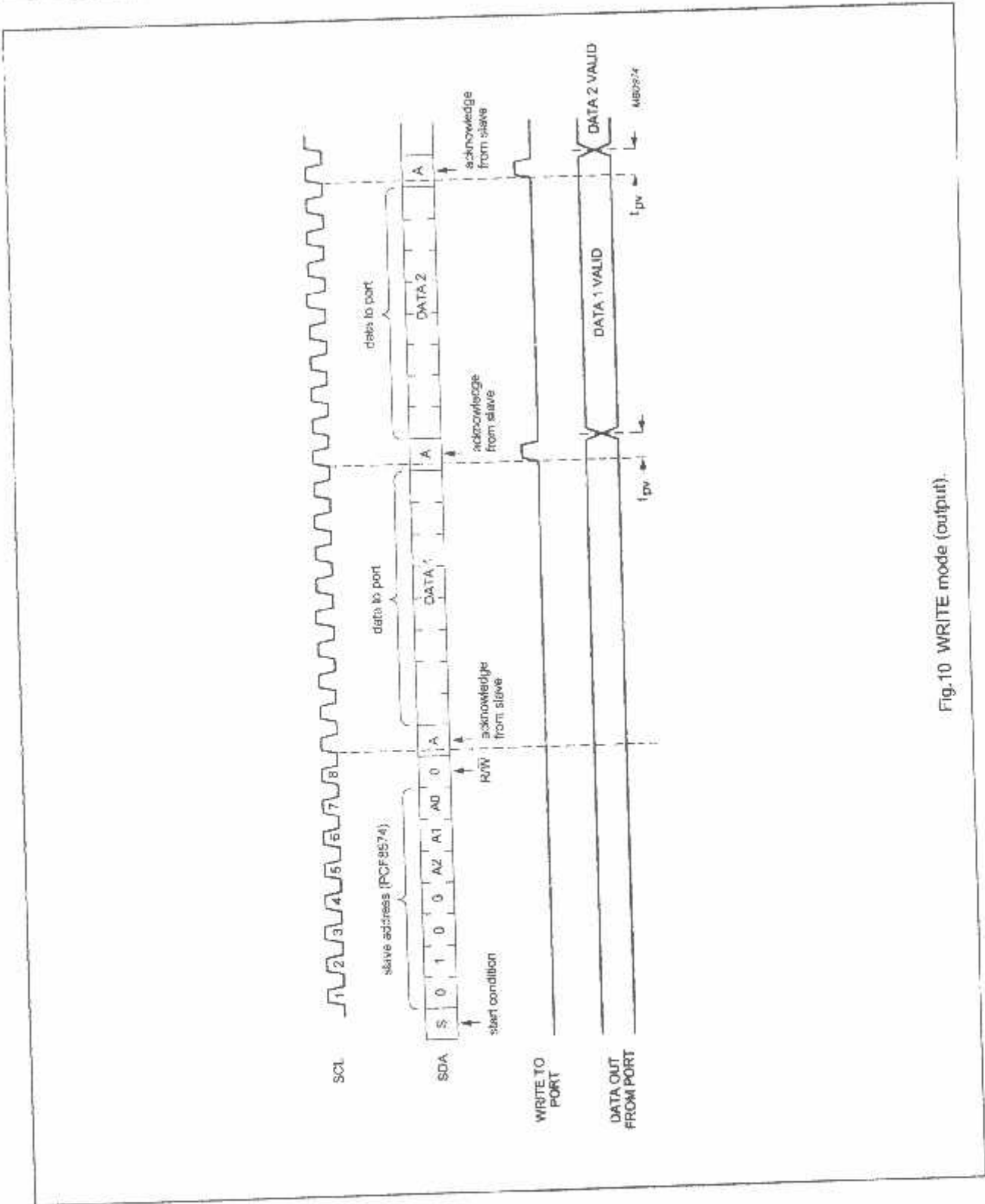


Fig. 10 WRITE mode (output).

Remote 8-bit I/O expander for I²C-bus

PCF8574

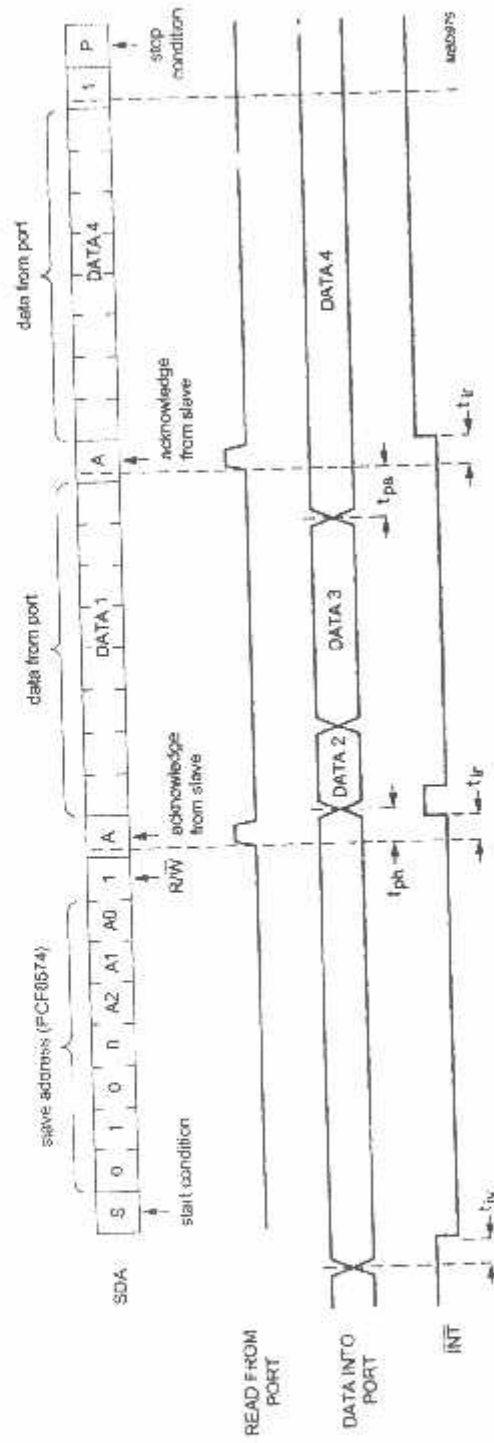


Fig. 11 READ mode (input).
 A LOW-to-HIGH transition of SDA, while SCL is HIGH is defined as the stop condition (P). Transfer of data can be stopped at any moment by a stop condition. When this occurs, data present at the last acknowledge phase is valid (output mode). Input data is lost.

Remote 8-bit I/O expander for I²C-bus

PCF8574

7.2 Interrupt (see Figs 12 and 13)

The PCF8574 provides an open drain output ($\overline{\text{INT}}$) which can be fed to a corresponding input of the microcontroller. This gives these chips a type of master function which can initiate an action elsewhere in the system.

An interrupt is generated by any rising or falling edge of the port inputs in the input mode. After time t_{lv} the signal $\overline{\text{INT}}$ is valid.

Resetting and reactivating the interrupt circuit is achieved when data on the port is changed to the original setting or data is read from or written to the port which has generated the interrupt.

Resetting occurs as follows:

- In the READ mode at the acknowledge bit after the rising edge of the SCL signal
- In the WRITE mode at the acknowledge bit after the HIGH-to-LOW transition of the SCL signal

- Interrupts which occur during the acknowledge clock pulse may be lost (or very short) due to the resetting of the interrupt during this pulse.

Each change of the I/Os after resetting will be detected and, after the next rising clock edge, will be transmitted as $\overline{\text{INT}}$. Reading from or writing to another device does not affect the interrupt circuit.

7.3 Quasi-bidirectional I/Os (see Fig.14)

A quasi-bidirectional I/O can be used as an input or output without the use of a control signal for data direction.

At power-on the I/Os are HIGH. In this mode only a current source to V_{DD} is active. An additional strong pull-up to V_{DD} allows fast rising edges into heavily loaded outputs. These devices turn on when an output is written HIGH, and are switched off by the negative edge of SCL. The I/Os should be HIGH before being used as inputs.

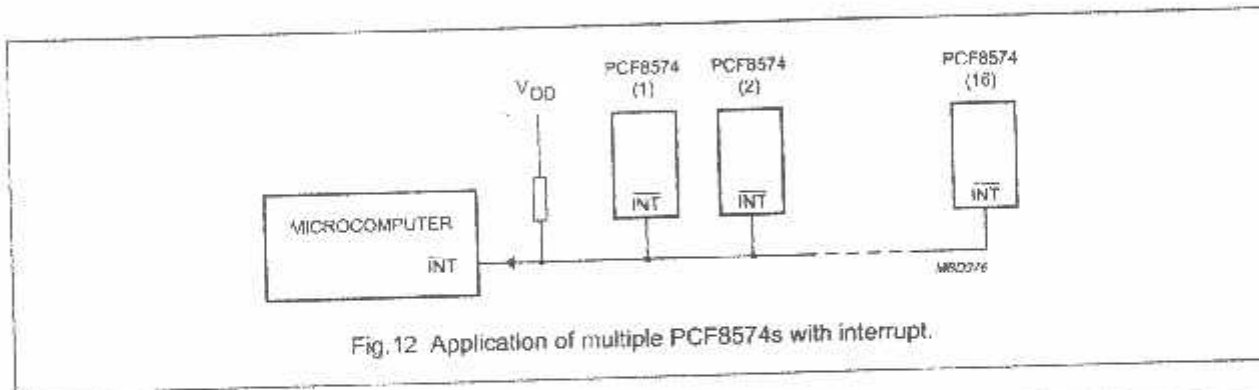


Fig. 12 Application of multiple PCF8574s with interrupt.

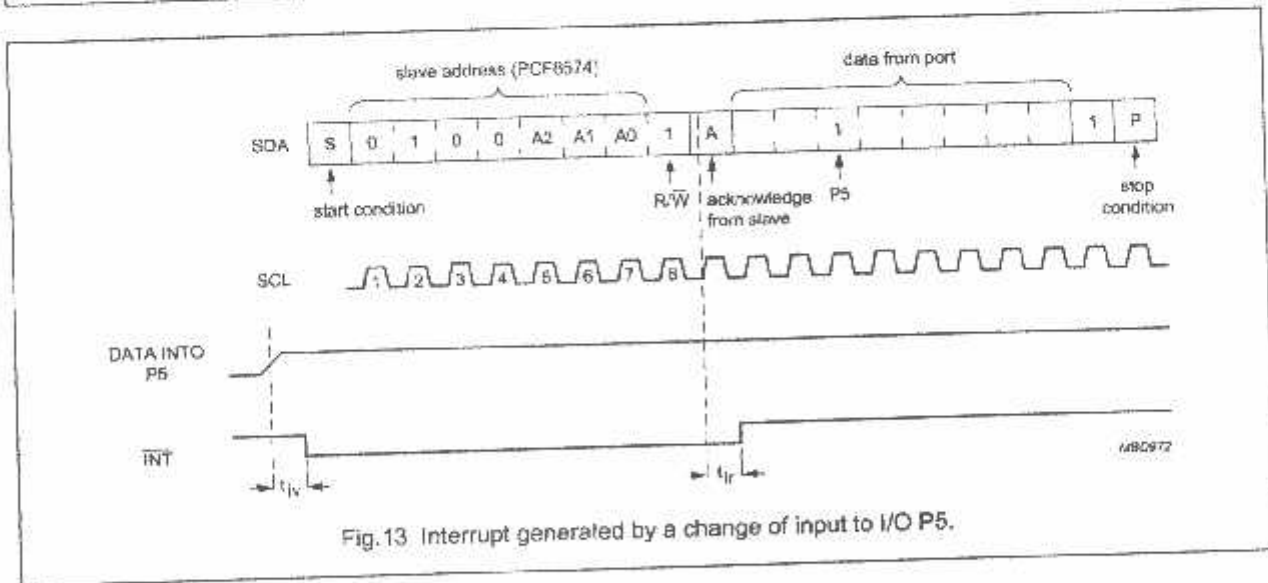


Fig. 13 Interrupt generated by a change of input to I/O P5.

Remote 8-bit I/O expander for I²C-bus

PCF8574

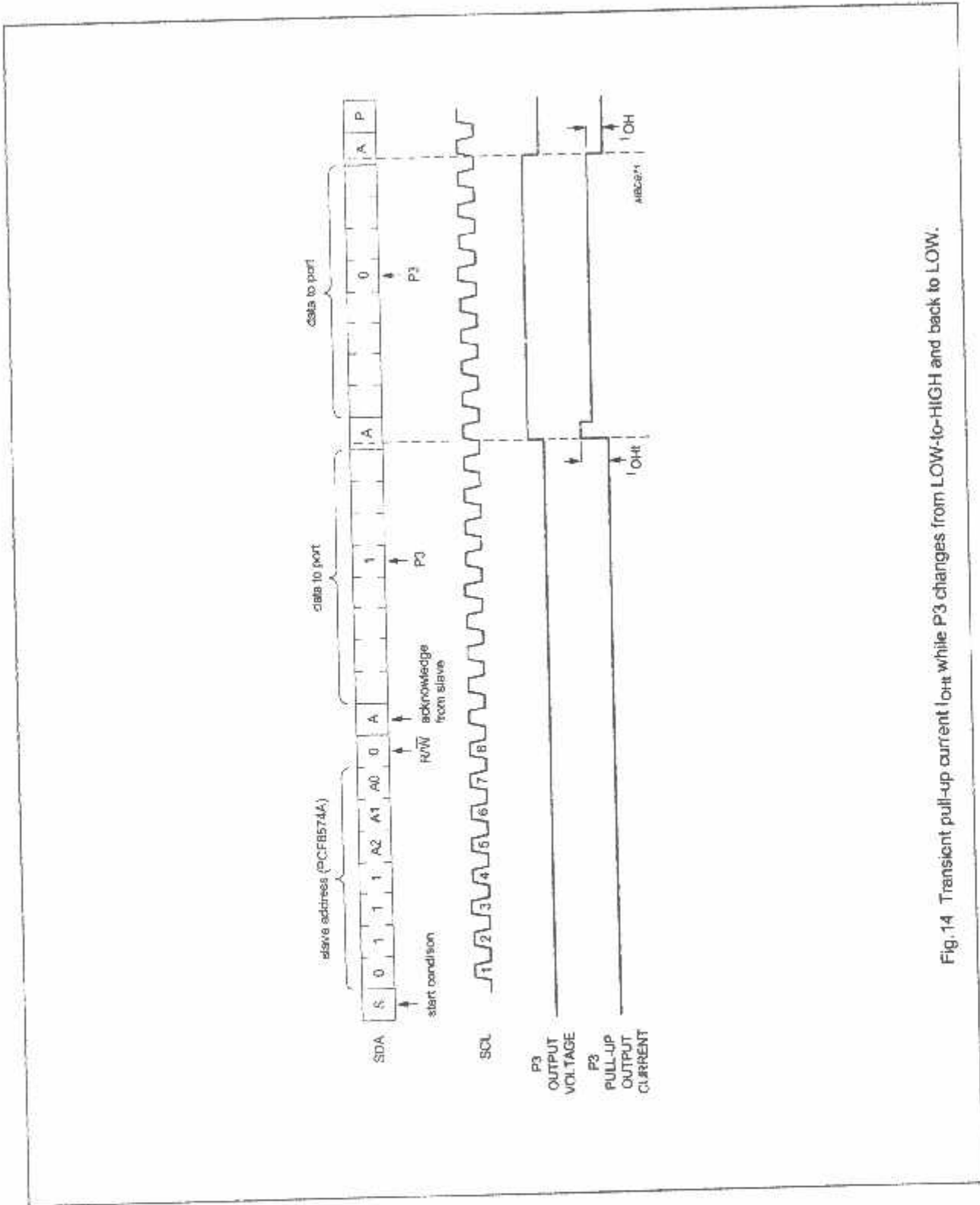


Fig.14 Transient pull-up current I_{OH} while P3 changes from LOW-to-HIGH and back to LOW.

Remote 8-bit I/O expander for I²C-bus

PCF8574

8 LIMITING VALUES

In accordance with the Absolute Maximum Rating System (IEC 134).

| SYMBOL | PARAMETER | MIN. | MAX. | UNIT |
|------------------|-------------------------------|-----------------------|-----------------------|------|
| V _{DD} | supply voltage | -0.5 | +7.0 | V |
| V _I | input voltage | V _{SS} - 0.5 | V _{DD} + 0.5 | V |
| I _I | DC input current | - | ±20 | mA |
| I _O | DC output current | - | ±25 | mA |
| I _{DD} | supply current | - | ±100 | mA |
| I _{SS} | supply current | - | ±100 | mA |
| P _{tot} | total power dissipation | - | 400 | mW |
| P _O | power dissipation per output | - | 100 | mW |
| T _{stg} | storage temperature | -85 | +150 | °C |
| T _{amb} | operating ambient temperature | -40 | +85 | °C |

9 HANDLING

Inputs and outputs are protected against electrostatic discharge in normal handling. However, to be totally safe, it is desirable to take precautions appropriate to handling MOS devices. Advice can be found in Data Handbook IC12 under "Handling MOS Devices".

10 DC CHARACTERISTICSV_{DD} = 2.5 to 6 V; V_{SS} = 0 V; T_{amb} = -40 to +85 °C; unless otherwise specified.

| SYMBOL | PARAMETER | CONDITIONS | MIN. | TYP. | MAX. | UNIT |
|------------------------------------|--------------------------|--|--------------------|------|-----------------------|------|
| Supply | | | | | | |
| V _{DD} | supply voltage | | 2.5 | - | 6.0 | V |
| I _{DD} | supply current | operating mode; V _{DD} = 6 V; no load; V _I = V _{DD} or V _{SS} ; f _{SCL} = 100 kHz | - | 40 | 100 | µA |
| I _{stb} | standby current | standby mode; V _{DD} = 6 V; no load; V _I = V _{DD} or V _{SS} | - | 2.5 | 10 | µA |
| V _{POR} | Power-on reset voltage | V _{DD} = 6 V; no load; V _I = V _{DD} or V _{SS} ; note 1 | - | 1.3 | 2.4 | V |
| Input SCL; input/output SDA | | | | | | |
| V _{IL} | LOW level input voltage | | -0.5 | - | +0.3V _{DD} | V |
| V _{IH} | HIGH level input voltage | | 0.7V _{DD} | - | V _{DD} + 0.5 | V |
| I _{OL} | LOW level output current | V _{OL} = 0.4 V | 3 | - | - | mA |
| I _L | leakage current | V _I = V _{DD} or V _{SS} | -1 | - | +1 | µA |
| C _I | input capacitance | V _I = V _{SS} | - | - | 7 | pF |

Remote 8-bit I/O expander for I²C-bus

PCF8574

| SYMBOL | PARAMETER | CONDITIONS | MIN. | TYP. | MAX. | UNIT |
|--|--|--|--------------------|------|-----------------------|------|
| I/Os | | | | | | |
| V_{IL} | LOW level input voltage | | -0.5 | - | +0.3V _{DD} | V |
| V_{IH} | HIGH level input voltage | | 0.7V _{DD} | - | V _{DD} + 0.5 | V |
| $I_{IHL(max)}$ | maximum allowed input current through protection diode | $V_I \geq V_{DD}$ or $V_I \leq V_{SS}$ | - | - | ±400 | µA |
| I_{OL} | LOW level output current | $V_{OL} = 1\text{ V}; V_{DD} = 5\text{ V}$ | 10 | 25 | - | mA |
| I_{OH} | HIGH level output current | $V_{OH} = V_{SS}$ | 30 | - | 300 | µA |
| I_{OHI} | transient pull-up current | HIGH during acknowledge (see Fig. 14); $V_{OH} = V_{SS}$; $V_{DD} = 2.5\text{ V}$ | - | -1 | - | mA |
| C_i | input capacitance | | - | - | 10 | pF |
| C_o | output capacitance | | - | - | 10 | pF |
| Port timing; $C_L \leq 100\text{ pF}$ (see Figs 10 and 11) | | | | | | |
| t_{nv} | output data valid | | - | - | 4 | µs |
| t_{su} | input data set-up time | | 0 | - | - | µs |
| t_h | input data hold time | | 4 | - | - | µs |
| Interrupt \overline{INT} (see Fig. 13) | | | | | | |
| I_{OL} | LOW level output current | $V_{OL} = 0.4\text{ V}$ | 1.6 | - | - | mA |
| I_L | leakage current | $V_I = V_{DD}$ or V_{SS} | -1 | - | +1 | µA |
| TIMING; $C_L \leq 100\text{ pF}$ | | | | | | |
| t_{iv} | input data valid time | | - | - | 4 | µs |
| t_r | reset delay time | | - | - | 4 | µs |
| Select inputs A0 to A2 | | | | | | |
| V_{IL} | LOW level input voltage | | -0.5 | - | +0.3V _{DD} | V |
| V_{IH} | HIGH level input voltage | | 0.7V _{DD} | - | V _{DD} + 0.5 | V |
| I_{LI} | input leakage current | pin at V _{DD} or V _{SS} | -250 | - | +250 | nA |

Note

- The Power-on reset circuit resets the I²C-bus logic with $V_{DD} < V_{POR}$ and sets all I/Os to logic 1 (with current source to V_{DD}).

Remote 8-bit I/O expander for I²C-bus

PCF8574

11 I²C-BUS TIMING CHARACTERISTICS

| SYMBOL | PARAMETER | MIN. | TYP. | MAX. | UNIT |
|---|------------------------------|------|------|------|------|
| I ² C-BUS TIMING (see Fig. 15; note 1) | | | | | |
| f _{SCL} | SCL clock frequency | – | – | 100 | kHz |
| t _{SW} | tolerable spike width on bus | – | – | 100 | ns |
| t _{BUF} | bus free time | 4.7 | – | – | µs |
| t _{SU,STA} | START condition set-up time | 4.7 | – | – | µs |
| t _{HD,STA} | START condition hold time | 4.0 | – | – | µs |
| t _{LOW} | SCL LOW time | 4.7 | – | – | µs |
| t _{HIGH} | SCL HIGH time | 4.0 | – | – | µs |
| t _r | SCL and SDA rise time | – | – | 1.0 | µs |
| t _f | SCL and SDA fall time | – | – | 0.3 | µs |
| t _{SU,DAT} | data set-up time | 250 | – | – | ns |
| t _{HD,DAT} | data hold time | 0 | – | – | ns |
| t _{VD,DAT} | SCL LOW to data out valid | – | – | 3.4 | µs |
| t _{SU,STO} | STOP condition set-up time | 4.0 | – | – | µs |

Note

- All the timing values are valid within the operating supply voltage and ambient temperature range and refer to V_{IL} and V_{IH} with an input voltage swing of V_{SS} to V_{DD}.

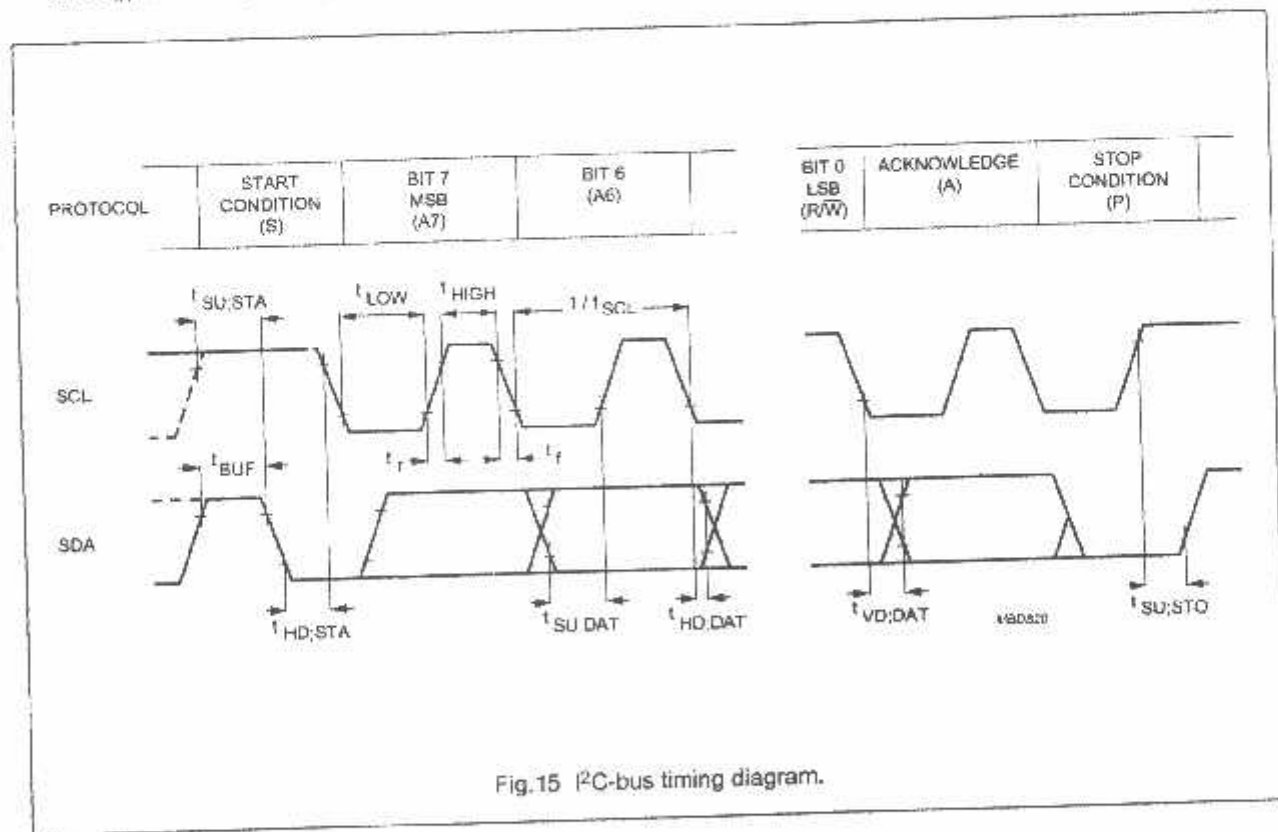


Fig. 15 I²C-bus timing diagram.

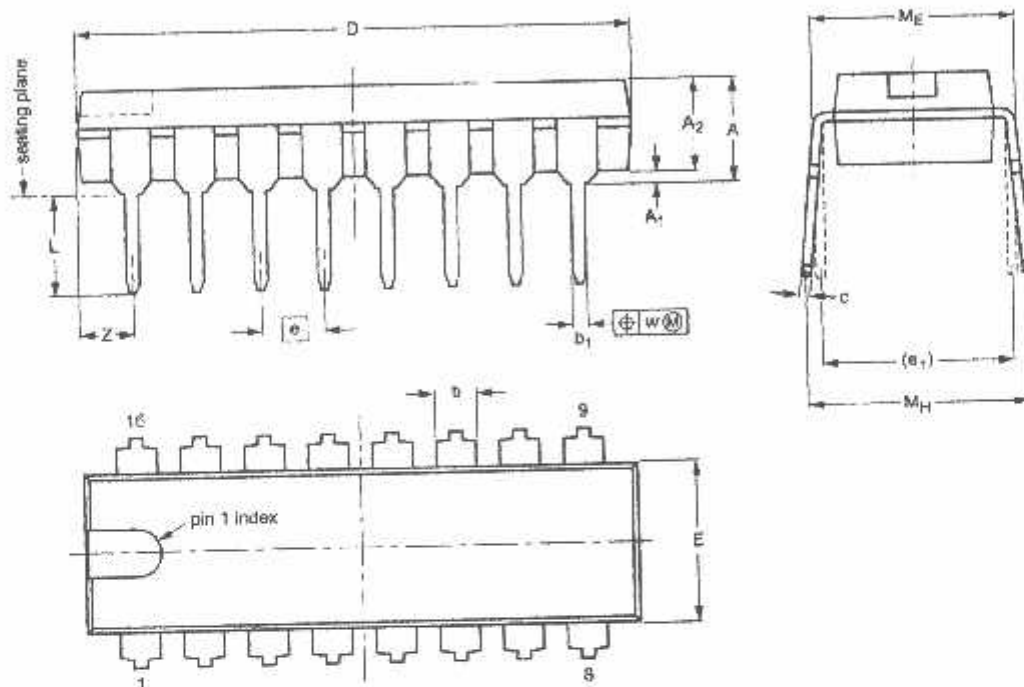
Remote 8-bit I/O expander for I²C-bus

PCF8574

12 PACKAGE OUTLINES

DIP16: plastic dual in-line package; 16 leads (300 mil); long body

SOT38-1



DIMENSIONS (inch dimensions are derived from the original mm dimensions)

| UNIT | A max. | A ₁ min. | A ₂ max. | b | b ₁ | c | D ⁽¹⁾ | E ⁽¹⁾ | a | a ₁ | L | M _E | M _H | w | Z ⁽¹⁾ max. |
|--------|--------|---------------------|---------------------|----------------|----------------|----------------|------------------|------------------|------|----------------|--------------|----------------|----------------|-------|-----------------------|
| mm | 4.7 | 0.51 | 3.7 | 1.40 1.14 | 0.53 0.38 | 0.32 0.23 | 21.8 21.4 | 6.48 6.20 | 2.54 | 7.62 | 3.9 3.4 | 8.26 7.80 | 9.5 8.3 | 0.254 | 2.2 |
| inches | 0.19 | 0.020 | 0.15 | 0.055 0.045 | 0.021 0.015 | 0.013 0.009 | 0.86 0.84 | 0.26 0.24 | 0.10 | 0.30 | 0.15 0.13 | 0.32 0.31 | 0.37 0.33 | 0.01 | 0.087 |

Note

1. Plastic or metal protrusions of 0.25 mm maximum per side are not included.

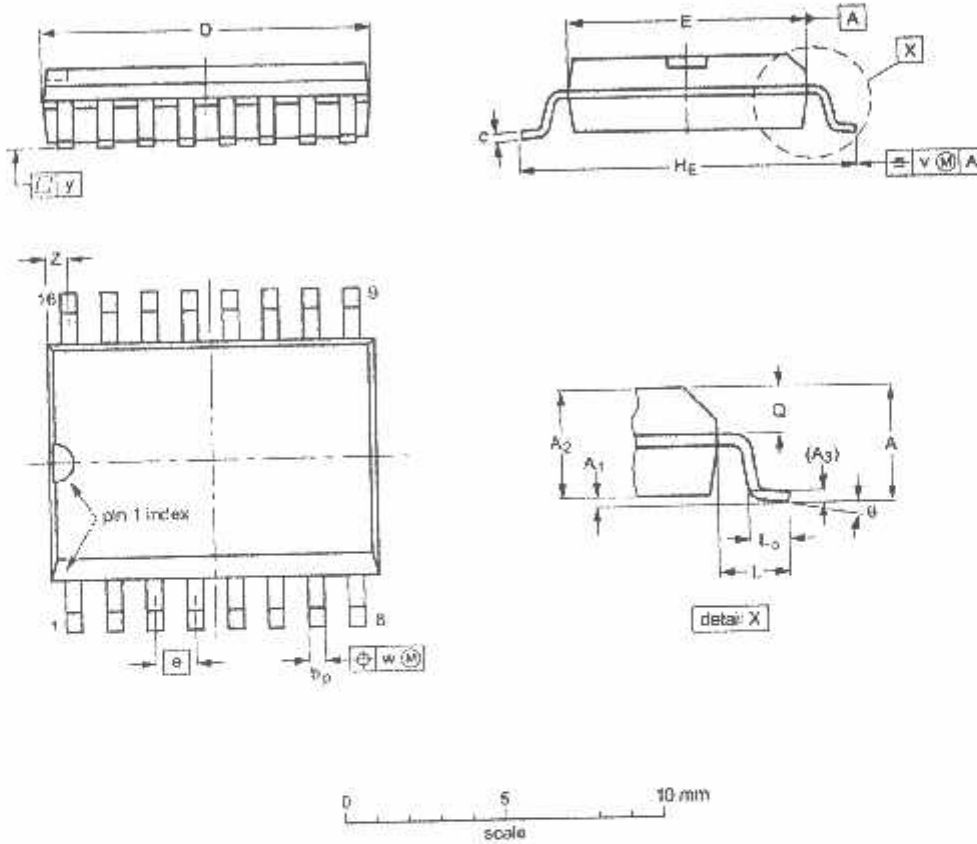
| OUTLINE VERSION | REFERENCES | | | | EUROPEAN PROJECTION | ISSUE DATE |
|-----------------|------------|----------|-----|--|---------------------|----------------------|
| | IEC | JEDEC | BAJ | | | |
| SOT38-1 | 051G09 | MO-001AE | | | | 92-10-02 95-01-19 |

Remote 8-bit I/O expander for I²C-bus

PCF8574

SO16: plastic small outline package; 16 leads; body width 7.5 mm

SOT162-1



DIMENSIONS (Inch dimensions are derived from the original mm dimensions)

| UNIT | A max. | A ₁ | A ₂ | A ₃ | b _p | c | D ⁽¹⁾ | E ⁽¹⁾ | e | H _E | L | L _p | Q | v | w | y | Z ⁽¹⁾ | θ |
|--------|--------|----------------|----------------|----------------|----------------|----------------|------------------|------------------|-------|----------------|-------|----------------|----------------|------|------|-------|------------------|----------|
| mm | 2.65 | 0.30 0.10 | 2.45 2.25 | 0.25 | 0.49 0.36 | 0.32 0.23 | 10.5 10.1 | 7.8 7.4 | 1.27 | 10.65 10.00 | 1.4 | 1.1 0.4 | 1.1 1.0 | 0.25 | 0.25 | 0.1 | 0.9 0.4 | 8° 0° |
| inches | 0.10 | 0.012 0.004 | 0.096 0.089 | 0.01 | 0.019 0.014 | 0.013 0.009 | 0.41 0.40 | 0.30 0.29 | 0.050 | 0.419 0.394 | 0.055 | 0.043 0.016 | 0.043 0.039 | 0.01 | 0.01 | 0.004 | 0.035 0.016 | |

Note

1. Plastic or metal protrusions of 0.15 mm maximum per side are not included.

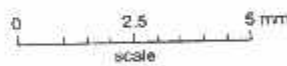
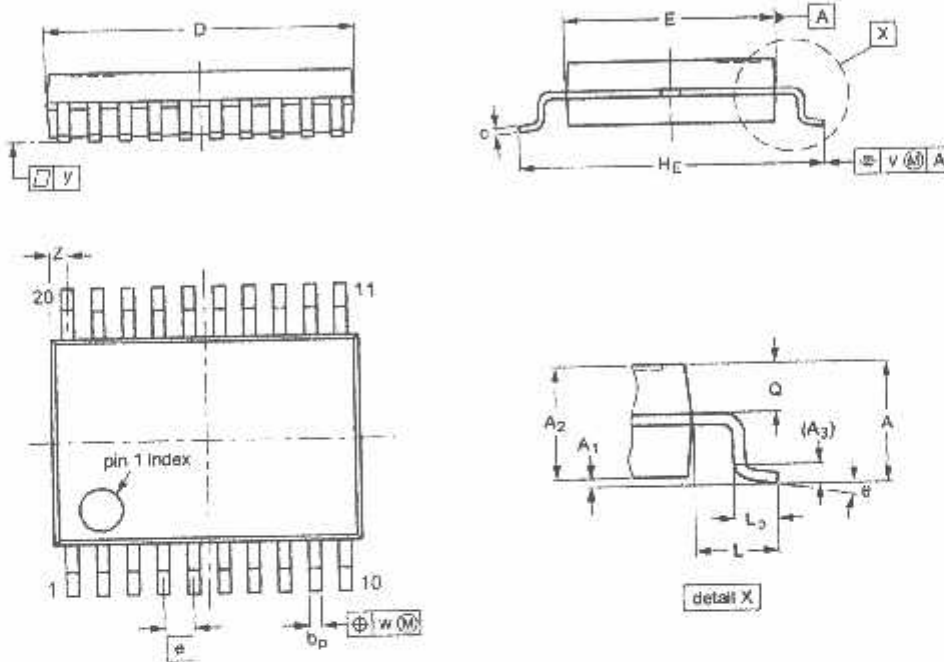
| OUTLINE VERSION | REFERENCES | | | EUROPEAN PROJECTION | ISSUE DATE |
|-----------------|------------|----------|-------------------|---------------------|----------------------|
| | IEC | JEDEC | EIA ¹⁾ | | |
| SOT162-1 | D75E03 | MS-013AA | | | 95-04-24 97-05-22 |

Remote 8-bit I/O expander for I²C-bus

PCF8574

SSOP20: plastic shrink small outline package; 20 leads; body width 4.4 mm

SOT266-1



DIMENSIONS (mm are the original dimensions)

| UNIT | A _{max.} | A ₁ | A ₂ | A ₃ | b _p | c | D ⁽¹⁾ | E ⁽¹⁾ | e | H _E | L | L _p | Q | v | w | y | Z ⁽¹⁾ | θ |
|------|-------------------|----------------|----------------|----------------|----------------|--------------|------------------|------------------|------|----------------|-----|----------------|--------------|-----|------|-----|------------------|-----------|
| mm | 1.5 | 0.15 0 | 1.4 1.2 | 0.25 | 0.32 0.20 | 0.20 0.13 | 6.6 6.4 | 4.5 4.3 | 0.55 | 6.6 6.2 | 1.0 | 0.75 0.45 | 0.65 0.45 | 0.2 | 0.13 | 0.1 | 0.48 0.18 | 10° 0° |

Note

1. Plastic or metal protrusions of 0.20 mm maximum per side are not included.

| OUTLINE VERSION | REFERENCES | | | | EUROPEAN PROJECTION | ISSUE DATE |
|-----------------|------------|-------|------|--|---------------------|----------------------|
| | IEC | JEDEC | EIAJ | | | |
| SOT266-1 | | | | | | 90-04-05 95-02-25 |

Remote 8-bit I/O expander for I²C-bus

PCF8574

13 SOLDERING**13.1 Introduction**

There is no soldering method that is ideal for all IC packages. Wave soldering is often preferred when through-hole and surface mounted components are mixed on one printed-circuit board. However, wave soldering is not always suitable for surface mounted ICs, or for printed-circuits with high population densities. In these situations reflow soldering is often used.

This text gives a very brief insight to a complex technology. A more in-depth account of soldering ICs can be found in our "IC Package Databook" (order code 9398 652 90011).

13.2 DIP**13.2.1 SOLDERING BY DIPPING OR BY WAVE**

The maximum permissible temperature of the solder is 260 °C; solder at this temperature must not be in contact with the joint for more than 5 seconds. The total contact time of successive solder waves must not exceed 5 seconds.

The device may be mounted up to the seating plane, but the temperature of the plastic body must not exceed the specified maximum storage temperature ($T_{stg\ max}$). If the printed-circuit board has been pre-heated, forced cooling may be necessary immediately after soldering to keep the temperature within the permissible limit.

13.2.2 REPAIRING SOLDERED JOINTS

Apply a low voltage soldering iron (less than 24 V) to the lead(s) of the package, below the seating plane or not more than 2 mm above it. If the temperature of the soldering iron bit is less than 300 °C it may remain in contact for up to 10 seconds. If the bit temperature is between 300 and 400 °C, contact may be up to 5 seconds.

13.3 SO and SSOP**13.3.1 REFLOW SOLDERING**

Reflow soldering techniques are suitable for all SO and SSOP packages.

Reflow soldering requires solder paste (a suspension of fine solder particles, flux and binding agent) to be applied to the printed-circuit board by screen printing, stenciling or pressure-syringe dispensing before package placement.

Several techniques exist for reflowing; for example, thermal conduction by heated belt. Dwell times vary between 50 and 300 seconds depending on heating method. Typical reflow temperatures range from 215 to 250 °C.

Preheating is necessary to dry the paste and evaporate the binding agent. Preheating duration: 45 minutes at 45 °C.

13.3.2 WAVE SOLDERING

Wave soldering is **not** recommended for SSOP packages. This is because of the likelihood of solder bridging due to closely-spaced leads and the possibility of incomplete solder penetration in multi-lead devices.

If wave soldering cannot be avoided, the following conditions must be observed:

- **A double-wave (a turbulent wave with high upward pressure followed by a smooth laminar wave) soldering technique should be used.**
- **The longitudinal axis of the package footprint must be parallel to the solder flow and must incorporate solder thieves at the downstream end.**

Even with these conditions, only consider wave soldering SSOP packages that have a body width of 4.4 mm, that is SSOP16 (SOT369-1) or SSOP20 (SOT266-1).

During placement and before soldering, the package must be fixed with a droplet of adhesive. The adhesive can be applied by screen printing, pin transfer or syringe dispensing. The package can be soldered after the adhesive is cured.

Maximum permissible solder temperature is 260 °C, and maximum duration of package immersion in solder is 10 seconds, if cooled to less than 150 °C within 6 seconds. Typical dwell time is 4 seconds at 250 °C.

A mildly-activated flux will eliminate the need for removal of corrosive residues in most applications.

13.3.3 REPAIRING SOLDERED JOINTS

Fix the component by first soldering two diagonally-opposite end leads. Use only a low voltage soldering iron (less than 24 V) applied to the flat part of the lead. Contact time must be limited to 10 seconds at up to 300 °C. When using a dedicated tool, all other leads can be soldered in one operation within 2 to 5 seconds between 270 and 320 °C.

Remote 8-bit I/O expander for I²C-bus

PCF8574

14 DEFINITIONS

| Data sheet status | |
|---|---|
| Objective specification | This data sheet contains target or goal specifications for product development. |
| Preliminary specification | This data sheet contains preliminary data; supplementary data may be published later. |
| Product specification | This data sheet contains final product specifications. |
| Limiting values | |
| Limiting values given are in accordance with the Absolute Maximum Rating System (IEC 134). Stress above one or more of the limiting values may cause permanent damage to the device. These are stress ratings only and operation of the device at these or at any other conditions above those given in the Characteristics sections of the specification is not implied. Exposure to limiting values for extended periods may affect device reliability. | |
| Application information | |
| Where application information is given, it is advisory and does not form part of the specification. | |

15 LIFE SUPPORT APPLICATIONS

These products are not designed for use in life support appliances, devices, or systems where malfunction of these products can reasonably be expected to result in personal injury. Philips customers using or selling these products for use in such applications do so at their own risk and agree to fully indemnify Philips for any damages resulting from such improper use or sale.

16 PURCHASE OF PHILIPS I²C COMPONENTS

Purchase of Philips I²C components conveys a license under the Philips' I²C patent to use the components in the I²C system provided the system conforms to the I²C specification defined by Philips. This specification can be ordered using the code 9398 393 40011.

Remote 8-bit I/O expander for I²C-bus

PCF8574

NOTES

Remote 8-bit I/O expander for I²C-bus

PCF8574

NOTES

Remote 8-bit I/O expander for I²C-bus

PCF8574

NOTES

Philips Semiconductors – a worldwide company

Argentina: see South America

Australia: 34 Waterloo Road, NORTH RYDE, NSW 2113,
Tel. +61 2 9825 4455, Fax. +61 2 9805 4468

Austria: Computerstr. 6, A-1101 WIEN, P.O. Box 213,
Tel. +43 1 60 101, Fax. +43 1 60 101 1210

Belarus: Hotel Minsk Business Center, Bld. 3, r. 1211, Volodarski St. 6,
220050 MINSK, Tel. +375 172 200 733, Fax. +375 172 200 773

Belgium: see The Netherlands

Brazil: see South America

Bulgaria: Philips Bulgaria Ltd., Energoprojekt, 16th floor,
51 James Bourchier Blvd., 1407 SOFIA,
Tel. +359 2 689 211, Fax. +359 2 689 102

Canada: PHILIPS SEMICONDUCTORS/COMPONENTS,
Tel. +1 800 234 7381

China/Hong Kong: 501 Hong Kong Industrial Technology Centre,
72 Tat Chee Avenue, Kowloon Tong, HONG KONG,
Tel. +852 2318 7888, Fax. +852 2318 7700

Colombia: see South America

Czech Republic: see Austria

Denmark: Prags Boulevard 80, PB 1819, DK-2300 COPENHAGEN S,
Tel. +45 32 88 2636, Fax. +45 31 57 1949

Finland: Sinikalliontie 3, FIN-02630 ESPOO,
Tel. +358 9 615800, Fax. +358 9 61580000

France: 4 Rue du Port-aux-Vins, BP317, 92158 SURESNES Cedex,
Tel. +33 1 40 99 6161, Fax. +33 1 40 99 6427

Germany: Hammerbrookstraße 89, D-20097 HAMBURG,
Tel. +49 40 23 53 60, Fax. +49 40 23 536 300

Greece: No. 15, 25th March Street, GR 17778 TAVROS/ATHENS,
Tel. +30 1 4894 339/239, Fax. +30 1 4814 240

Hungary: see Austria

India: Philips INDIA Ltd., Shivsagar Estate, A Block, Dr. Anne Besant Rd.
Worli, MUMBAI 400 018, Tel. +91 22 4938 541, Fax. +91 22 4938 722

Indonesia: see Singapore

Ireland: Newstead, Clonskeagh, DUBLIN 14,
Tel. +353 1 7640 000, Fax. +353 1 7640 200

Israel: RAPAC Electronics, 7 Kehtai Saloni St, TEL AVIV 61180,
Tel. +972 3 645 0444, Fax. +972 3 649 1007

Italy: PHILIPS SEMICONDUCTORS, Piazza IV Novembre 3,
20124 MILANO, Tel. +39 2 6752 2531, Fax. +39 2 6752 2557

Japan: Philips Bldg 13-37, Kohnen 2-chome, Minato-ku, TOKYO 108,
Tel. +81 3 3740 6130, Fax. +81 3 3740 5077

Korea: Philips House, 260-199 Itaewon-dong, Yongsan-ku, SEOUL,
Tel. +82 2 709 1412, Fax. +82 2 709 1415

Malaysia: No. 76 Jalan Universiti, 46200 PETALING JAYA, SELANGOR,
Tel. +60 3 750 5214, Fax. +60 3 757 4880

Mexico: 5900 Gateway East, Suite 200, EL PASO, TEXAS 79905,
Tel. +9-5 800 234 7381

Middle East: see Italy

Netherlands: Postbus 90060, 5600 PB EINDHOVEN, Bldg. VB,
Tel. +31 40 27 82785, Fax. +31 40 27 88399

New Zealand: 2 Wager Place, C.P.O. Box 1041, AUCKLAND,
Tel. +64 9 849 4160, Fax. +64 9 849 7811

Norway: Box 1, Manglerud 0612, OSLO,
Tel. +47 22 74 8000, Fax. +47 22 74 8341

Philippines: Philips Semiconductors Philippines Inc.,
106 Valero St. Salcedo Village, P.O. Box 2108 MCC, MAKATI,
Metro MANILA, Tel. +63 2 818 8380, Fax. +63 2 817 3474

Poland: Ul. Lulieka 10, PL 04-123 WARSZAWA,
Tel. +48 22 612 2831, Fax. +48 22 612 2327

Portugal: see Spain

Romania: see Italy

Russia: Philips Russia, Ul. Usatcheva 35A, 119048 MOSCOW,
Tel. +7 095 755 6818, Fax. +7 095 755 6818

Singapore: Lorong 1, Toa Payoh, SINGAPORE 1231,
Tel. +65 360 2538, Fax. +65 261 6500

Slovakia: see Austria

Slovenia: see Italy

South Africa: S.A. PHILIPS Pty Ltd., 195-215 Main Road Marlindale
2092 JOHANNESBURG, P.O. Box 7430 Johannesburg 2000,
Tel. +27 11 470 5911, Fax. +27 11 470 5494

South America: Rua do Rodó 220, 5th floor, Suite 51,
04552-903 São Paulo, SÃO PAULO - SP, Brazil,
Tel. +55 11 821 2333, Fax. +55 11 829 1849

Spain: Balmes 22, 08007 BARCELONA,
Tel. +34 3 301 6312, Fax. +34 3 301 4107

Sweden: Kottbygatan 7, Akalla, S-16485 STOCKHOLM,
Tel. +46 8 632 2000, Fax. +46 8 632 2745

Switzerland: Allmendstrasse 140, CH-8027 ZÜRICH,
Tel. +41 1 488 2886, Fax. +41 1 481 7730

Taiwan: Philips Semiconductors, 6F, No. 96, Chien Kuo N. Rd., Sec. 1,
TAIPEI, Taiwan Tel. +886 2 2134 2870, Fax. +886 2 2134 2874

Thailand: PHILIPS ELECTRONICS (THAILAND) Ltd.,
209/2 Sanpavuth-Bangna Road Prakanong, BANGKOK 10260,
Tel. +66 2 745 4090, Fax. +66 2 398 0793

Turkey: Talatpasa Cad. No. 5, 80640 GÖLTEPE/ISTANBUL,
Tel. +90 212 279 2770, Fax. +90 212 282 6707

Ukraine: PHILIPS UKRAINE, 4 Patrice Lumumba str., Building B, Floor 7,
252042 KIEV, Tel. +380 44 264 2776, Fax. +380 44 258 0461

United Kingdom: Philips Semiconductors Ltd., 278 Bath Road, Hayes,
MIDDLESEX UB3 5BX, Tel. +44 181 730 5000, Fax. +44 181 754 8421

United States: 811 East Arques Avenue, SUNNYVALE, CA 94088-3409,
Tel. +1 800 234 7381

Uruguay: see South America

Vietnam: see Singapore

Yugoslavia: PHILIPS, Trg N. Pasica 5v, 11000 BEOGRAD,
Tel. +381 11 625 344, Fax. +381 11 635 777

For all other countries apply to: Philips Semiconductors, Marketing & Sales Communications,
Building BE-p, P.O. Box 218, 5600 MD EINDHOVEN, The Netherlands, Fax. +31 40 27 24825

Internet: <http://www.semiconductors.philips.com>

© Philips Electronics N.V. 1997

SCA55

All rights are reserved. Reproduction in whole or in part is prohibited without the prior written consent of the copyright owner.

The information presented in this document does not form part of any quotation or contract, is believed to be accurate and reliable and may be changed without notice. No liability will be accepted by the publisher for any consequence of its use. Publication thereof does not convey nor imply any license under patent- or other industrial or intellectual property rights.

Printed in The Netherlands

417057/1200/02bp24

Date of release: 1997 Apr 02

Document order number: 9397 750 01758

Let's make things better.

Philips
Semiconductors



PHILIPS