PERENCANAAN DAN PEMBUATAN MONITORING DAN KONTROLING TAMBAK UDANG MENGGUNAKAN WAP

SKRIPSI

DisusunOleh :

WAHID HADI CAHYONO

02.17.110

PROGRAM STUDI TEKNIK ELEKTRO S-1

KONSENTRASI TEKNIK ELEKTRONIKA

FAKULTAS TEKNOLOGI INDUSTRI

INSTITUT TEKNOLOGI NASIONAL MALANG

2013

LEMBAR PERSETUJUAN

PERENCANAAN DAN PEMBUATAN MONITORING DAN KONTROLING TAMBAK UDANG MENGGUNAKAN WAP

SKRIPSI

Disusun dan diajukan untuk melengkapi dan memenuhi persyaratan guna mencapai gelar Sarjana Teknik

Disusun oleh :

WAHID HADI CAHYONO
NIM : 02.17.110

Mengetahui,
Ketua Program Studi Teknik Elektro S-1

M. Ibrahim Ashari, ST, MT
NIP.P. 1030100358

Diperiksa dan Disetujui,

Dosen Pembimbing I	Dosen Pembimbing II
Joseph Dedy Irawan, ST, MT	**Sotyohadi, ST**
NIP.197404162005011002	**NIP : Y.1039700309**

JURUSAN TEKNIK ELEKTRO S-1
KONSENTRASI TEKNIK ELEKTRONIKA
FAKULTAS TEKNOLOGI INDUSTRI
INSTITUT TEKNOLOGI NASIONAL MALANG
2013

PERKUMPULAN PENGELOLA PENDIDIKAN UMUM DAN TEKNOLOGI MALANG
INSTITUT TEKNOLOGI NASIONAL MALANG
FAKULTAS TEKNOLOGI INDUSTRI
FAKULTAS TEKNIK SIPIL DAN PERENCANAAN
PROGRAM PASCASARJANA MAGISTER TEKNIK

PT.BNI (PERSERO) MALANG
BANK NIAGA MALANG

Kampus I : Jl. Bendungan Sigura-gura No.2 Telp. (0341) 551431 (Hunting). Fax. (0341) 553015 Malang 64145
Kampus II : Jl. Raya Karanglo, Km 2 Telp. (0341) 417636 Fax. (0341) 417634 Malang 64145

BERITA ACARA UJIAN SKRIPSI

FAKULTAS TEKNOLOGI INDUSTRI

Nama Mahasiswa	: Wahid Hadi Cahyono
NIM	: 02.17.110
Jurusan	: Teknik Elektro S-1
Konsentrasi	: Teknik Elektronika
Judul Skripsi	: Perencanaan Dan Pembuatan Monitoring Dan Kontroling Tambak Udang Menggunakan WAP

Dipertahankan dihadapan tim penguji skripsi jenjang Strata Satu (S-1) pada:

Hari	: Selasa
Tanggal	: 20 Agustus 2013
Dengan Nilai	: 76,55 (B+)

PANITIA UJIAN SKRIPSI

KETUA

M. Ibrahim Ashari, ST, MT.
NIP.P. 1030100358

SEKRETARIS

Dr. Eng. Aryuanto S, ST, MT.
NIP.Y. 1030800417

ANGGOTA PENGUJI

PENGUJI I

M. Ibrahim Ashari, ST, MT.
NIP. P. 1030100358

PENGUJI II

Bambang Prio Hartono, ST,MT.
NIP. Y. 1028400082

INSTITUT TEKNOLOGI NASIONAL
FAKULTAS TEKNIK INDUSTRI
JURUSAN TEKNIK ELEKTRO

Formulir Perbaikan Skripsi

Dalam pelaksanaan ujian skripsi jenjang Strata satu (S-1) Jurusan Teknik Elektro konsentrasi Teknik Komputer dan Informatika, maka perlu adanya perbaikan skripsi untuk mahasiswa :

Nama	: Wahid Hadi Cahyono
NIM	: 02.17.110
Jurusan	: Teknik Elektro S-1
Konsentrasi	: Teknik Elektronika
Masa Bimbingan	: 20 Februari 2013 s/d 20 Agustus 2013
Judul Skripsi	: Perencanaan Dan Pembuatan Monitoring Dan Kontroling Tambak Udang Menggunakan WAP

Tanggal	Uraian	Paraf
Penguji I 20 Agustus 2013	-	
Penguji II 20 Agustus 2013	Revisi alat harus jadi	

Mengetahui,

Dosen Pembimbing I

Joseph Dedy Irawan ST, MT
NIP.P.197404162005011002

Dosen Pembimbing II

Sotyohadi, ST.
NIP. Y.1039700309

Dosen Penguji,

PENGUJI I

M. Ibrahim Ashari, ST, MT.
NIP. P. 1030100358

PENGUJI II

Bambang Prio Hartono, ST,MT
NIP. Y. 1028400082

SURAT PERNYATAAN ORISINALITAS

Yang bertanda tangan di bawah ini :

Nama	:	Wahid Hadi Cahyono
NIM	:	02.17.110
Program Studi	:	Teknik Elektro S1
Konsentrasi	:	Teknik Elektronika

Dengan ini menyatakan bahwa Skripsi yang saya buat adalah hasil karya sendiri, tidak merupakan plagiasi dari karya orang lain. Dalam Skripsi ini tidak memuat karya orang lain, kecuali dicantumkan sumbernya sesuai dengan ketentuan yang berlaku.

Demikian surat pernyataan ini saya buat, dan apabila di kemudian hari ada pelanggaran atas surat pernyataan ini, saya bersedia menerima sangsinya.

Malang, 01 Juli 2013

Yang membuat Pernyataan,

Materai

Rp. 6000

Wahid Hadi Cahyono

NIM. 0217110

ABSTRAKSI

WAP (Wireless Acces Protokol) adalah system komunikasi bagi perangkat-perangkat nirkabel yang menyediakan layanan komunikasi data bagi pengguna baik dalam bentuk yang berhubungan dengan telekomunikasi maupun aplikasi-aplikasi berorientasi internet. Dengan WAp tersebut maka pengolahan tambak udang dapat lebih mudah diawasi dan dikontrol sewaktu-waktu dari jarak jauh.Pengguna cukup menjalankan aplikasi WAP tersebut untuk mengetahui keadaan tambak udang sehingga menekan resiko kegagalan dalam budidaya udang. Kecepatan koneksi internet menggunakan teknologi WAP sangat dipengaruhi oleh jangkauan dan kualitas jaringan penyedia jasa telekomunikasi di masing-masing daerah.

Kata kunci : *Wireless Acces Protocol (WAP), Monitoring dan Kontrolling, Tambak Udang.*

WAP (Wireless Acces Protocol) is a communication system for wireless devices that provide data communication services tousers in the form associated with telecommunications and Internet-oriented applications. With WAP is the management of shrimp farm can be more easly monitored and controlled at any timefrom a distance. Users simply run WAP applications to know the state of shrimp farming that reduce the risk of failure in shrimp farming.Speed internet coneenction using WAP technology greatly influenced by the range and quality of the network service provider in each region.

Keywords : *Wireless Acces Protocol (WAP), Monitring and Controlling, Shrimp Pond.*

ABSTRAKSI

WAP (Wireless Access Protocol) adalah system komunikasi bagi perangkat-perangkat nirkabel yang menyediakan layanan komunikasi dan bagi pengguna baik dalam bentuk yang berhubungan dengan telekomunikasi maupun aplikasi-aplikasi berorientasi internet. Dengan WAP tersedia suatu pengelolaan tombak sedang dapat lebih mudah dimasuki dan dikontrol sesuatu-waktu dari jarak jauh.Pengguna cukup mengunakan aplikasi WAP tersebut untuk mengelolah kondisi tombak sedang sehingga mereka tahu kegagalan dalam bidang sedang. Keuntungan konsep internet menggunakan teknologi WAP sangat dipengaruhi oleh jangkauan dan kualitas layanan penyedia jasa telekomunikasi di masing-masing daerah.

Kata Kunci : Wireless Access Protocol (WAP), Monitoring dan Kontrolling, Tombak Udang.

WAP (Wireless Access Protocol) is a communication system for wireless devices that provide data communication services usually in the form associated with telecommunications and internet-oriented applications. With WAP is the management of shrimp farm can be more easily monitored and controlled in any time from a distance. Users simply run WAP applications to know the state of shrimp farming that reduce the risk of failure in shrimp farming.So, of course connection using WAP technology greatly influenced by the range and quality of the network service provider in each region.

Keywords : Wireless Access Protocol (WAP), Monitoring and Controlling, Shrimp Pond.

KATA PENGANTAR

Puji Syukur Kehadiran Allah SWT atas berkat dan rahmat-Nya, sehingga kami selaku penyusun dapat menyelesaikan Laporan Skripsi ini yang berjudul **"PERENCANAAN DAN PEMBUATAN MONITORING DAN KONTROLING TAMBAK UDANG MENGGUNAKAN WAP"** dapat terselesaikan.

Adapun maksud dan tujuan dari penulisan laporan ini merupakan salah satu syarat untuk dapat menyelesaiakan studi dan mendapatkan gelar Sarjana Jurusan Teknik Elektro S-1, Konsentrasi Teknik Elektronika ITN Malang.

Sebagai pihak penyusun penulis menyadari tanpa adanya kemauan dan usaha serta bantuan dari berbagai pihak, maka laporan ini tidak dapat diselesaikan dengan baik. Oleh sebab itu, penyusun mengucapkan terima kasih kepada yang terhormat :

- Ir. Soeparno Djiwo, MT selaku Rektor Institut Teknologi Nasional Malang.
- Ir. Anang Subardi, MT selaku Dekan Fakultas Teknologi Industri Institut Teknologi Nasional Malang.
- M. Ibrahim Ashari, ST, MT selaku Ketua Jurusan Teknik Elektro S-1 Institut Teknologi Nasional Malang.
- Joseph Dedy Irawan, ST, MT selaku Dosen Pembimbing satu Tugas Skripsi.
- Sotyohadi, ST selaku Dosen Pembimbing dua Tugas Skripsi.
- Sahabat-sahabat dan rekan-rekan yang tidak kami sebutkan satu-persatu, kami ucapkan banyak terima kasih atas bantuannya dalam proses pembuatan Skripsi yang telah saya kerjakan, begitu juga dengan penyelesaian laporan ini.

Usaha ini telah kami lakukan semaksimal mungkin, namun jika ada kekurangan dan kejanggalan dalam penyusunan, kami mohon saran dan kritik yang sifatnya membangun. Begitu juga sangat kami perlukan untuk menambah kesempurnaan laporan ini dan dapat bermanfaat bagi rekan-rekan mahasiswa pada khususnya dan pembaca pada umumnya.

Malang, 20 Agustus 2013

Penyusun

DAFTAR ISI

LEMBAR PERSETUJUAN i

ABSTRAK ii

KATA PENGANTAR iii

DAFTAR ISI v

DAFTAR GAMBAR viii

DAFTAR TABEL x

BAB I PENDAHULUAN 1

1.1.Latar Belakang 1

1.2 Tujuan 1

1.3.Rumusan Masalah 1

1.4.Batasan Masalah 2

1.5.Metodologi 2

1.6.Sistematika Penulisan 3

BAB II LANDASAN TEORI 4

2.1.Wireles application protocol (WAP) 4

2.1.1.Komponen Arsitektur WAP 5

2.1.2.Cara Kerja WAP 6

2.1.3.Penggunnaan Teknologi WAP 7

2.1.4.Operator Seluler Penyedia WAP 9

2.2. Ponsel berbasis WAP 10

2.3 Mikrokontroler AT89S52 12

2.3.1. Definisi Pin Mikrokontroler AT89S52 14

2.3.2. Organisasi Memori 17

2.3.3. Special Function register (SFR) 20

2.3.4. Program Status Word (PSW) 21

2.3.5. Power Control Register (PCON) 21

2.3.7. B Register 22

2.3.8. Stack Pointer (SP) 22

2.4. Timer / Counter 23

2.4.1. Register TMOD 23
2.4.2. Register TCON 24
2.6.1. Metode Transmisi Data serial 29
2.6.2. Arah Pengiriman Data 31
2.6.3. Metode Komunikasi ***Simplex*** 31
2.6.4. Metode Komunikasi Half Duplex 31
2.6.5. Metode Komunikasi Full-Duplex 31
2.6.6. Kecepatan mobilitas data per-bit 32
2.6.7. Peralatan Komunikasi Serial 32
2.6.8. Baud Rate Serial 33
2.6.9. Antarmuka Serial RS – 485 Pada Personal Komputer (*PC*) 35
2.6.9.1. Sinyal Interface EIA 232 Terhadap DB9 36
2.6.10. Konverter Serial RS 232 to RS 485 39
2.6.11. Spesifikasi dari RS-485 40
2.7. IC ULN 2003 42
2.11. Konfigurasi WAP Server 50
3.1.2. Blok Diagram keseluruhan Sistem 52
BAB III PERANCANGAN DAN PEMBUATAN ALAT 51
3.1. Spesifikasi Alat 51
3.1.3. Rancangan Proses Kerja Alat 53
3.2. Perancangan Perangkat Keras (*Hadware*) 55
3.2.1. Perancangan Komunikasi data PC dengan Mikrokontroler 55
3.2.2. Perancangan Penggunaan Port pada Mikrokontroler AT89S52 57
3.2.3. Pengaturan Baud Rate 58
3.2.4. Perancangan Rangkaian Reset 60
3.2.5. Perancangan Rangkaian Driver IC ULN 2003A Pada Relay 61
BAB IV PENGUJIAN ALAT 64
4.1. Pengujian WAP Web 64
4.2. Pengujian pada Koneksi Internet 65
4.3. Pengujian pada Alat 67

BAB V PENUTUP 69
5.1. Kesimpulan 69
5.2. Saran 69
DAFTAR PUSTAKA 70

DAFTAR GAMBAR

Gambar 2.1 Blok Diagram mikrokontroler AT89S52 13
Gambar 2.2 Konfigurasi pin AT89S52 14
Gambar 2.3 Organisasi Program Memori 17
Gambar 2.4 Peta Memori RAM Internal 18
Gambar 2.5 Memori Ram Internal (RAM) dan SFR 20
Gambar 2.6 *IC MAX232 sebagai pengubah level tegangan* 28
Gambar 2.7 Komunikasi serial dengan sinyal *Sinkronisasi* 30
Gambar 2.8 Format Sinyal Serial Asinkron 30
Gambar 2.9 Hubungan Simplex 31
Gambar 2.11 Hubungan *Full-Duplex* 32
Gambar 2.12 Konektor serial DB-9 pada bagian belakang CPU 35
Gambar 2.13 Koneksi RS-232 pada mikrokontroler dan PC 38
Gambar 2.14 Bentuk Mekanis Komponen IC RS-485 42
Gambar 2.15 Bentuk Mekanis Komponen IC ULN 2003 42
Gambar 2.16 Cara Kerja Relay 43
Gambar 2.17 Relay SPST 43
Gambar 2.18 Relay SPDT 44
Gambar 2.19 Relay DPDT 44
Gambar 2.20 Ilustrasi umum Arsitektur WAP 45
Gambar 2.21 Komponen Arsitektur WAP 46
Gambar 2.22 Hirarki dalam wml 48
Gambar 2.23 Tipe MIME dan Ekstension 50
Gambar 3.1 Diagram blok system kerja alat 52
Gambar 3.2 Flowchart kerja alat 54
Gambar 3.3 Rangkaian Interfacing DB9 55
Gambar 3.5 Rangkaian Driver dengan ULN 2003 56
Gambar 3.6 Rangkaian Osilator 58
Gambar 3.7 Rangkaian Reset untuk MCU AT89S52 60
Gambar 3.8 Rangkaian driver ULN 2003 62

Gambar 3.9 Skema Penguatan ULN 2003 62
Gambar 4.1 Tampilan Xampp Kontrol Panel 63
Gambar 4.2 Tampilan WAP pada M3Gate emulator 64
Gambar 4.3 Tampilan Pengaturan Domain 65
Gambar 4.4 Tampilan Pointing Webhosting dengan Domain 65

DAFTAR TABEL

Tabel 2.1 Fungsi Khusus Port 3 16
Tabel 2.2 Register Bank 19
Tabel 2.3 Byte Special Function Register 20
Tabel 2.4 Bit Pemilih Mode Timer 24
Tabel 2.5 Spesifikasi Pin Max-232 serta kegunaannya 28
Tabel 2.6 Tabel Mode Serial dan Baudrate 33
Tabel 2.7 Fungsi masing-masing PIN DB9 36
Tabel 2.8 Konfigurasi Pin dan nama sinyal Konektor serial 38
Tabel 2.9 Addres Register RS-485 40
Tabel 2.10 Spesifikasi RS-485 41
Tabel 4.1 Hasil Pengukuran 68

BAB I
PENDAHULUAN

1.1.Latar Belakang

Perkembangan ilmu pengetahuan dan teknologi semakin cepat. Berdasarkan perkembangan teknologi ini kita harus bisa mengakses informasi dari jarak jauh. Misalkan kita ingin mengetahui kondisi suatu tempat kerja atau ruangan tanpa harus datang ke tempat kerja atau ruangan itu. Dan kita dapat mengaksesnya secara online melalui jaringan internet.

Dari gagasan tersebut diatas maka muncul pemikiran untuk membuat sistem monitoring jarak jauh yang dalam hal ini adalah monitoring tambak udang dan mencoba mengontrol keadaan tambak udang tersebut.

Sistem kendali utamanya adalah *WAP server* berbasiskan mikrokontroller, tentang digunakannya sistem kendali jarak jauh ini penulis dengan lebih leluasa mengetahui dan mengontrol kondisi dari masing- masing lampu dan motor-motor yang digunakan pada tambak udang tersebut.

1.2.Tujuan

Tujuan dari penulisan skripsi ini adalah untuk membuat suatu sistem yang terdiri atas WAP Server dan mikrokontroller untuk dapat mengetahui dan mengontrol kondisi lampu dan motor kincir air dan pemberi pakan pada tambak udang.

1.3Rumusan Masalah

Mengacu pada permasalahan yang ada, maka dalam perencanaan dan pembuatan alat ini diutamakan pada hal-hal sebagai berikut :

1. Bagaimana merencanakan dan membuat program pada WAP Server untuk mengendalikan lampu dan motor secara remote.
2. Bagaimana merencanakan dan membuat program mikrokontroller.

3. Bagaimana membuat rangkaian unit WAP Server.
4. Bagaimana membuat rangkaian driver relay yang terhubung ke lampu dan motor.

1.4.Batasan Masalah

Dalam laporan akhir "Perencanaan Dan Pembuatan Monitoring dan Kontrolling Tambak Udang", penulis akan memberikan batasan-batasan masalah agar tidak terjadi penyimpangan maksud dan tujuan utama penyusunan skripsi ini.

1. Membahas pembuatan program mikrokontroller.
2. Membahas program PC-client dengan jaringan internet.
3. Membahas mengenai pembuatan rangkaian driver relay ke lampu dan motor.
4. Tidak membahas jenis lampu dan motor yang dipakai.
5. Membahas HP Sellular yang memiliki fasilitas WAP (Wireless Aplication Protocol).

1.5.Metodologi

Metodologi penulisan yang dipakai dalam pembuatan skripsi ini.

1. Studi Literatur.
2. Perancangan dan pembuatan alat.
3. Pelaksanaan uji coba alat.
4. Penyusunan Laporan Skripsi.

Sistematika Penulisan

Penulisan skripsi ini terbagi dalam lima bab dengan sistematika sebagai berikut:

BAB I PENDAHULUAN

Berisi latar belakang tujuan, permasalahan, batasan masalah, metodologi, dan sistematika penulisan dari skripsi ini.

BAB II TEORI

Membahas teori-teori dasar penunjang yang dibutuhkan didalam perancangan dan pembuatan alat pada skipsi ini.

BABIII PERANCANGAN DAN PEMBUATAN ALAT

Membahas tentang perancangan alat baik perangkat keras maupun perangkat lunak, serta cara kerja blok diagram.

BAB IV PENGUJIAN ALAT

Mencakup pembahasan tentang proses pengujian alat yang terdiri dari peralatan yang digunakan, langkah kerja dan analisa hasil pengujian.

BAB V PENUTUP

Berisi kesimpulan dan saran.

BAB II
LANDASAN TEORI

2.1. WIRELESS APPLICATION PROTOCOL (WAP)

Wireless Application Protocol (WAP) telah menjadi standar internasional untuk menampilkan internet bergerak pada perangkat seluler. Kemunculan WAP menyebabkan lahirnya babak baru bagi pemakaian internet di seluruh dunia, yaitu internet bergerak (mobile internet).

WAP dihasilkan dari kesepakatan para ahli dan vendor telekomunikasi terkemuka di dunia yang tergabung dalam WAP forum (www.wapforum.com). WAP forum yang terbentuk pada Juli 1997 dipelopori oleh Ericsson, Motorola, Nokia, dan Phone.com dan hingga saat ini telah memiliki lebih dari 500 anggota. Versi terakhir dari WAP yang telah dihasilkan forum ini adalah WAP 1.2.1. pada Juni 2000. Hingga sekarang mereka masih mengerjakan WAP 2.0 yang berbasis pada XML dan XHTML.

Diperkenalkannya teknologi paket data, diperkirakan internet bergerak menggunakan WAP akan memiliki masa depan yang lebih menjanjikan dan dapat dimanfaatkan oleh penggunanya secara luas.

WAP dirancang pertama kali sebagai protokol komunikasi bergerak yang tidak bergantung pada perangkat dan sistem tertentu. WAP dirancang sebagai bagian dari sistem 3G di masa depan seperti halnya Bluetooh dan GPRS. WAP merupakan protokol komunikasi bergerak yang terdiri atas beberapa layer dan dapat dijalankan pada sistem jaringan apa pun yang digunakan.

Terdapat tiga latar belakang yang menjadi pertimbangan menjadikan terciptanya WAP sebagai protokol untuk komunikasi data jaringan wireless yaitu:

a. Kondisi pasar pengguna, yaitu karakter pasar yang berbeda dengan pelanggan fixed-internet. Dalam internet bergerak pengguna tidak akan melakukan surfing, dan penggunaannya akan lebih user-centric dan situation-centric di mana informasi yang disediakan dapat lebih cepat dan tepat ke sasaran.

b. Jaringan, yaitu karakter kecepatan data jaringan wireless yang rendah dan delay tinggi. Jaringan wireless juga memiliki masalah dalam jangkauan, dan untuk itu dibutuhkan infrastruktur dengan biaya tinggi untuk jangkauan hingga daerah-daerah di pedalaman.
c. Perangkat pendukung WAP, yaitu perangkat pendukung yang biasanya berkarakter tampilan layar kecil, memori kapasitas kecil, dan kekuatan prosesor yang rendah.

2.1.1. Komponen Arsitektur WAP

Berbeda dengan fixed-internet, internet bergerak menggunakan WAP memiliki arsitektur yang berbeda dengan node tambahan WAP Gateway. WAP Gateway berfungsi sebagai semacam penerjemah informasi dari content-server sebelum diteruskan kepada pengguna dengan perangkat bergeraknya. Komponen arsitektur WAP terdiri atas Mobile Client, WAP Gateway, dan Content Server (WAP Server). Secara garis besar perangkat-perangkat pendukung WAP ini bisa dijelaskan sebagai berikut:

A. Mobile Client

Pada perangkat mobile pengguna (client) terdapat aplikasi micro browser yang memiliki kesamaan fungsi seperti Internet Explorer atau Netscape Navigator seperti di PC. Micro browser ini sering disebut sebagai user agent yang berfungsi untuk memanggil objek (informasi) dari server kemudian menampilkannya pada perangkat mobile. User agent ini bisa berbeda-beda sesuai dengan rancangan dari vendor yang menciptakan perangkat yang bersangkutan.

B. WAP Gateway

WAP Gateway berfungsi sebagai penerjemah informasi dari content server untuk ditampilkan pada perangkat mobile client serta sebaliknya.

WAP Gateway juga dapat berfungsi sebagai proxy. Fungsi WAP Gateway/Proxy antara lain dapat dijabarkan sebagai berikut:

1. Sebagai interface penghubung WAP protokol dengan protokol internet.

2. Sebagai caches untuk header protokol yang memperkuat efisiensi transfer data.
3. Caching content untuk file overload dari application server
4. Domain Name Server (DNS) dari client yang akan memetakan URL ke IP address tujuan.
5. Sebagai security gateway di mana dilakukan autentikasi client/pengguna sebagai subscriber suatu layanan WAP.
6. Sebagai billing support yang menjadi tempat informasi mengenai client yang melakukan pembayaran melalui mobile-commerce.

C. Content Server (WAP Server)

Content Server disebut juga WAP Server dan di masa-masa yang akan datang akan dapat disebut pula sebagai Application Server pada saat nanti telah berkembang berbagai macam aplikasi yang mendukung WAP. Pada WAP Server terdapat fungsi untuk menyediakan file bertipe WML dan WML Script. Di server ini juga dapat dijalankan program servlets yang akan menambah kemampuan aplikasi sebagai dynamic WAP-content. Bahasa pemrograman yang dapat dipakai seperti Java, ASP, Perl, CGI, dll.

2.1.2. Cara Kerja WAP

WAP bekerja menggunakan program penjelajah mini *microbrowser*, semacam program Internet Explorer atau Netscape Navigator pada komputer. Sebuah terminal menggabungkan *microbrowser handheld device markup language* (HDML) dan *handheld device transport protocol* (HDTP). Lalu menghubungkan terminal dengan *server* lain dalam jaringan Internet. WAP *Gateway*, sebagai gerbang penghubung Internet dan ponsel akan meneruskan permintaan pengguna ponsel ke jaringan Internet dengan protokol HTTP. Filter dalam *server* WAP menerjemahkan data dari format *hypertext markup language* (HTML) menjadi *wireless markup language* (WML). Informasi terakhir ini selanjutnya dikirim dari WAP *Gateway* ke pelanggan ponsel.

Berbeda dengan Internet kabel yang berbasis HTML, WAP menggunakan basis WML. Selama ini situs berbasis WML khusus ditujukan bagi pengguna

ponsel WAP. Dibandingkan dengan HTML untuk membuat situs Internet kabel, WML lebih menekankan teks ketimbang grafis. Soalnya, WML didesain untuk ditransmisikan melalui ponsel yang memiliki *bandwidth* amat kecil, paling baik hanya 9,6 kbps (*kilobytes per second*).

Untuk membangun sebuah sistem WAP setidaknya didukung oleh lima infrastruktur: ponsel WAP, operator Global System for Mobile Communication (GSM), Internet Service Provider, WAP *gateway*, dan *content*.

2.1.3. Penggunaan Teknologi WAP

Meski ponsel WAP masih terbatas dan tekno-WAP belum sempurna, perusahaan internet mulai ramai berbisnis portal WAP. Sejumlah *content provider* bermunculan dan menawarkan beragam pilihan situs (*web-site*) yang siap diakses lewat ponsel WAP.

Singapura Telecommunication Ltd. agaknya memelopori peluncuran sarana penjelajah dunia maya Internet melalui telepon seluler WAP (*WAP-phone*). Seperti dikutip *The Straits Times* (11 Januari 2000), layanan WAP dari SingTel Mobile menyuguhkan berita dan informasi dari *content provider Yahoo!* dan *BBC*. Juga informasi keuangan (*stock and currency*), informasi umum (jadwal penerbangan, ramalan cuaca), dan informasi hiburan (bioskop, olahraga, musik, dan astrologi).

PT Kopitime Dot Com, perusahaan yang semula berbasis biro iklan, ikutan terjun ke bisnis jasa WAP dengan alamat situs www.kopitime.com. Kopitime menggandeng produsen Nokia dan Ericsson. Bekerja sama dengan Global Trade Point Network dari AS, Kopitime siap meluncurkan situs www.Kopibiz.com.

Di Indonesia, *Satunet* mengawali solusi situs berbasis WAP dengan alamat www.satuwap.com/index.wml. Fitur informasinya meliputi berita bisnis, ekonomi, olahraga, dan keuangan. Juga acara televisi atau film bioskop, musik, horoskop, hotel, restoran, kafe, kode pos, rumah sakit, apotek.

PT Ponseldirek Indotama sebagai anak perusahan Trikomsel berfokus pada B2C (*business to customer*) lewat www.WAPoke.com. WAPOke.com menghadirkan 30 fitur dari sekitar 70 fitur yang disiapkan. Fitur layanan

WAPOke meliputi INFO Oke, HIBURAN Oke, BERITA Oke, WARTA PONSEL Oke, PONSEL CLUB Oke, dan BUKU Oke. Ada E-mail Oke, SMS Oke, KAMUS Oke, PETA Oke, LALU LINTAS Oke, KOMERSIAL Oke, YELLOW PAGES Oke, dan HUMOR Oke. Dengan iming-iming gratis selama jangka waktu tertentu, WAPOke membidik pasar kawula muda.

INFO Oke menyediakan data berbagai alamat fasilitas penting di Jakarta. Hotel, SPBU, rumah sakit, apotek, jadwal kereta api/penerbangan/kapal laut. Juga informasi cuaca, harga ponsel dan mobil, serta horoskop. Menu HIBURAN Oke berisi acara bioskop, teater, alamat restoran, musik, dan gosip selebriti. Juga berita politik, bisnis, dan ekonomi (harga saham, nilai kurs mata uang asing). Fitur BUKU Oke menyajikan daftar buku baru berikut referensi singkatnya. Sementara itu, WARTAPONSEL Oke menghadirkan data terkini ponsel, aksesori, serta informasi operator ponsel dan perkembangannya. Data bisa diakses langsung lewat www.wartaponsel.com.

Untuk mengakses WAPOke.com, diperlukan ponsel GSM WAP. Untuk mengaktifkan fitur data SimCard GSM, pengguna menghubungi GSM operator, lalu melakukan registrasi ke WAPOke.com dengan mengirim formulir pendaftaran untuk mendapatkan *user name* dan *password.*

Memasuki era WAP, PT InTouch sebagai perusahaan pelayanan transmisi data nirkabel meluncurkan portal WAP *WAPIntouch*, pada April 2000. Layanannya antara lain *eNote* yang merupakan layanan *short-message-service* (SMS) untuk berkomunikasi lewat *e-mail*, faksimili dan *pager*, serta *iQuote* yang merupakan informasi finansial yang bisa diakses melalui ponsel.

Layanan *WAPIntouch* didukung oleh tiga operator GSM (Satelindo, Telkomsel, dan GSM-XL), yang melayani aplikasi WAP gratis kepada pelanggan. *WAPIntouch* juga didukung tiga *Internet Service Provider*, yakni Indonet, Centrin, dan Radnet. Mereka menawarkan satu bulan akses gratis bagi pemilik ponsel WAP yang belum memiliki akses Internet dari ketiga ISP ini.

Untuk menyajikan menu, *WAPIntouch* menggandeng lima *content provider*. Di antaranya, kelompok Bioskop 21 menyediakan jadwal pemutaran film di Bioskop 21. *User* juga dapat menggunakan fasilitas *search* untuk mencari

lokasi pemutaran film yang diinginkan. Tabloid *Bola* menyediakan hasil pertandingan bola terbaru di seluruh dunia. *Bridge* memberikan informasi data finansial. *Elexmedia* memberikan fasilitas kamus *online* dalam bahasa Inggris, Jepang, dan Belanda. *Yellow Pages* memberikan data lengkap dari buku petunjuk telepon di Indonesia lengkap dengan fasilitas *search*.

Tak ketinggalan, Astaga!com membuat Astaga!WAP. Menu Astaga!WAP antara lain Astaga!Ku, Berita, Ekonomi & Bisnis, Hiburan, Travel, Antara Kita. Astaga!Ku berupa layanan pribadi seperti *e-mail*, fasilitas Cari, Astrologi, dan Shio. Menu Berita meliputi Berita Aktual, Bisnis, Kriminal, Olahraga, Cuaca, Teknologi, dan Sehat. Tentang ekonomi dan bisnis meliputi seputar Bursa Efek Jakarta. Dalam menu ini bisa didapat informasi saham, bursa dunia, dan kurs. Menu Hiburan meliputi dunia hiburan (film bioskop, gosip, santap, dan wisata).

2.1.4. Operator Seluler Penyedia WAP

Operator GSM (Excelcomindo, Satelindo, dan Telkomsel) siap mengadopsi teknologi WAP. Excelcomindo, sejak Mei 2000 meluncurkan layanan gratis bagi pelanggannya, baik prabayar maupun pascabayar, yang ingin mencoba WAP. April 2000, Satelindo sempat melakukan uji coba terbatas akses WAP.

Untuk penyediaan WAP *content*, operator seluler harus bekerja sama dengan penyedia *content*, seperti Satuwap.com atau Astaga!WAP. PT Excelcomindo Pratama menggandeng PT Siemens Indonesia dan *content provider* Satuwap.com. Maklum saat ini operator seluler hanya sebagai pintu masuk (*gateway*) menuju *content provider*.

Excelcomindo menyediakan fasilitas mengirim dan menerima *e-mail*, fasilitas *organizer*, serta kemampuan mengakses situs WAP di Internet dengan semacam fasilitas *surf* dan *search* dari ponsel. Ponsel WAP bisa untuk membaca *e-mail*. Tapi karena keterbatasan memori, *e-mail* tidak bisa disimpan.

Untuk saat ini layanan Internet nirkabel masih terbatas pada informasi umum. Namun, tidak menutup kemungkinan operator akan mengembangkan layanan *m-commerce* (mobile commerce) sehingga *user* bisa melakukan berbagai

transaksi lewat ponsel. Misal, memesan tiket pesawat, melakukan transaksi bank, memesan kamar hotel, dll. Maraknya layanan *Internet banking* bank swasta nasional pun bisa membuka peluang berbisnis lewat Internet WAP dengan aplikasi *mobile banking*.

Kerja sama Ericsson dan GSmart.com memungkinkan pengguna Ericsson R320 mengakses situs www.GSmart.com. Ada informasi berita, indeks harga saham, mata uang asing, jawal kereta dan penerbangan, cuaca, *e-mail*, horoskop, acara TV dan film bioskop, serta agenda seni nasional. GSmart.com juga menawarkan fasilitas pembelian tiket film sekaligus pizza, misalnya. Juga ada fasilitas permainan, *chatting* lewat WAP *message board*, dan berbagai *jokes* dalam bahasa Indonesia dan Inggris. Juga fasilitas membaca *e-mail* yang dikirim ke Internet lewat WAP.

2.2. Ponsel berbasis WAP

Kehadiran teknologi WAP ditanggapi cepat banyak pihak, termasuk produsen ponsel. Perusahaan ponsel dunia berlomba-lomba menciptakan produk berfasilitas WAP (WAP *enable*). Semisal Nokia, Ericsson, Siemens, dan Motorola. Layar ponsel WAP relatif lebih lebar.

Sebagai pelopor ponsel berbasis WAP, Nokia menghadirkan Nokia 7110. Ponsel GSM ini terbilang pertama yang mengadopsi teknologi WAP. Data layanan di situs Internet, seperti berita, laporan cuaca, harga saham, *e-mail*, jadwal penerbangan, perbankan, dan perdagangan elektronik dapat diakses. Berikutnya meluncurkan Nokia 6250, 6210, dan 9110i Communicator. Produk yang disebut terakhir ini merupakan ponsel WAP yang bisa untuk kantor bergerak (*mobile office*).

Tidak ketinggalan, Motorola menyusul lewat produk seri L708+ yang menawarkan fasilitas akses informasi lewat jaringan Internet melalui *service provider* dan operator jaringan. Belakangan Motorola menjagokan konsep baru *WEB W/O WIRES* atau *web without wires*. Konsep ini didukung dengan produk Motorola berbasis WAP, yakni Accompli A6188, Timeport P7689, Timeport P1088, L708e, L-Series, V-Series v2288, dan Takabout T2288. Motorola v8088 sebagai ponsel WAP terkecil dan teringan (79 g). Sedangkan Motorola A6188

yang hampir selebar telapak tangan merupakan ponsel WAP berlayar sentuh. Pengguna tidak perlu repot memencet tombol ponsel, cukup menyentuh layar untuk mengeja pesan.

Di Indonesia, Motorola bekerja sama dengan operator seluler GSM Excelcomindo, Telkomsel, dan Satelindo. Sehingga pelanggan bisa mengakses SatuWAP, AstagaWAP, dan *city info*. Juga bisa mengakses mymotorola.com yang berisi beberapa *content* terkemuka dunia, seperti Amazon, informasi hiburan Digital Bridge, berita *Reuters*, saham Street.com, informasi travel dari WorldSpan, cuaca dari Accuweather, dan olahraga dari Sport.com.

Beberapa situs internet yang digandeng Motorola, antara lain www.amazon.co.uk, www.accuweather.com, www.ajaxo.com,www.agentgo.com, www.airflash.com,www.ents24.com,www.barpoint.com,www.digitalbridges.com, www.newsalert.com, www.newswire.com, www.reuters.com, www.golfserv.com. Semua alamat itu dapat diakses dengan ponsel Motorola berbasis WAP.

Belakangan Ericsson R320s mengklaim menyajikan layanan WAP *content* terlengkap. Dengan modul modem dan sinar inframerah, serta kemampuan menampilkan lima baris teks huruf Romawi atau tiga baris aksara Cina, produk ini menawarkan tampilan layar LCD cukup besar. R320S juga dilengkapi *built-in* WAP *browser*.

Sementara Siemens meluncurkan produk seri Siemens C35, S35, dan M35. Perbedaan seri produk menunjukkan urutan kelas penggunanya, yakni *social centric*, *businessman*, hingga pekerja lapangan.

Layanan situs Internet nirkabel memang menjanjikan. Hanya saja layanannya belum sebaik layanan Internet kabel. Dengan tampilan situs berukuran mini (selebar layar *handphone*) otomatis fitur yang muncul didominasi ikon-ikon kecil. Di samping layar *display* kecil, memori dan CPU juga kecil, serta *input method* terbatas.

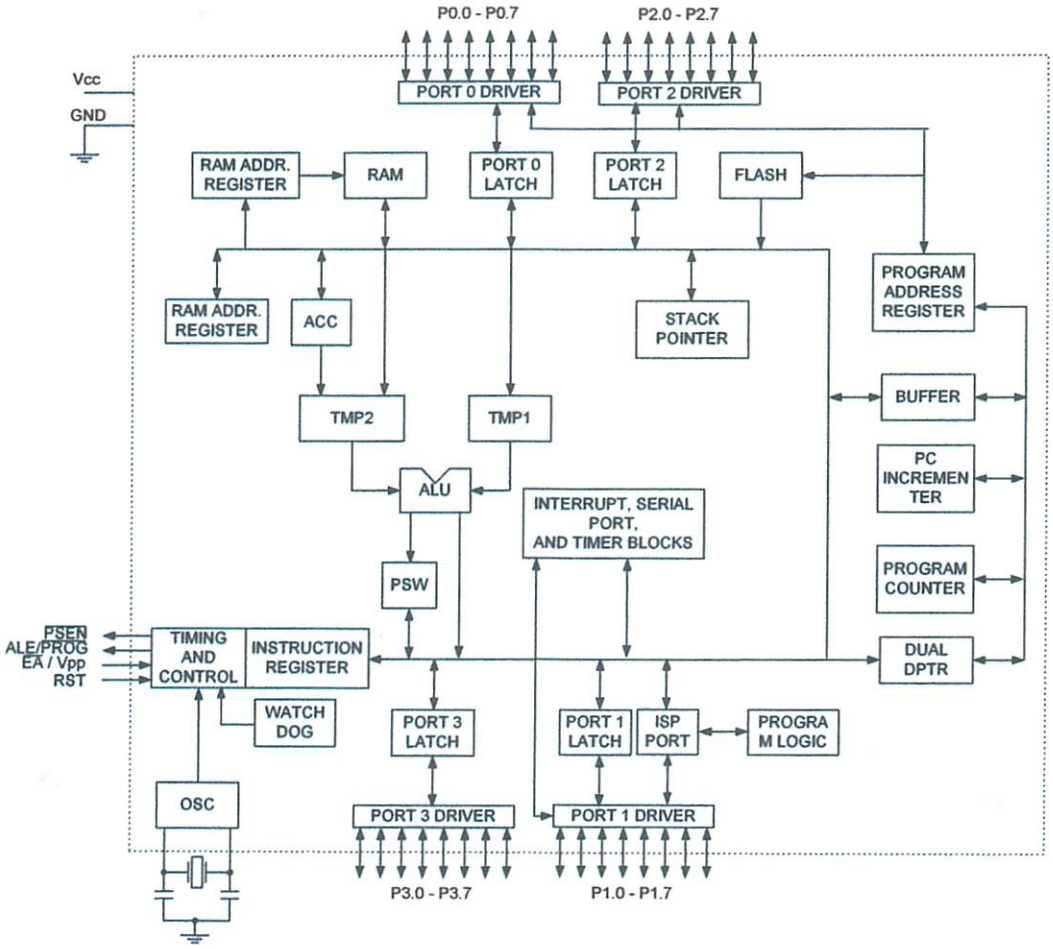
Adakalanya mutu koneksi ponsel WAP di lapangan kurang baik. Faktor yang mempengaruhinya antara lain, *network busy* (banyaknya pemakai ponsel dalam radius tertentu), kualitas sinyal, *interference* (pengguna bergerak, ada objek besar lewat, bangunan, dll), *blank spot*, dll.

2.3. Mikrokontroler AT89S52

Mikrokontroler AT89S52 merupakan IC mikrokontroller dengan konsumsi daya rendah dengan performansi tinggi dan kompatibel dengan produk MCS-52, memiliki struktur sebagai berikut :

1. 8 bit CPU (central processing unit)/merupakan mikrokontroller 8 bit.
2. 8 Kbyte Flash Programmable And Erasable Read Only Memory (PEROM).
3. 128 x 8 bit Internal RAM.
4. 32 pin I/O yang tersusun dalam 4 port (P0, P1, P2, P3) dengan setiap port terdiri dari 8 bit.
5. Memiliki 6 sumber interupsi.
6. 2 Timer/Counter (T0 dan T1).
7. Full Duplex serial port yang dapat diprogram.
8. On Chip Oscillator.
9. Watchdog Timer
10. Dual data pointer.
11. Flexible ISP Programming.

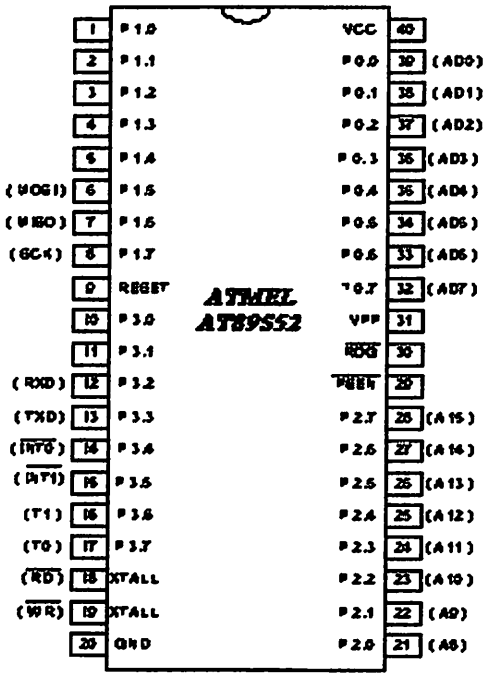
Secara lengkap struktur dari mikrokontroller AT89S52 dapat ditunjukan pada gambar berikut :



Gambar 2-1 Blok Diagram Mikrokontroler AT89S52
Sumber :Data Sheet AT89S52

2.3.1. Definisi Pin Mikrokontroler AT89S52

Mikrokontroler AT89S52 memiliki 40 Pin yang didefinisikan seperti pada gambar 2-5 berikut :



Gambar 2-2 Konfigurasi pin AT89S52
Sumber :Data Sheet AT89S52

1. Vcc : Catu daya (supply tegangan).
2. Gnd : Ground.
3. Port 0 : Port 0 merupakan port 8 bit yang bersifat open drain dua arah. Sebagai port keluaran, tiap pin dapat menerima 8 masukan TTL. Saat logika 1 dituliskan pada port, pin port dapat digunakan sebagai masukan dengan impedansi tinggi.

4. Port 1 : Port ini merupakan port I/O biderectional dengan internal pull-up. Out put port ini dapat mendayai atau menerima 4 masukan TTL. Jika suatu logika 1 dituliskan pada port ini, maka port akan dibuat tinggi oleh *pull-up* internal dan dapat digunakan sebagai masukan. Pada saat sebagai port masukan, port ini akan dibuat rendah dan port ini akan mendayai karena adanya *pull-up* internal.

5. Port 2 : Port ini merupakan port I/O biderectional dengan internal pull-up. Penyangga pada port ini mampu menangani 4 masukan TTL. Jika logika 1 dituliskan pada port ini, maka port akan dibuat tinggi oleh *pull-up* internalnya.

6. Port 3 : Port ini merupakan port I/O bidirectional dengan internal pull-up. Out put port ini dapat mendayai atau menerima 4 masukan TTL. Jika suatu logika 1 dituliskan pada port ini, maka port akan dibuat tinggi oleh *pull-up*. Selain sebagai port parallel port ini juga mempunyai fungsi khusus yaitu yang ditunjukkan pada tabel berikut.

Tabel 2-1 Fungsi khusus Port 3

Port Pin	Fungsi Khusus
P3.0	RXD (masukan port serial (UART))
P3.1	TXD (keluaranan port serial (UART))
P3.2	INT0 (masukan interupsi luar 0)
P3.3	INT1 (masukan interupsi luar1)
P3.4	T0 (masukan luar Timer / Counter 0)
P3.5	T1 (masukan luar Tmer)
P3.6	WR (pulsa penulisan data memori luar)
P3.7	RD (pulsa pembacaan memori luar)

7. Reset : Masukan untuk reset. Suatu logika high selama dua siklus pada pin reset akan menyebabkan terjadinya proses reset.

8. ALE : *Addres Latch Enable* merupakan suatu pulsa keluaran untuk mengaitkan (*Latch*) byte bawah dari alamat selama mengakses memori luar.

9. PSEN : *Program Store Enable* adalah pulsa pengaktif untuk membaca program memori luar. Saat Mikrokontroller melaksanakan instruksi dari program memori luar, PSEN akan diaktifkan dua kali siklus mesin, kecuali pada saat mengakses data memori luar.

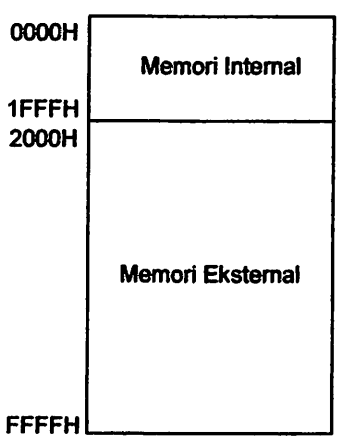
10. EA/VPP : *External Access Enable*. EA harus dihubungkan dengan ground jika ingin mengakses dari program memori luar dengan alamat 0000H sampai FFFFH. EA harus dihubungkan ke V_{CC} jika menggunakan program memori internal.

11. XTAL1 : Masukan untuk penguat inverting oscillator dan masukan rangkaian clock internal.

12. XTAL2 : Keluaran dari penguat inverting osilator.

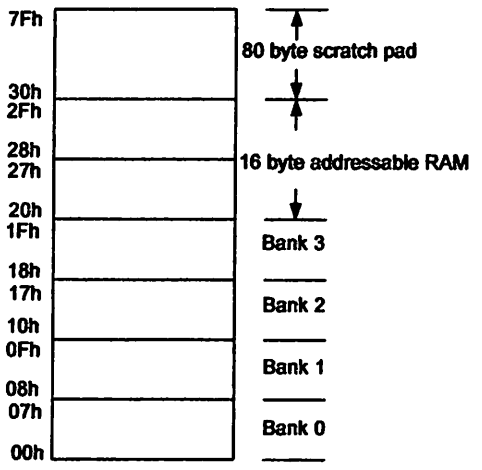
2.3.2. Organisasi Memori

Didalam Mikrokontroler AT89S52 telah dibedakan antara program memori dan data memori. Untuk program memori AT89S52 mempunyai Flash memori internal (PEROM) dengan kapasitas 4 Kbyte, kapasitas ini bisa dinaikkan menjadi maksimal 64 Kbyte dengan menambah memori eksternal. Secara otomatis Mikrokontroler akan mengakses memori eksternal jika alamat progam (*address*) melebihi alamat 0FFFh. Organisasi memori AT89S52 dapat dilihat pada gambar berikut :



Gambar 2-3 Organisasi Program memori
Sumber :Data Sheet AT89S52

Sedangkan untuk data memori AT89S52 memiliki RAM internal yang berkapasitas 128 byte, kapasitas ini dapat dinaikkan menjadi maksimal 64 Kbyte dengan menambah memori eksternal. Data memori dibagi menjadi dua bagian yaitu register khusus yang digunakan oleh mikrokontroler (SFR) dan register yang dapat dipakai oleh pengguna. RAM (*Random Access Memor*) merupakan memori yang bersifat mudah terhapus isinya jika aliran listrik diputus, karena itu RAM tidak digunakan untuk menyimpan program tetapi untuk menyimpan data sementara. Peta dari RAM internal pada MCS-52 dapat ditunjukan pada gambar sebagai berikut :



Gambar 2-4 Peta memori RAM internal
Sumber :Data Sheet AT89S52

Pada gambar diatas terlihat bahwa RAM internal 128 byte terbagi menjadi beberapa bagian. Untuk alamat bawah yang pertama yaitu 00h sampai 7Fh sebanyak 128 byte yang terbagi dalam tiga besar berdasarkan kegunaanya yaitu :

a. Register Bank 0 – 3

- Lokasi register bank dimulai dari 00h – 1Fh terdiri dari 32 byte.

- Register bank ini terdiri dari empat buah register 8 bit yang dapat dipilih melalui pengaturan RS0 dan RS1 yang merupakan bit ke 3 dari program status word register.

b. Bit Addressable

- Lokasi register ini dimulai dari 20h – 2Fh
- Register ini bersifat *Addressable*, artinya bahwa perubahan dapat dilakukan per bit, tidak perlu per byte (8 bit). Fitur ini sangat berguna untuk meng-on-off kan suatu bit. Lokasi ini juga dapat dialamati secara langsung untuk 128 byte yang tersedia.

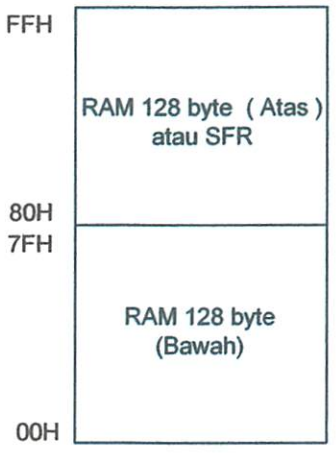
c. Scratch Pad

Lokasi register ini dimulai dari 30h-7Fh yang digunakan untuk keperluan apa saja termasuk untuk alokasi stack pointer.

Tabel 2-2 Register Bank

RS0	RS1	Register Bank	Address
0	0	0	00H - 07H
0	1	1	08H - 09H
1	0	2	10H - 17H
1	1	3	18H - 1FH

Setelah RAM 128 byte yang pertama, diatasnya diletakkan alamat untuk SFR (*Special Function Register*), perlu diingat bahwa RAM 128 byte atas sama dengan alamat SFR yaitu 80H – FFH, seperti ditunjukan pada gambar berikut :



Gambar 2-5 Memori internal (RAM) dan SFR
Sumber :Data Sheet AT89S52

2.3.3. Special Function register (SFR)

SFR merupakan register dengan fungsi khusus. SFR pada mikrokontroler MCS-52 memiliki alamat 80H-FFH sehingga terdapat 128 lokasi untuk alamat SFR. Dari alamat-alamat ini hanya beberapa saja yang digunakan oleh SFR.

Tabel 2-3 Byte Special Function Register

Simbol	Nama	Address
ACC	Accumulator	0E0H
B	B Register	0F0H
PSW	Program status Word	0D0H
SP	Stack Pointer	81H
DPTR	Data Pointer	
DPL	Low Byte	82H
DPH	High Byte	83H
P0	Port 0	80H
P1	Port 1	90H
P2	Port 2	0A0H
P3	Port 3	0B0H
IP	Interrupt Priority Control	0B8H
IE	Interrupt Enable Control	0A8H
TMOD	Timer/Counter Mode Control	89H
TCON	Timer/Counter Control	88H
TH0	Timer/Counter 0 High Control	8CH
TL0	Timer/Counter 0 Low Control	8AH

2.3.4. Program Status Word (PSW)

Program status word berguna untuk memilih bank memori yang aktif, selain itu PSW juga memiliki kegunaan yang lain. Kegunaan lain itu dapat dilihat dari masing-masing bit penyusun PSW. PSW ini bersifat *bit-addressable* artinya bit-bitnya masing-masing dapat dirubah tanpa harus merubah satu kesatuan byte. Berikut adalah bit-bit penyusun PSW :

Posisi	PSW.7	PSW.6	PSW.5	PSW.4	PSW.3	PSW.2	PSW.1	PSW.0
Bit	CY	AC	F0	RS1	RS0	OV	-	P

Keterangan :

Bit CY : Bit Carry Flag

Bit AC : Bit Auxiliary Carry Flag

Bit F0 : Flag 0 untuk kegunaan umum

Bit RS1 : Bit pemilih bank memori

Bit RS0 : Bit pemilih bank memori

Bit OV : Bit Overflow Flag

Bit PAW.1 : Bit didefinisikan pemakai

Bit P : Bit Parity. Menunjukan jumlah bit 1 pada accumulator

2.3.5. Power Control Register (PCON)

Register Power Control beralamat di 87H berguna untuk mengatur kebutuhan daya mikrokontroler. Dengan adanya register pengatur daya ini memungkinkan mikrokontroler ke mode "*idle*" atau "*sleep*" yang mana akan menghemat pemakaian daya. Selain itu ada bit-bit pada register PCON ini untuk mengatur Baud Rate pada serial port. Bit-bit pada PCON adalah sebagai berikut :

MSB							LSB
SMOD	-	-	-	GF1	GF0	PD	IDL

Keterangan :

Bit SMOD : Digunakan untuk membuat dobel (2 kali) baud rate pada timer 1

Bit - : Tidak digunakan, untuk pengembangan selanjutnya

Bit GF1 : Bit Flag serbaguna

Bit GF0 : Bit Flag serbaguna

Bit PD : Bit power down. Bila berlogika 1 mode power down aktif

Bit IDL : Bit idle mode. Aktif jika berlogika 1

2.3.6 .A Accumulator

Dari namanya dapat diketahui bahwa fungsi dari accumulator adalah pengumpul. SFR. Register ini merupakan register yang banyak dipakai. Untuk semua operasi aritmatika biasanya menggunakan/melibatkan accumulator. Alamat dari accumulator adalah E0H.

2.3.7. B Register

B Register beralamat di F0H. Register ini digunakan untuk operasi perkalian dan pembagian. Contoh instruksi yang menggunakan register ini adalah:

Mul AB ; kalikan isi pada accumulator dan pada B register

Div AB ; membagi isi accumulator dengan isi B register, accumulator akan berisi hasil bagi dan B register akan berisi sisa pembagian.

2.3.8. Stack Pointer (SP)

Stack pointer adalah penunjuk stack yang memiliki alamat di 81H. Isi register ini mengindikasikan dimana nilai selanjutnya yang harus diambil oleh stack pada RAM internal. Jika anda memasukan (*PUSH*) suatu nilai ke stack, maka nilai tersebut akan dituliskan pada alamat SP+1 (alamat SP ditambah satu). Jika SP berisi 07H kemudian suatu instruksi *PUSH* dijalankan, maka nilai yang

dimasukan akan dituliskan pada alamat 08H. Nilai default untuk stack pointer adalah berada pada alamat 07H.

2.3.9. Data Pointer (DPTR)

Data Pointer (DPTR) yang berukuran 16 bit terdiri dari dua register yaitu DPL (*Data Pointer Low byte*) yang beralamat di 82H dan DPH (*Data Pointer High byte*) yang beralamat di 83H. Data Pointer digunakan untuk membentuk alamat berukuran 16 bit untuk mengakses memori luar.

2.4. Timer / Counter

Pada mikrokontroler keluarga MCS-52 terdapat dua buah Timer/Counter. Dengan adanya timer/counter menambah fungsionalitas dari mikrokontroler ini. Sebagaimana peralatan lain pada mikrokontroler ini, timer/counter juga diatur oleh SFR (*Special Function Register*) yaitu Timer/Counter Control (TCON alamat 88H), dan Timer/Counter Mode Control (TMOD alamat 89H). Selain itu nilai byte bawah dan byte atas dari Timer/Counter disimpan dalam register TL dan TH. Jika difungsikan sebagai timer maka akan menggunakan sistem clock sebagai sumber masukan pulsanya, kemudian jika difungsikan sebagai counter (penghitung) maka akan menggunakan pulsa dari eksternal sebagai masukan pulsanya. Sebagaimana diketahui port 3 pada fungsi khususnya terdapat T0 (masukan luar untuk Timer/Counter 0) dan T1 (masukan luar untuk Timer/Counter 1).

2.4.1. Register TMOD

Register TMOD dibagi menjadi 2 bagian secara simetris, yaitu bit 0 – 3 register TMOD (TMOD bit 0..TMOD bit 3) dipakai untuk mengatur timer 0, dan bit 4 sampai 7 register TMOD (TMOD bit 4..TMOD bit 7) dipakai untuk mengatur timer 1, susunan bit dapat dilihat dibawah ini :

MSB							LSB
Timer/Counter 1				Timer/Counter 0			
GATE	C/T	M1	M0	GATE	C/T	M1	M0

Keterangan :

Bit GATE = Jika bit ini diset timer akan berjalan hanya jika INT1 (P3.3) sedang tinggi. Jika bit ini diclear timer akan berjalan tanpa mempertimbangkan kondisi INT1.

Bit C/T = Saat bit ini diset timer akan menghitung kejadian pada T1 (P3.5) sebagai fungsi counter. Jika bit ini diclear maka timer akan menghitung tiap siklus mesin (sebagai fungsi timer).

Bit M0 dan M1 bit mode Timer/Counter

Tabel 2-4 Bit pemilih mode timer

M1	M0	Timer Mode	Keterangan
0	0	0	13 bit timer
0	1	1	16 bit timer
1	0	2	8 bit auto reload
1	1	3	split mode

2.4.2. Register TCON

Register TMOD dibagi menjadi 2 bagian secara simetris, bit 0 sampai 3 register TMOD (TMOD bit 0 .. TMOD bit 3) dipakai untuk mengatur Timer 0, bit 4 sampai bit 7 register TMOD (TMOD bit 4 .. TMOD bit 7) dipakai untuk mengatur timer 1, susunan bit dapat dilihat dibawah ini :

MSB							LSB
bit 7	bit 6	bit 5	bit 4	bit 3	bit2	bit 1	bit 0
TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0

Keterangan :

Bit (7) TF1 = Timer 1 overflow, diset oleh Mikrokontroler jika hitungan timer 1 melimpah (overflow).

Bit (6) TR1 = Timer 1 Run, jika bit ini diset maka timer 1 on, jika bit ini diclear maka timer 1 off.

Bit (5) TF0 = Timer 0 overflow, bit ini diset oleh mikrokontroler saat timer 0 melimpah.

Bit (4) TR0 = Timer 0 Run, jika bit ini diset maka timer 0 on, jika diclear maka timer 0 off.

Bit (3) IE1 = Interupt 1 edge flag. Diset oleh hardware jika sisi suatu sela luar terdeteksi. Diclear jika instruksi RET1 dijalankan.

Bit (2) IT1 = Interupt 1 type. Berhubungan dengan sela luar 1. Fungsinya sama dengan IT0.

Bit (1) IE0 = Interupt 0 edge flag. Diset oleh hardware jika sisi suatu sela luar terdeteksi. Diclear jika instruksi RET1 dijalankan.

Bit (0) IT0 = Interupt 0 type. Sela luar 0 diterima melalui bit 2 pada port 3. Jika bit ini diset, maka INT0 dikenali pada sisi turun sinyal. Jika bit ini diclear maka suatu sela akan dikenali pada saat suatu sinyal low.

2.5. Metode Pengalamatan

Metode pengalamatan dengan menggunakan bahasa pemrograman assembler pada mikrokontroler keluarga MCS-52 adalah sebagai berikut :

a. Pengalamatan Tak Langsung

Operand pengalamatan tak langsung menunjuk ke arah sebuah register yang berisi lokasi alamat memori yang akan digunakan di dalam operasi. Lokasi

yang nyata tergantung pada isi register saat instruksi dijalankan. Untuk melaksanakan pengalamatan tak langsung digunakan simbol @.

```
ADD A,@R0        ; Tambahkan isi RAM yang lokasinya
                 ; ditunjukan oleh register R0 ke Accumulator
DEC @R1          ; Kurangi satu isi Ram yang alamatnya
                 ; oleh register R1
MOVX @DPTR,A     ; Pindahkan isi dari accumulator ke memori luar
                 ; yang lokasinya ditunjukkan oleh data pointer
```

b. Pengalamatan Langsung

Pengalamatan langsung dilakukan dengan memberikan nilai ke suatu register secara langsung. Untuk melaksanakannya digunakan tanda #.

```
MOV A,#01H       ; Isi accumulator dengan bilangan 01H.
MOV DPTR,#20CDH ; Isi register DPTR dengan bilangan 20CDH.
```

Pengalamatan data langsung dari 0 sampai dengan 127 akan mengakses RAM internal, sedangkan pengalamatan dari 128 sampai 255 akan mengakses register perangkat keras.

```
MOV P3,A         ; Pindahkan isi accumualtor ke alamat data.
B0H              ; ( B0H adalah alamat port 3 ).
INC 60           ; Naikkan lokasi 60 (desimal) menjadi bernilai high.
```

c. Pengalamatan Bit.

Pengalamatan bit adalah penunjukan alamat lokasi bit baik dalam lokasi RAM internal (byte 32 sampai 37) maupun bit perangkat keras. Untuk melakukan pengalamatan bit digunakan simbol titik (.),

SET P1.3 ; Ubah bit ke 3 pada port 1 menjadi bernilai high

d. Pengalamatan Kode

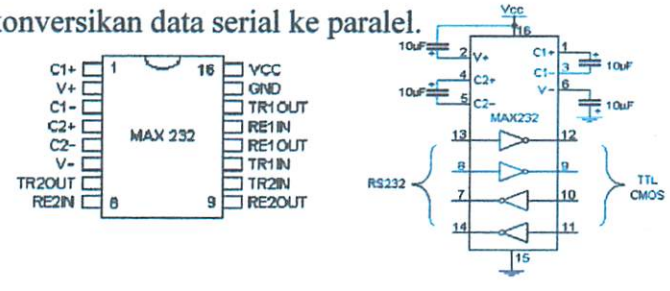
Terdapat tiga macam yang dibutuhkan dalam pengalamatan kode, yaitu relative jump, in-block jump atau call dan long jump.

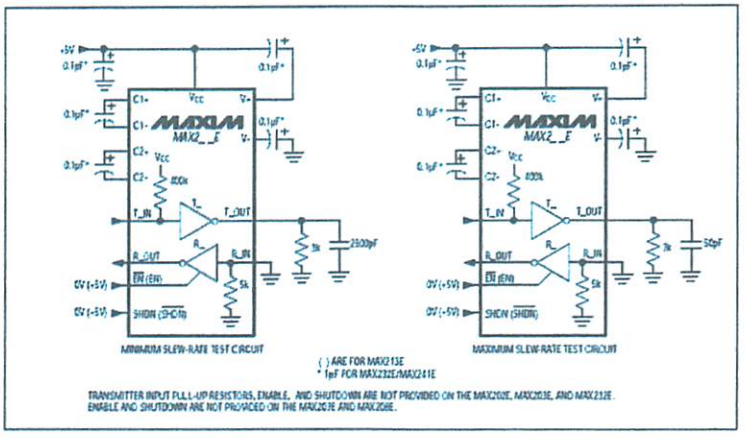
2.6. Komunikasi Serial

Yang dimaksudkan dengan komunikasi serial ialah pengiriman data secara serial yakni data dikirim satu per-satu secara berurutan, sehingga komunikasi serial jauh lebih lambat dari pada komunikasi paralel. Serial *port* lebih sulit ditangani karena peralatan yang dihubungkan ke serial *port* harus berkomunikasi menggunakan transmisi serial sedangkan data di komputer diolah secara paralel. Oleh karena itu data ke serial port harus dikonversikan kebentuk paralel untuk bisa digunakan.

Kelebihan komunikasi serial ialah jangkauan panjang kabel yang lebih jauh dibandingkan paralel karena serial *port* mengirimkan logika 1 dengan kisaran tegangan (-3 hingga -25 *volt*) dan logika 0 sebagai (+3 hingga +25 *volt*) sehingga kehilangan daya karena panjangnya kabel bukan masalah utama.

Sedangkan TTL bekerja pada level tegangan -5 s/d +5 Volt. Piranti tambahan yang kita butuhkan adalah IC MAX232. Pada dasarnya IC ini hanya digunakan sebagai pengubah level tegangan ke level *Transistor Transistor Logic* (TTL), tidak berfungsi sebagai pengkodean sinyal yang melewati RS232 dan juga tidak mengkonversikan data serial ke paralel.





Gambar 2.6 *IC MAX232 sebagai pengubah level tegangan*[5]

Sumber: Data Sheet max-232

Tabel 2-5.

Spesifikasi Pin MAX-232 serta kegunaannya[5]

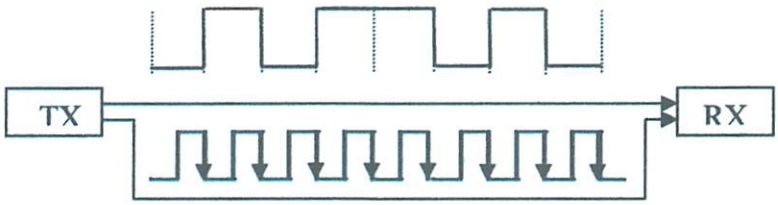
PIN	NAMA PIN	FUNGSI
1	C1+	Kapasitor *eksternal* '+' untuk *internal voltage doubler*
2	V+	Secara *internal* menghasilkan tegangan +10 volt
3	C1-	Kapasitor *eksternal* '-' untuk *internal voltage doubler*
4	C2+	Kapasitor *eksternal* '+' membalikkan tegangan *internal*
5	C2-	Kapasitor *eksternal* '-' membalikkan tegangan *internal*
6	V-	Secara *internal* menghasilkan tegangan -10 volt
7	$T2_{OUT}$	RS-232 *Transmitter* 2 dengan keluaran ±10 volt
8	$R2_{IN}$	Masukan RS232 *receiver* 2 dengan *resistor pulldown* 5K *internal* ke GND
9	$R2_{OUT}$	Keluaran *receiver* 2 TTL/CMOS

10	$T2_{IN}$	Masukan *transmitter* 2 TTL/ACMOS, dengan *resistor pullup* 400K *internal* ke Vcc
11	$T1_{IN}$	Masukan *Transmitter* 1 TTL/CMOS, dengan *resistor pullup* 400K *internal* ke Vcc
12	$R1_{OUT}$	Keluaran *receiver* 1 TTL/CMOS
13	$R1_{IN}$	Masukan RS232, dengan *resistor pulldown* 5K *internal* ke GND
14	$T1_{OUT}$	RS232 *transmitter* 1 dengan keluaran ±10V
15	GND	Ground
16	VCC	*Power Supply* positif +5V

2.6.1. Metode Transmisi Data Serial

Dalam komunikasi secara serial terdapat dua macam mode transmisi data serial dalam mentransmisikan bit-bit data harus ada sinkronisasi atau penyesuaian data antara pengirim dan penerima agar data yang dikirimkan dapat diterima dengan baik, antara lain yaitu sebagai berikut:

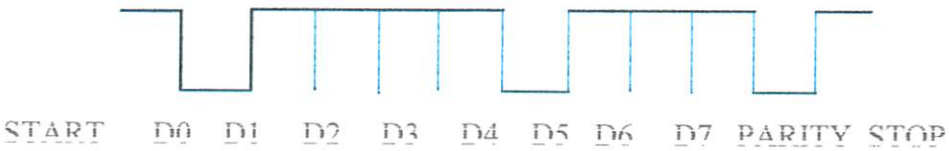
- *Komunikasi Serial Synchronous* adalah komunikasi dimana hanya ada satu pihak (pengirim atau penerima) yang menghasilkan *clock* dan mengirimkan *clock* tersebut bersama-sama dengan data. Berikut model komunikasi *Serial Synchronous.*



Gambar 2-7. Komunikasi serial dengan sinyal *Sinkronisasi*[5]

Setiap TX mengirimkan Dx atau bit ke x dari satu *byte* data akan diikuti dengan sinyal sinkronisasi yang berupa sinyal transisi dari rendah ke tinggi atau tinggi ke rendah. RX akan mengetahui bahwa dijalur data ada data milik Dx, sesuai dengan banyaknya sinyal sinkronisasi yang diterima, saat sinyal sinkronisasi pertama data milik D0, kedua milik D1dan seterusnya.

- *Komunikasi Serial Asynchronous* serial adalah komunikasi dimana kedua pihak (pengirim dan penerima) masing-masing menghasilkan *clock* namun hanya data yang ditransmisikan tanpa *clock* agar data yang dikirim sama dengan data yang diterima, maka kedua frekuensi *clock* harus sama terdapat sinkronisasi. Berikut bentuk komunikasi *Serial Asynchronous*.



Gambar 2-8. Format Sinyal Serial Asinkron[5]

Cara kedua dengan komunikasi *asinkron*, yaitu dengan menetapkan kecepatan bit dengan menyisipkan beberapa bit protokol, yaitu bit *START*, *PARITY* bit dan *STOP* seperti diperlihatkan pada gambar diatas.

2.6.2. Arah Pengiriman Data

Dikenal tiga macam arah pengiriman data, yaitu *Simplex, Half Duplex,* dan *Full Duplex.*

2.6.3. Mode Komunikasi *Simplex*

Merupakan sistem pemindahan data yang hanya dengan satu arah saja, misalnya dari A sebagai pengirim dan B sebagai penerima, dan tidak dapat mengirimkan data dari B ke A. Dalam komunikasi pengirim dan penerima adalah permanen.

Gambar 2.9. Hubungan Simplex

2.6.4. Mode Komunikasi Half Duplex

Merupakan sistem pemindahan data dua arah, tetapi tidak dapat dilakukan secara bersamaan, harus bergantian sebagai penerima atau sebagai pengirim data seperti yang ditunjukkan pada gambar berikut:

Gambar 2.10. Hubungan *Half-duplex*

2.6.5. Mode komunikasi Full-Duplex

Merupakan sistem pemindahan data dua arah dan dapat berlangsung secara bersamaan dalam satu waktu. Mode komunikasi *full duplex* dilakukan dalam dua arah yang terjadi secara bersamaan seperti ditunjukkan pada gambar dibawah ini.

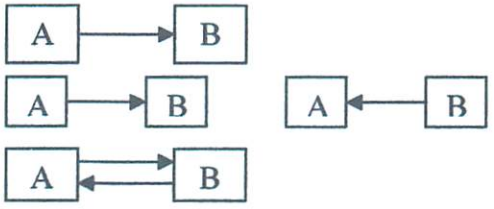
Gambar 2.11. Hubungan *Full-Duplex*

Untuk lebih jelasnya, dapat dilihat pada gambar berikut :

a. Komunikasi data *Simplex*

b. Komunkasi data *Half Duplex*

c. Komunikasi data *Full Duplex*



2.6.6. Kecepatan mobilitas data per-bit

Laju baud rate dalam kanal komunikasi merupakan laju tercepat dari pemindahan bit, laju pemindahan bit kanal jaringan biasanya lebih rendah dari laju baud rate. Keterlambatan tersebut karena bit ekstra ditambahkan untuk keperluan pewaktuan.

Dalam sistem kecepatan tinggi pemindahan data juga diperlambat oleh penundaan aktif proses pengolahan data serial dapat dimobilisasikan pada berbagai baud rate. Baud rate yang digunakan dalam teknik komunikasi sinyal *sinkronisasi* data serial 9600 bps. Terdiri dari 7 bit dan 8 bit (panjang data karakter saja).

2.6.7. Peralatan Komunikasi Serial

Perangkat keras pada komunikasi serial *port* dibagi menjadi dua kelompok, yaitu *Data Communication Equipment (DCE)* dan *Data Terminal Equipment (DTE).* DTE ialah terminal di komputer. RS232 sebagai komunikasi serial mempunyai 9 pin yang memiliki fungsi masing-masing. Pin yang biasa digunakan

adalah pin 2 sebagai *received data*, pin 3 sebagai *transmited data*, dan pin 5 sebagai *ground signal*. Karakteristik elektrik dari RS232 adalah sebagi berikut :

- *Space (logic 0)* mempunyai level tegangan sebesar +3 s/d +25 Volt.
- *Mark (logic 1)* mempunyai level tegangan sebesar -3 s/d -25 Volt.
- Level tegangan antara +3 s/d -3 Volt tidak terdefinisikan.
- Arus yang melalui rangkaian tidak boleh melebihi dari 500 mA., ini dibutuhlan agar sistem yang dibangun bekerja dengan akurat.

Tabel 2.6.

Tabel Mode Serial dan *Baudrate*[5]

MODE	*BAUDRATE*	
0	1/12 f_{osc}	
1	SMOD = 0	SMOD = 1
	$Baudrate = \frac{fosc}{12 \times (256 - TH1) \times 32}$	$Baudrate = \frac{fosc}{12 \times (256 - TH1) \times 16}$
2	1/32 f_{osc}	1/32 f_{osc}
3	$Baudrate = \frac{fosc}{12 \times (256 - TH1) \times 32}$	$Baudrate = \frac{fosc}{12 \times (256 - TH1) \times 16}$

Sumber : www.delta-electronics.com

2.6.8. Baud Rate Serial

Baud rate dari Port Serial AT89S52 dapat diatur pada Mode 1 dan Mode 3, namun pada Mode 0 dan Mode 2, baud rate tersebut mempunyai kecepatan yang permanen yaitu untuk Mode 0 adalah 1/12 frekwensi osilator sedangkan Mode 2 adalah 1/64 frekwensi osilator. Dengan mengubah bit SMOD yang terletak pada

Register PCON menjadi set (kondisi awal pada saat sistem reset adalah clear) maka *baud rate* pada Mode 1, 2 dan 3 akan berubah menjadi dua kali lipat.

Pada Mode 1 dan 3 baud rate dapat diatur dengan menggunakan Timer1. Cara yang biasa digunakan adalah Timer Mode 2 (8 bit auto reload) yang hanya menggunakan register TH1 saja. Pengiriman setiap bit data terjadi setiap Timer 1 *overflow* sebanyak 32 kali sehingga dapat disimpulkan bahwa:

- Lama pengiriman setiap bit data = Timer 1 Overflow X 32
- Baud rate (jumlah bit data yang terkirim tiap detik)

Apabila diinginkan *baud rate* 9600 bps maka timer 1 harus diatur agar *overflow* setiap Timer 1 overflow setiap kali TH1 mencapai nilai limpahan (*overflow)* dengan frekwensi sebesar f /12 atau periode 12/f. Bit SMOD pada Register PCON, apabila bit ini set maka faktor pengali 32 akan berubah menjadi 16. Oleh karena itu dapat disimpulkan formula untuk *baud rate* serial untuk Mode 1 dan Mode 3 dalam sistem transmisi data menggunakan *Baud rate* 9600 bps maka perhitungan pada transmisi data sebagai berikut:

$$\text{Baudrate} = \frac{2^{SMOD}}{32} \times \frac{\text{Frequensi Osilator}}{12\,[\,256-(TH1)]}$$

$$9600 \text{ bps} = \frac{2^1}{32} \times \frac{11{,}0592.10^6}{12\,[\,256-(TH1\,)]}$$

$$[\,256-(TH1\,)] = \frac{2^1}{32} \times \frac{11{,}0592.10^6}{12 \times 9600}$$

$$[\,256-(TH1\,)] = \frac{2^1}{32} \times \frac{11{,}0592.10^6}{12 \times 9600}$$

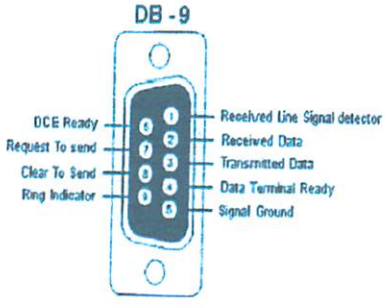
$$[\,256-(TH1\,)] = 3$$

$$TH1 = 256-3$$

$$TH1 = 253 \text{ atau } 0FDH$$

2.6.9. Antarmuka Serial RS - 485 Pada Personal Komputer (*PC*)

Pada *Personal Komputer* terdapat antarmuka serial yang mengikuti standar antarmuka RS-232 menggunakan rangkaian terintegrasi UART (*Universal Asyncronous Reciever/ Transmitter*). Personal Komputer dapat mempunyai beberapa antarmuka serial, dua diantaranya yang paling penting adalah *primary asynchronous communication adaptor* yang disebut COM 1 dan *secondary asynchronous adaptor* yang disebut COM 2. Standar ini menggunakan beberapa piranti dalam implementasinya adalah plug DB9 untuk RS232 biasanya dipakai untuk serial port pada komputer port mouse dan modem.



Gambar 2.12. Konektor serial DB-9 pada bagian belakang CPU

Keterangan fungsi saluran RS-232 pada konektor DB-9 adalah sebagai berikut:

- *DCE ready,* merupakan sinyal aktif yang menunjukan bahwa DCE sudah siap
- *Clear to Send,* dengan saluran ini DCE diminta untuk mengirim data oleh DTE
- *Ring Indikator,* pada saluran ini DCE memberitahukan ke DTE bahwa sebuah stasiun menghendaki hubungan denganya.
- *Receiver Line Signal Detect,* dengan saluran tersebut DCE memberitahukan ke DTE bahwa pada terminal masukan ada data masuk

- *Receiver Data*, digunakan pada saat menerima data dari DCE
- *Data Terminal Ready*, pada saluran ini DTE memberitahukan kesiapan terminalnya
- *Transmit Data*, digunakan DTE pada saat mengirimkan data ke DCE
- *Signal Ground*, merupakan saluran ground.

Tabel 2.7.

Fungsi masing-masing pin DB9[5]

RS232 Pin Assignments (DB9 PC signal set)	
Pin 1	*Received* Line Signal Detector (Data Carrier Detect)
Pin 2	*Received* Data
Pin 3	Transmit Data
Pin 4	Data Terminal Ready
Pin 5	Signal Ground
Pin 6	Data Set Ready
Pin 7	Request To Send
Pin 8	Clear To Send
Pin 9	Ring Indicator

Sumber: *Data Sheet max-232*

2.6.9.1 Sinyal Interface EIA 232 Terhadap DB9

Sinyal yang dikeluarkan oleh komputer secara DCE maupun DTE adalah:

- RLSD (Received Line Signal Detect1): Dengan saluran DCE memberitahukan ke DTE bahwa pada terminal masukan terdapat data yang masuk.

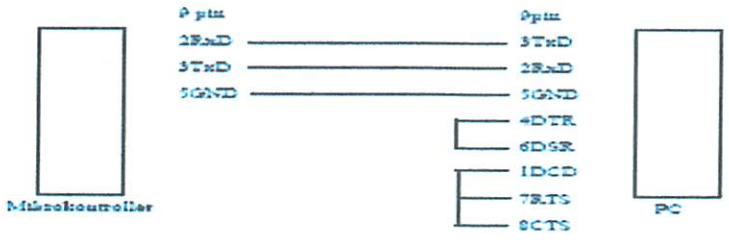
- RXD (Received Data): Sinyal yang digunakan DTE untuk menerima data dari DCE.
- TXD (Transmitted Data): Sinyal yang digunakan DTE untuk mengirim data ke DCE.
- DTR (DataTerminal *Ready*): Sinyal yang digunakan oleh PC untuk memberitahukan kepada DE bahwa PC siap menerima data dari DCE.
- Signal Ground (GND): Saluran ke bagian tanah / ground.
- DSR (Data Set Ready): Sinyal aktif pada saluran menunjukan bahwa DTE sudah siap.
- RTS (Request To Sead): Sinyal ini digunakan oleh PC untuk memberitahukan kepada DCE bahwa PC akan mengirim data dan apabila DE dalam kondisi siap maka modem akan memberikan sinyal CTS
- CTS (Clear To Sead): Sinyal yang dikirim oleh DCE untuk memberitahukan pada PC bahwa data boleh untuk dikirim
- RI (Ring Indikator): Pada saluran ini DCE memberitahukan kepada DCE bahwa station menghendaki hubungan denganya.

Komunikasi antara PC dengan mikrokontroler adalah komunikasi serial dimana menggunakan serial RS-232 sebagai konnektor interface. Pada mikrokontroler terdapat parameter setup windows yang harus diset sesuai dengan parameter MS Comm. Parameter-parameter tersebut antara lain:

- Transmission Speed : Pilih 9600

- Data Length : Pilih 8 bit sebagai bit data
- Stop bit : Pilih 1
- Parity Check : Pilih NONE
- Flow control : Pilih NONE

Untuk melakukan pengiriman data ke mikrokontroler maka untuk RS-232 sebagai konnektor interfacenya hanya menggunakan 3 pin saja



Gambar 2.13. Koneksi RS-232 pada mikrokontroller dan PC

Tabel 2.8.

Konfigurasi pin dan nama sinyal konektor serial

Nomor Pin	Nama Sinyal	Direction	Keterangan
1	DCD	In	Data Carrier Detect/Receiver Line Sinyal Detect
2	RXD	In	Receiver Data
3	TXD	Out	Transmit Data
4	DTR	Out	Data Terminal Ready
5	GND	-	Ground
6	DSR	In	Data Set Ready
7	RST	Out	Request to Send
8	CTS	In	Clear to Send
9	RI	In	Ring Indicator

2.6.10. Konverter Serial RS 232 to RS 485

Standar RS-485 yang diterapkan oleh Electronik Industry Association (EIA) dan Telecomunication Association (TIA) pada tahun 1983 sehingga standar RS 485 hanya membicarakan karakteristik sinyal dalam transmisi data secara *balanced digital multipoint sistem.* Sistem komunikasi dengan menggunakan RS 485 digunakan untuk komunikasi data antara 32 unit peralatan elektronik hanya dalam dua kabel saja. Selain itu, jarak komunikasi dapat mencapai 1,6 km dengan digunakannya kabel AWG-24 twisted pair.

RS232 yang hanya mampu membentuk jaringan *one to one* , menjadi mampu untuk dikembangkan ke sistem jaringan *one to many* dengan menggunakan kabel RS485 dengan tetap menggunakan terminal RS232 tanpa harus mengganti terminal RS232 menjadi terminal RS485

Dengan saluran sejauh 4000 *feet* dan kecepatan ≤1 megabit/detik. RS485 menggunakan saluran ganda (*Differensial atau Urbalancced transmition)* transmisi saluran ganda memakai satu pasang kabel untuk mengirim sinyal informasi logika yang ditransmisikan dari beda tegangan dengan 2 saluran yang bersifat berlawanan, satu kabel bertegangan tinggi.

Maka kabel yang lain bertegangan rendah, sedangkan rangkaian penerima sinyal membandingkan tegangan kedua kabel saluran dengan level logika pada bagian output ditentukan oleh kabel posistif. Jadi jauh lebih sederhana penggunaanya dibandingkan dengan standar RS232 yang mencakupi ketentuan tentang karakteristik sinyal, serta konfigurasi sinyal pada kaki konektor dan juga tata cara pertukaran informasi antara komputer dengan alat pelengkap lainya.

Meskipun demikian saluran ganda tidak dipakai untuk mentransmisikan banyak saluran, mengingat RS485 dapat menggunakan saluran *half duplex* yaitu saluran dua arah secara bergantian untuk menghubungkan line *receivers* menjadi satu sistem sebagai komunikasi *Multidroop (Multi Comunicattion)* biasa digunakan untuk menyediakan *signal* serial yang kuat pada *boudraet* yang tinggi dalam lingkungan listrik yang berpotensi menimbulkan *noise* atau interferensi elektromagnetik yang tinggi.

2.6.11. Spesifikasi dari RS-485

Tabel 2-9.

Address Register RS-485[5]

Nama Register	COM1	COM2
TX Buffer (Transmit Buffer)	03F8H	02F8H
RX Buffer (Receive Buffer)	03F8H	02F8H
Baud rate devisor latch LSB	03F8H	02F8H
Baud rate devisor latch MSB	03F9H	02F9H
Interrupt Enable Register	03F9H	02F9H
Interrupt identification Register	03FAH	02FAH
Line Control Register	03FBH	02FBH
Modem Control Register	03FCH	02FCH
Line Status Rgister	03FDH	02FDH
Modem Status Register	03FEH	02FEH

Sumber: Data Sheet max- RS-485

Fungsi dari beberapa Address Register diantaranya adalah sebagai berikut:

a) TX *buffer* : menampung dan menyimpan data yang akan dikirim keluar. Data ini dikirim oleh CPU ke TX *buffer* setelah mengecek kepastian tentang diperbolehkannya melakukan pengiriman.

b) RX *buffer* : menampung dan menyimpan data yang diterima dari luar. data itu harus dibaca oleh CPU setelah mengecek kepastian tentang masukannya data.

c) *Baud rate devisor last significant bit*: menampung angka byte bobot rendah untuk pembagi clock yang akan dimasukkan agar didapat baudrate yang diplih. Angka pembagi dapat dipilih antara 01H hingga FFH.

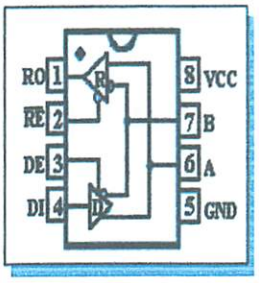
d) *Baud rate devisor most significant bit*, menampung angka *byte* bobot tinggi untuk pembagi *clock* yang akan dimasukkan agar didapat *baud rate* yang dipilih. Angka pembagi dapat dipilih antara 00H hingga FFH.

Tabel 2.10

Spesifikasi RS-485

Keistimewaan	Karakteristik
Jenis operasi	*Differential* (seimbang)
Jenis penggerak dan Penerima per jalur	1 *driver* 32 *receiver*
Data rate maksimum	10 Mbps
Panjang saluran maksimum	4000 ft (1200 m)
Tegangan keluaran penggerak	± 1,5 volt
Sensitivitas penerima	± 200 mV

Sumber : *Anonymous* , 2000

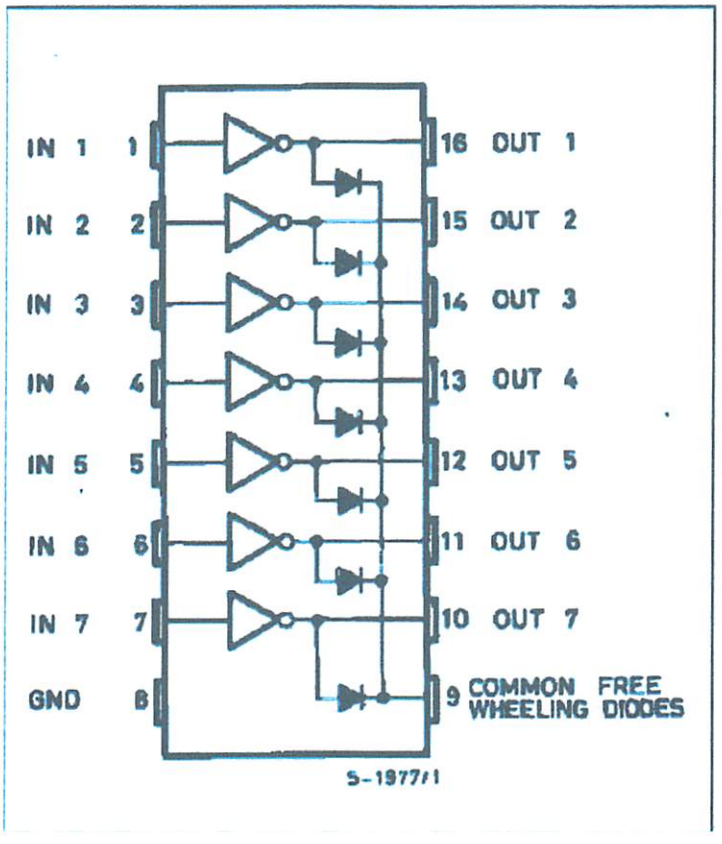


Gambar 2.14 Bentuk Mekanis Komponen IC RS-485[5]

Sumber: *Anonymous* , 1996:7

2.7. IC ULN 2003

IC ULN 2003 adalah komponen elektronika yang didalamnya terdapat tujuh rangkaian darlington yang berfungsi sebagai driver untuk rangkaian motor atau relay.



Gambar 2.15 Bentuk Mekanis Komponen IC ULN 2003

Sumber : Datasheet ULN 2003

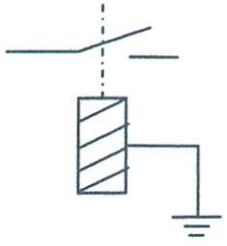
2.8. Relay

Relay adalah komponen elektronika yang terdiri dari sebuah lilitan kawat (kumparan/koil) yang terlillit pada sebuah besi lunak. Jika kumparan dialiri arus listrik maka inti besi akan menjadi magnet dan menarik pegas sehingga kotak AB terhubung dan BC terputus.

Gambar 2.16 Cara Kerja Relay

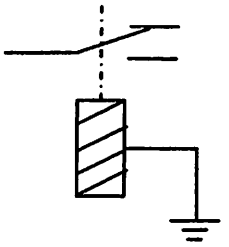
Relay merupakan suatu alat untuk menghubungkan atau memutuskan kontak antara komponen yang satu dengan yang lain. Dalam memutus atau menghubungkan kontak antara komponen yang satu dengan yang lain yaitu kontak digerakkan oleh fluksi yang ditimbulkan dari adanya medan magnet listrik yang dihasilkan oleh kumparan yang melilit pada besi lunak. Ada beberapa macam relay antara lain:

- SPST (Single Pin Single Terminal)



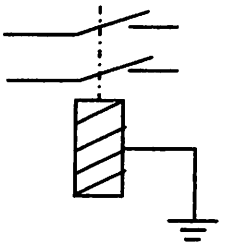
Gambar 2.17 Relay SPST

- SPDT (Single Pin Dual Terminal)



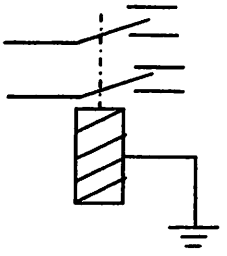
Gambar 2.18 Relay SPDT

- DPST (Dual Pin Single Terminal)



Gambar 2.18 Relay DPST

- DPDT (Dual Pin Dual Terminal)



Gambar 2.19 Relay DPDT

Relay yang umum digunakan saat ini adalah relay jenis elektro mekanis yang terdiri atas kumparan sistem yang jika mendapat bias arus akan dapat mengendalikan kontak penghubung. Kontak yang ada pada relay ada dua macam yaitu:

1.Kontak Terbuka (Normaly Open)

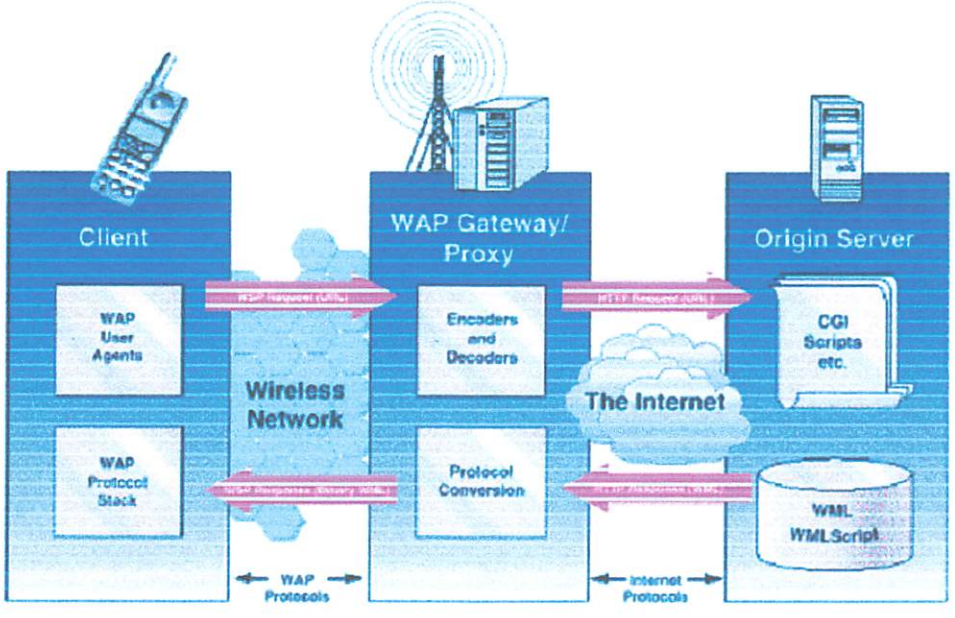
Adalah relay yang tidak bekerja apabila kontaknya terbuka.

2.Kontak Tertutup (Normaly Close)

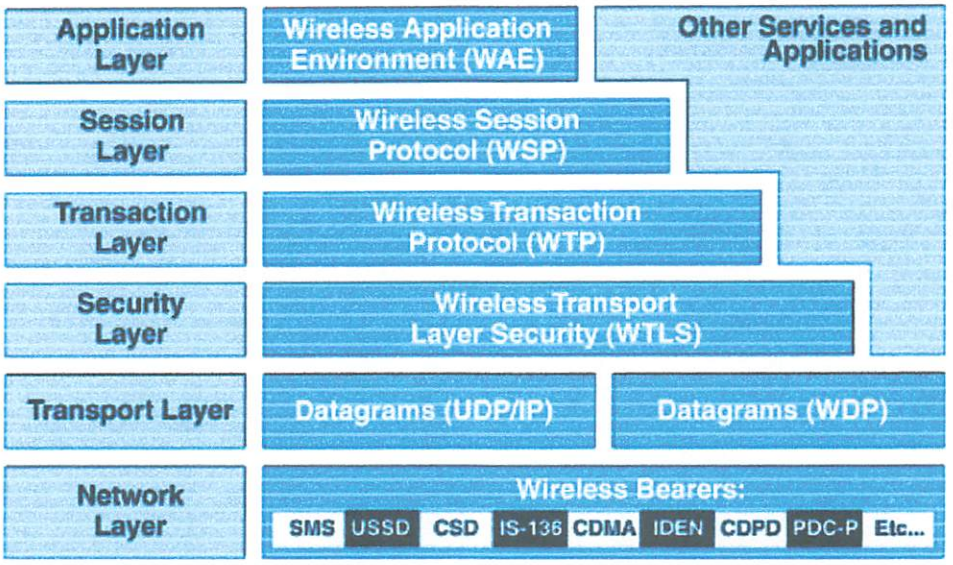
Adalah relay yang akan bekerja apabila kontaknya terhubung.

2.9. Konsep Model Jaringan Pada Teknologi WAP

Protokol dapat didefinisikan sebagai suatu cara atau aturan yang dibakukan untuk melakukan komunikasi antara satu peralatan jaringan (bisa berupa komputer, switch, hub,dan lain-lain) dengan peralatan jaringan lainnya.Setiap protokol yang dibuat untuk aplikasi jaringan biasanya mengikuti standar untuk mendesainnya. Desain atau standar protokol tersebut dinamakan arsitektur protokol yang ditetapkan secara internasional oleh ISO (International Standard Organization). Arsitektur tersebut dinamakan Open System reference Standard Architecture (OSI Reference Model).



Gambar 2.20 Ilustrasi umum Arsitektur WAP



Gambar 2.21. Komponen Arsitektur WAP

Arsitektur dari WAP ini tidak jauh beda dengan konsep protokol jaringan yang terdiri atas tujuh layer yang berfungsi untuk mendefinisikan tahapan–tahapan dalam desain protokol. Tahapan – tahapan dalam arsitektur dari WAP itu sendiri terdiri atas :

✓ **Wireless Aplication Environment (WAE)**

Wireless Aplication Environment ini memiliki fungsi dasar untuk menggabungkan World Wide Web (WWW) dengan telepon seluler. Objek pokok yang diterapkan WAE ini adalah mengatur operasi – operasi yang ditetapkan oleh operator dan penyedia layanan untuk membangun aplikasi dan layanan yang dapat diraih melalui platforms wireless yang berbeda sehingga menghasilkan efisiensi dan data yang berhasil guna. WAE ini berisi Micro Browser yang berfungsi sebagai :

Pendukung WML (Wireless Markup Language) hampir sama dengan HTML, namun bahasa ini dikhususkan untuk mobile terminals. Pendukung WMLscript, hampir sama dengan JavaSript. Pendukung antar muka pemograman dan layanan telephony yang dapat berisi format data, images gambar, informasi kalender, dan phone book.

✓ **Wireless Session Protokol (WSP)**

WSP ini berfungsi sebagai pembuka atau mengakhiri suatu suatu koneksi jaringan. WSP terbagi atas dua session. Pertama adalah connection– oriented, yaitu koneksi yang mengkhususkan untuk berinteraksi dengan operasi yang terjadi pada Transaction Layer Protocol (WTP). Kedua adalah koneksi yang berhubungan dengan keamanan data, yaitu Wireless Datagram Protocol I (WDP). Selain hal-hal diatas WSP ini juga mendukung :

- Fungsi dari HTTP/ 1.1 dan pengkodean data.
- Memerikasa data yang reliable dan yang unreliable.
- Mengontrol waktu pengaksesan data.

✓ **Wireless Transaction Protocol (WTP)**

Wireless Transaction Protocol ini berfungsi memeriksa format data, konversi data dan pengkodean yang akan ditransmisikan, misalnya :

- Memeriksa kebenaran antar user.
- Memeriksa nomor pesan yang dikirim.
- Mensinkronkan data transaksi.

✓ **Wireless Transport Layer Security (WTLS)**

WTLS adalah protokol untuk keamanan data yang disesuaikan oleh standar industri Transport Layer Security (TLS) yang mendukung Secure Sockets Layer (SSL). WTLS ini ditujukan pada penggunaan aplikasi WAP yang terdiri atas beberapa bagian :

- Integritas data, yaitu yang menyangkut kebenaran isi pesan.
- Privacy, yaitu yang menyangkut kerahasian data, artinya data yang dikirimkan tidak bisa dimengerti oleh orang lain yang tidak berkoneksi dengan si pengirim.
- Authentication, yaitu menyangkut kebenaran jati diri seseorang. Denial–of–service protection, yaitu menyangkut pemeriksaan dan pembuktian pengamanan data yang valid.

✓ **Wireless Datagram Protocol (WDP)**

Wireless Datagram Protocol ini merupakan kelanjutan dari WTLS yang mampu berkomunikasi dengan bearer. Bertugas mentransmisikan data dalam format biner melalui media gateway, serta mendefinisikan pengelamatan jaringan yang akan dikenali oleh bearer.

✓ **Bearers**

Bearer ini terdiri dari data switch,short message,dan data paket yang memiliki fungsi untuk melakukan transfer data dari suatu unit informasi yang berisi alamat dan melakukan pemeriksaan error dan penundaan transfer hingga proses benar.

✓ **Others Services and Aplications**

Selain dari layer–layer diatas, pendukung aplikasi lainnya merupakan program aplikasi jaringan, seperti e-mail, notepad, phone book, kalender, e-commerce, mobile banking, dan lain-lain.

2.10. Bahasa Pemrograman Pada WAP

- **Struktur WML**

Secara umum beberapa perintah WML terlihat mirip dengan HTML. Namun terdapat perbedaaan dalam struktur penulisan dokumen WML. Jika sebuah dokumen HTML hanya terdiri atas dua bagian utama, yaitu header dan body, dokumen WML mempunyai header, template (optional), dan beberapa body yang disebut dengan cards. Susunan dokumen secara lengkap ini disebut dengan deck.Sama seperti halnya HTML, untuk menyususun dokumen WML diperlukan kode khusus yang dinamakan dengan tag. Berikut susunan hirarki dalam WML yang ditunjukkan pada gambar dibawah ini.

Ganbar 2.22. Hirarki dalam wml

- **Cara Menuliskan WML**

Cara Menuliskan Program WML memang agak sedikit berbeda dengan HTML.Yang membedakan hanyalah pengenal bahwa script tersebut adalah program WML. Hal tersebut mirip dengan program HTML yang setiap kali menuliskan scriptnya harus menggunakan tag <HTML> dan diakhiri dengan tag </HTML>.

Begitu juga dengan WML untuk menuliskannya kita dapat memulainya dengan tag <WML> dan diakhiri dengan tag </WML>. Program WML ditulis kedalam versi XML, sehingga setiap kali menuliskan harus mendeklarasikan kedalam bentuk XML. Hal tersebut merupakan kewajiban, apabila tidak maka Emulator atau Hand Phone tidak dapat mengenalinya. Struktur Penulisan Program WAP dapat digambarkan sebagai berikut :

```
<?xml version="1.0"?>
<!-- created by WAPtor (http://www.wapdrive.net/) -->
<!DOCTYPE wml PUBLIC"-//WAPFORUM//DTD WML 1.1//EN"
"http://www.wapforum.org/DTD/wml_1.1.xml">
<wml>
<!-- THIS IS THE FIRST CARD IN THE DECK -->
<card id="MainCard" title="This is a first card">
<p align="center">
.................Isi Program WAP ........................
</p>
</card>
</wml>
```

2.11. Konfigurasi WAP Server

Agar browser dapat menampilkan dokumen WML dengan benar, maka web server yang sudah di instal harus diatur konfigurasinya. Konfigurasi untuk mengatur cara menangani dokumen dari server yang diminta dari browser disebut dengan MIME (Multipurpose Internet Mail Extension).WAP juga mempunyai tipe MIME yang khusus yang harus ditambahkan dalam konfigurasi MIME, sehingga ponsel dapat mengkases dokumen WAP di server. Tipe MIME yang digunakan oleh WAP adalah sebagai berikut :

Deskripsi File	Extension	MIME Type
WML Source	.wml	Text/vnd.wap.wml
Wireless Bitmap	.wbmp	Image/vnd.wap.wbmp
WML Script Source	.wmls	Text/vnd.wap.wmls
Compiled WML	.wmlc	Aplication/vnd/wap.wmlc
Compiled WML Script	.wmlsc	Aplication/vnd/wap.wmlscriptic
WML Script	.wsc	Text/vnd.wap.wmlscript
WML Script	.wmlscript	Text/vnd.wap.wmlscript

Gambar 2.23. Tipe MIME dan Ekstension

BAB III

PERANCANGAN DAN PEMBUATAN ALAT

Pada bab ini akan dibahas mengenai peralatan yang direncanakan dan akan direalisasikan sebagaimana fungsinya. Adapun perencanaan dan pembuatan alat meliputi : perencanaan dan pembuatan perangkat keras serta perencanaan dan pembuatan perangkat lunak secara garis besarnya.

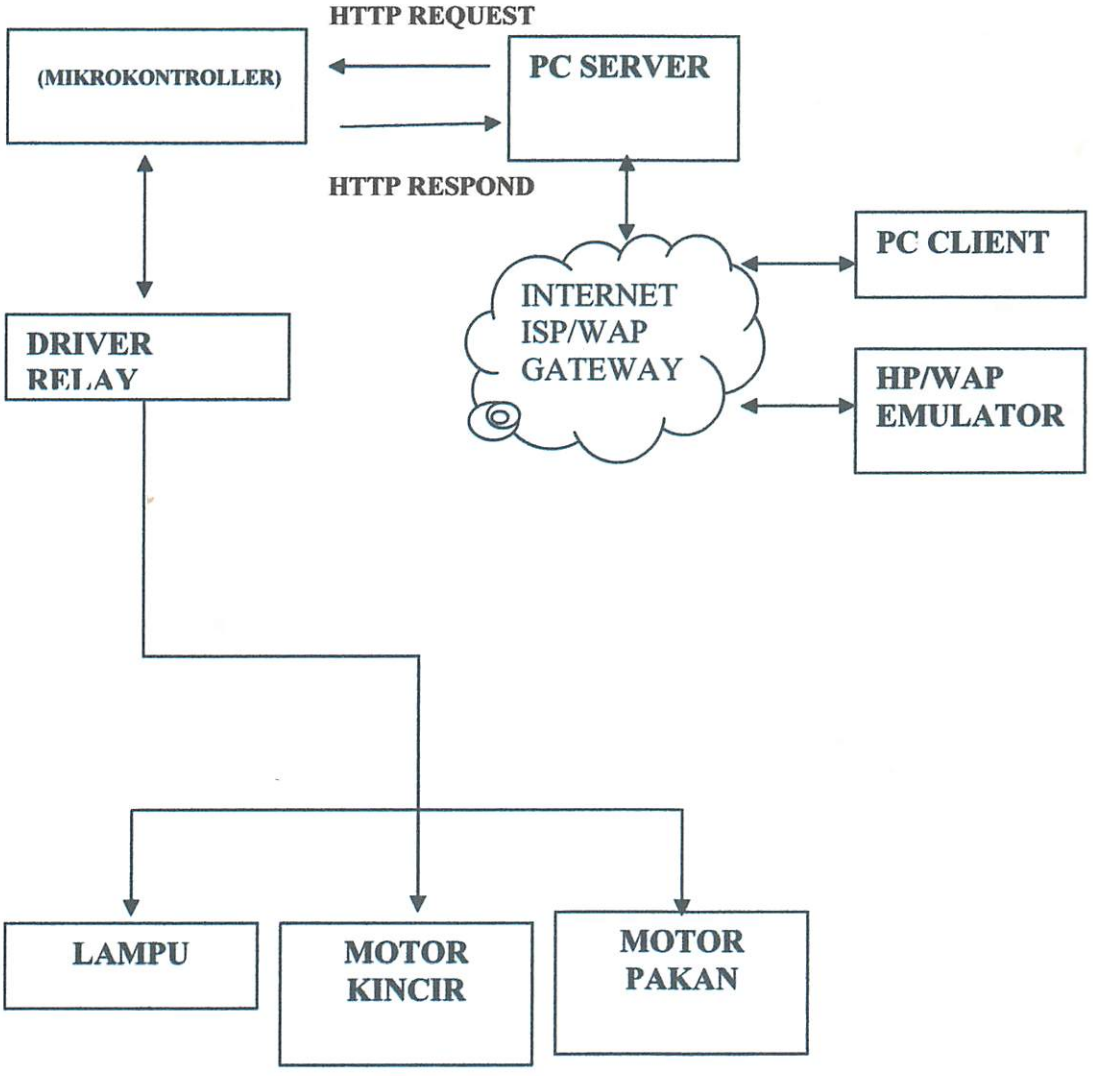
3.1. Spesifikasi Alat

Spesifikasi "Alat Monitoring dan Kontroling Tambak Udang Menggunakan WAP" adalah sebagai berikut :

1. Alat ini menggunakan minimum sistem AT89S52 sebagai pengontrol utama.
2. Menggunakan PC (Personal Computer) sebagai tampilan WAP (Wireless Aplication Protocol) site.
3. Menggunakan Delphi 7 sebagai interfacing dengan minimum system AT89S52 dengan WAP sites dan database.
4. Menggunakan database MySQL yang aktif bila dijalankan di Apache Server sebagai keamanan dalam penggunaan alat tersebut.
5. Menggunakan RS 232 dan RS 485 untuk hubungan komunikasi antara minimum system AT89S52 dengan PC(Personal Computer).
6. Menggunakan IC ULN 2003 sebagai driver relay dan lampu.

3.1.2. Blok Diagram Keseluruhan Sistem

Perancangan dan pembuatan alat agar dapat dilakukan secara sistematis dan terstruktur maka perlu dibuat blok diagram yang menjelaskan dari sistem yang dirancang. Secara garis besar sistem perancangan ditunjukkan pada diagram blok dari Gambar 3.1.



Gambar 3.1 Diagram blok system kerja alat

Keterangan dari blok diagram alat :

1. **PC CLIENT**

   Pada bagian ini berfungsi sebagai pusat pengendali jarak jauh untuk mengetahui kondisi lampu dan motor pada tambak udang.

2. **WEB**

   Merupakan bagian dari jaringan di internet untuk menghubungkan Web Server dengan PC Client.

3. **DRIVER RELAY**

   Merupakan suatu rangkaian yang digunakan sebagai penggerak relay untuk menghidupkan dan mematikan lampu, motor .

4. **Lampu**

   Merupakan penerang yang ditempatkan di tambak udang.

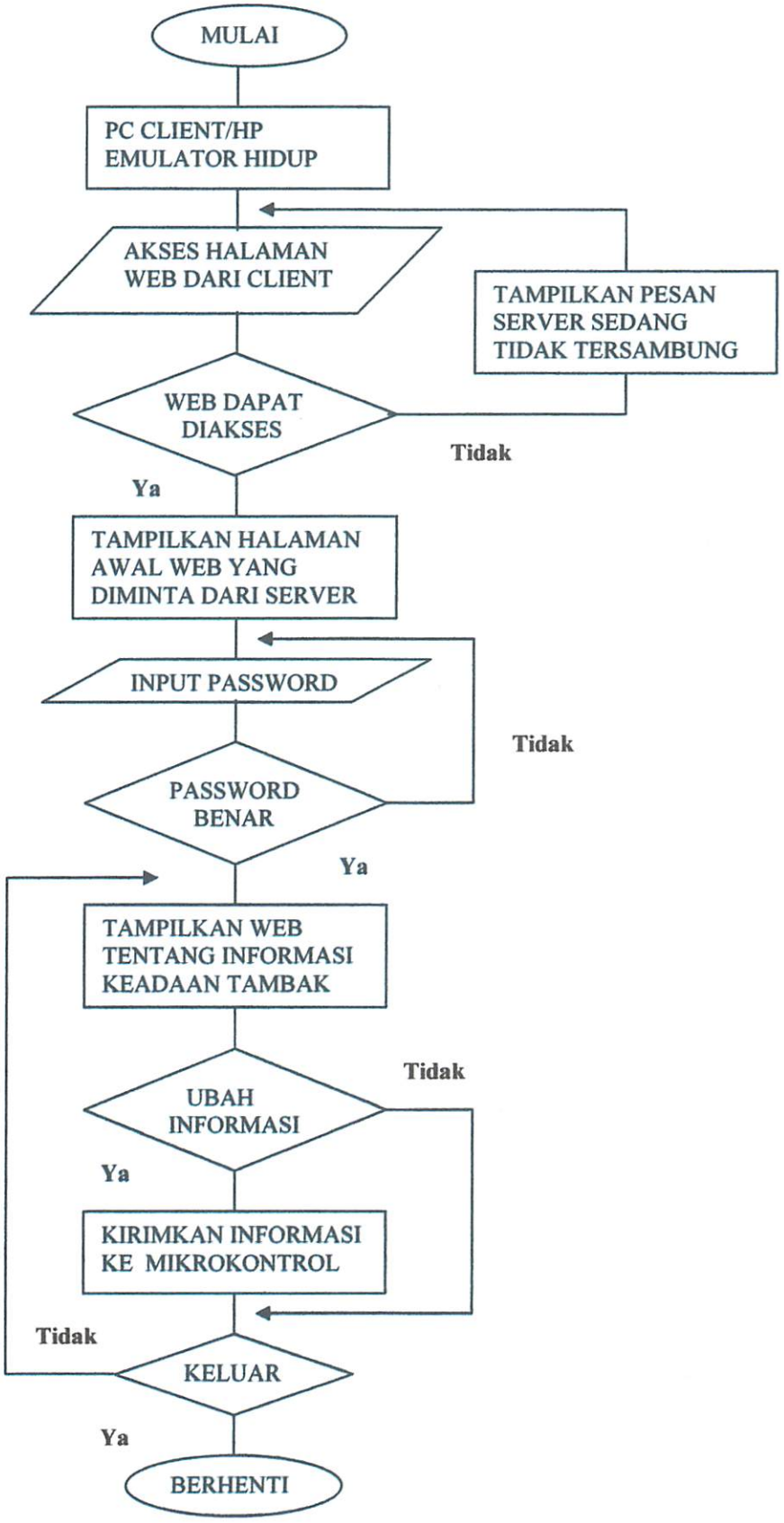
5. **Motor**

   Merupakan alat penggerak kincir air dan pemberi pakan yang ditempatkan di tambak udang.

3.1.3. Rancangan Proses Kerja Alat

Pada perancangan dan pembuatan alat ini, sistem ini akan siap bekerja bila keseluruhan komponen pembentuknya yang meliputi *software* aplikasi utama beserta aplikasi pendukung dan Mikrokontroler sudah diaktifkan semua. Berdasarkan gambar 3.1, maka didapatkan suatu langkah kerja sistem yaitu :

1. Menghidupkan PC Server atau PC client untuk memulai proses komunikasi data yang menggunakan web site sebagai tampilannya.
2. Web site tampil dimana akan diminta password yang berfungsi untuk pengamanan dalam penggunaan alat tersebut
3. Jika benar maka berhak untuk melakukan monitoring dan pengontrolan alat tersebut.
4. Jika sudah selesai maka anda menuju perintah keluar.

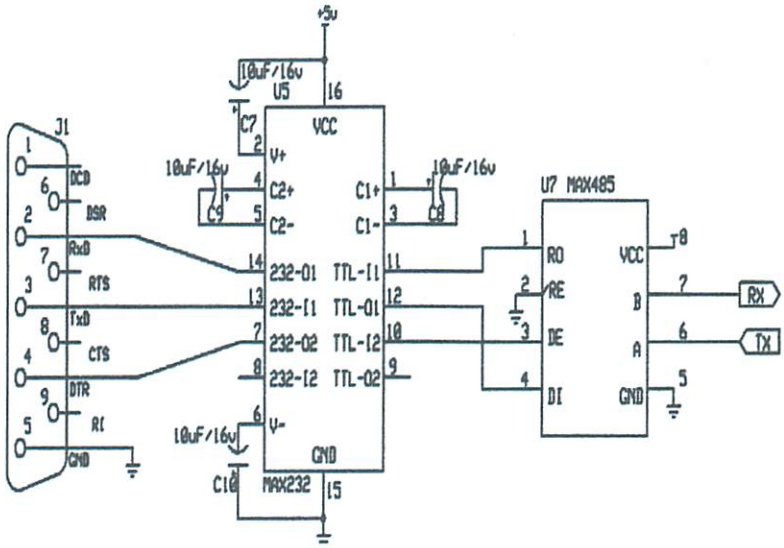


Gambar 3.2 Flowchart kerja alat

3.2. Perancangan Perangkat Keras (*Hardware)*

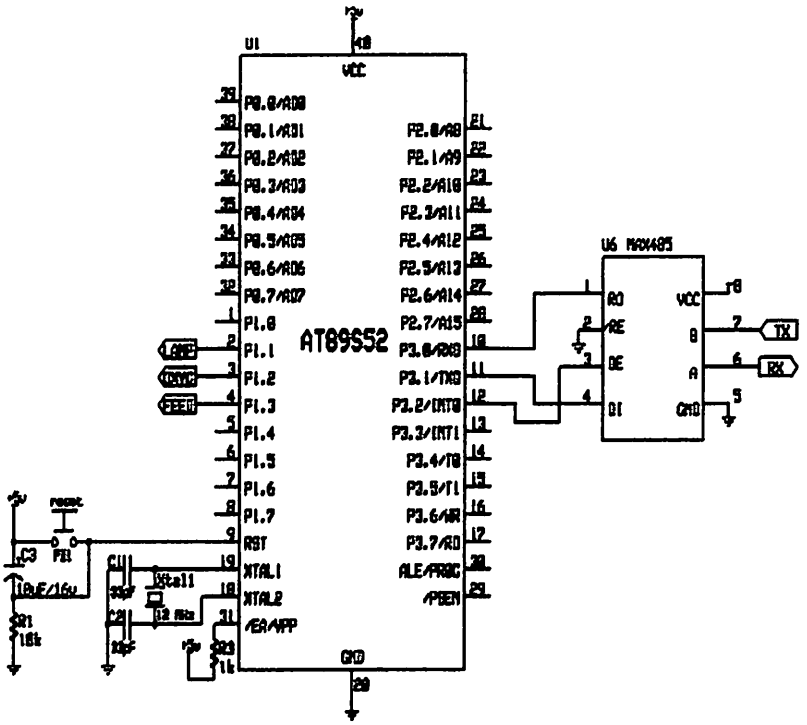
3.2.1. Perancangan komunikasi data PC dengan Mikrokontroller

Komunikasi yang dijalin antara PC (Personal Computer) dengan mikrokontroler dilakukan melalui hubungan serial. Hubungan serial ini dilakukan dengan menggunakan DB9 sebagai interfacing dengan mikrokontroler. Komunikasi yang terjadi adalah PC (Personal Computer) memberikan perintah data kemudian mikrokontroler memproses data untuk melaksanakan beberapa tugas pengendalian perangkat keras (hardware). Perangkat keras (hardware) yang digunakan adalah sebuah rangkaian pengendali (driver) yang mengendalikan motor kincir air dan pemberi pakan serta lampu.



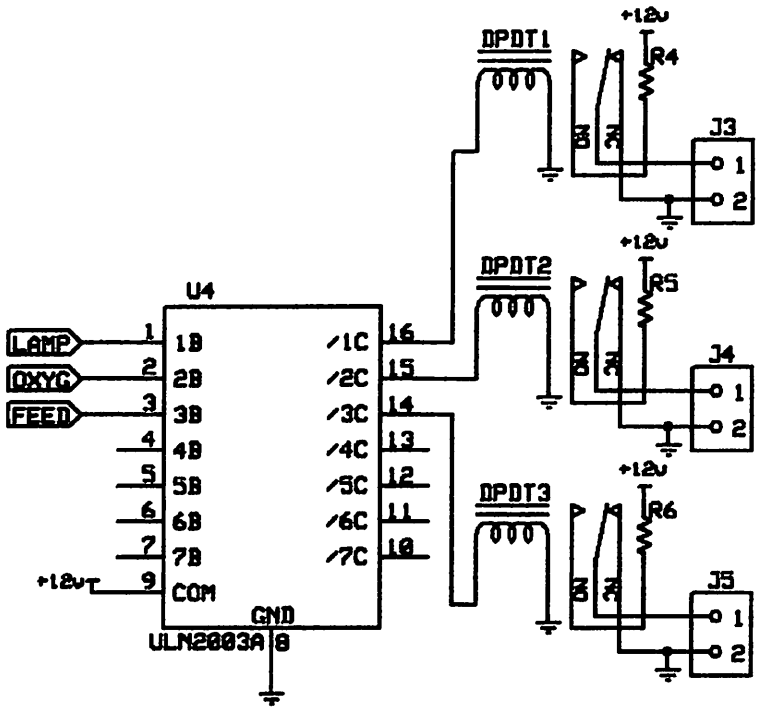
Gambar 3.3 Rangkaian Interfacing DB9

Dari gambar rangkaian diatas dapat dilihat DB9 merupakan komponen yang mengkoneksikan PC (Personal Computer) dengan rangkaian mikrokontroler secara serial yang menggunakan IC MAX232 sebagai pengubah tegangan dari komputer ($^{+}$-3 hingga $^{+}$-25V) menjadi tegangan TTL (Transistor Transistor Logic) (-5 hingga +5V) yang dikenali oleh mikrokontroler sedangkan IC MAX485 digunakan sebagai interface yang memperpanjang jangkauan dari kabel serial.



Gambar 3.4 Rangkaian Mikrokontroller dengan DB9

Dari gambar rangkaian diatas dapat dilihat bahwa data informasi dari komputer yang dikirim secara serial melalui DB9 diolah mikrokontroler (pada kaki P3.0, P3.1 dan P3.2) untuk mengontrol kinerja dari alat (pada kaki P1.1, P1.2 dan P1.3)



Gambar 3.5 Rangkaian Driver dengan ULN 2003

Dari gambar rangkaian diatas setelah mikrokontroler memproses data informasi yang diterimanya, jika informasi yang didapatkan sesuai dengan intruksi untuk menjalankan driver motor (IC ULN 2003) maka hal itu akan menyebabkan relay terkoneksi dengan tegangan 12V, sehingga motor kincir dan pakan serta lampu menyala.

3.2.2. Perancangan Penggunaan Port pada Mikrokontroller AT89S52

Rangkaian minimum dari mikrokontroler AT89S52 terdiri dari 3 kapasitor, 1 IC mikrokontroler, 1 resistor, dan 1 kristal. Dengan rangkaian yang sederhana ini mikrokontroler dibuat sebagai sistem minimum menjadi pengontrol alat, disamping itu rangkaian ini dapat dibuat bermacam-macam alat dengan menambah sedikit komponen tambahan lainnya. Dari rangkaian tersebut yang berpengaruh terhadap kecepatan proses menjalankan program adalah kristal. Adapun rangkaiannya ditunjukkan seperti pada Gambar 3.4 diatas

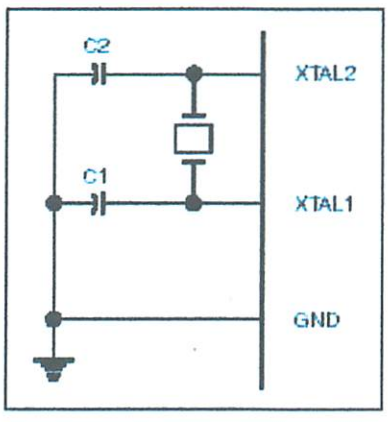
. Agar sebuah mikrokontroler dapat bekerja sebagai pengontrol, maka kaki-kaki/*port* mikrokontroler dihubungkan dalam rangkaian-rangkaian eksternal. Dalam perancangan ini, *port* yang digunakan adalah sebagai berikut:

1. Port 1.1 digunakan sebagai output driver lampu.
2. Port 1.2 digunakan sebagai output driver motor kincir yang mengatur kestabilan oksigen.
3. Port 1.3 digunakan sebagai output driver motor pakan yang mengatur pemberian pakan secara serentak.
4. Port 3.0 digunakan sebagai input data serial .
5. Port 3.1 digunakan sebagai output data serial.

6. Port 3.2 digunakan sebagai pengontrol pilihan driver relay mana yang dihidupkan.
7. X1 dan X2 digunakan sebagai input dari rangkaian osilator kristal. Rangkaian osilator kristal terdiri dari kristal osilator 11,0592 MHz, kapasitor C1 dan C2 yang masing-masing bernilai 33 pF, akan membangkitkan pulsa *clock* yang menjadi penggerak bagi seluruh operasi internal MCU.
8. VCC dihubungkan dengan tegangan sebesar +5V
9. GND dihubungkan ke *ground* catu daya.

3.2.3. Pengaturan Baud Rate

Di dalam proses komunikasi serial antara mikrokontroler dengan driver relay motor dan lampu terlebih dahulu ditentukan *baud rate* yang digunakan. Pada sistem ini digunakan *baud rate* sebesar 19200 bps dan 4800 bps dengan menggunakan f_{osc} = 11,0592 MHz.



Gambar 3.6 Rangkaian Osilator
Sumber: Datasheet AT89S52

Cara menghitung pada register TH1: untuk *baudrate* 19200 bps

$$Baud\ Rate = \frac{fosc}{12 \times (256 - TH_1) \times 16}$$

$$19200 = \frac{11{,}0592Mhz}{12 \times (256 - TH_1) \times 16}$$

$$3686400 = \frac{11{,}0592Mhz}{256 - TH_1}$$

$$256 - TH_1 = \frac{11{,}0592x10^6}{3686400}$$

$$TH_1 = 256\text{-}3$$

$$= 253$$

$$= FD_H$$

Cara menghitung pada register TH1: untuk *baudrate* 4800 bps

$$Baud\ Rate = \frac{fosc}{12 \times (256 - TH_1) \times 16}$$

$$4800 = \frac{11{,}0592Mhz}{12 \times (256 - TH_1) \times 16}$$

$$921600 = \frac{11{,}0592Mhz}{256 - TH_1}$$

$$256 - TH_1 = \frac{11{,}0592x10^6}{921600}$$

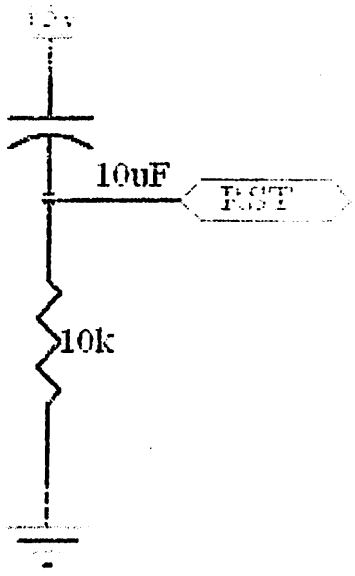
$$TH_1 = 256\text{-}12$$

$$= 244$$

$$= F4_H$$

3.2.4. Perancangan Rangkaian Reset

Pin reset pada mikrokontroller merupakan masukan aktif high (1). Pulsa transisi dari low (0) dan high (1) akan mereset mikrokontroller menuju alamat 0000H. pin reset dihubungkan dengan rangkaian power on reset yang diperlihatkan pada gambar 3-6 berikut ini:



Gambar 3.7 Rangkaian Reset untuk MCU AT89S52

Karena kristal yang digunakan mempunyai frekuensi sebesar 11,0592 MHz maka satu periode membutuhkan waktu sebesar:

$$T = \frac{1}{f_{XTAL}}$$

$$= \frac{1}{11{,}0592MHz} S$$

$$= 9{,}042 \times 10^{-8} S$$

Sehingga waktu minimal logika tinggi yang dibutuhkan untuk *mereset* mikrokontroller adalah :

$$\text{Reset (min)} = \tau \times \text{periode yang dibutuhkan}$$

$$= 9{,}0424 \times 10^{-8} \times 24 = 2{,}170\ \mu s$$

Jadi mikrokontroller membutuhkan waktu minimal 2,170 μs untuk *mereset*. Waktu minimal inilah yang dijadikan pedoman untuk menentukan nilai R dan C. Dari persamaan konstanta waktu $\tau = R \times C$ (William H Hyat, 1998, h132 [1]) dan jika nilai R ditentukan sebesar 10 kΩ, maka nilai C adalah :

$$C = \frac{\tau}{R}$$

$$= \frac{2{,}170 \times 10^{-6}}{10 \times 10^{3}}$$

$$= 2{,}170 \times 10^{-12}\ F$$

Kapasitor minimal yang dibutuhkan adalah 2,170 pF. Dengan menggunakan kapasitor sebesar 10 μF, maka akan menjamin waktu reset di atas nilai minimal waktu yang dibutuhkan untuk mereset mikrokontroller.

3.2.5. Perancangan Rangkaian Driver IC ULN 2003A Pada Relay

Driver motor berfungsi sebagai pengendali relay dan motor starter. Driver motor pada alat ini menggunakan IC ULN2003A. IC ini memberikan penguatan arus yang diperlukan. Fungsi driver motor pada perancangan alat ini digunakan untuk menggerakan relay 1, relay 2 dan relay 3 yang berfungsi sebagai mekanik untuk menghidupkan motor kincir, motor pakan dan lampu seperti pada gambar rangkaian 3.5. diatas.

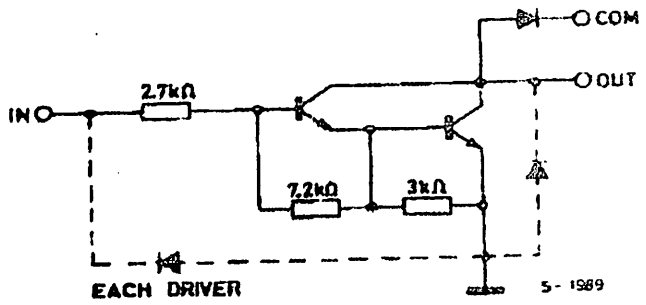
Transistor Darlington adalah rangkaian elektronika yang terdiri dari sepasang transistor bipolar (dwi kutub) yang tersambung secara tandem (seri). Sambungan seri seperti ini dipakai untuk mendapatkan penguatan (gain) yang tinggi, karena hasil penguatan pada transistor yang pertama akan dikuatkan lebih lanjut oleh transistor kedua. Keuntungan dari rangkaian Darlington adalah penggunaan ruang yang lebih kecil dari pada rangkaian dua buah transistor biasa dengan bentuk konfigurasi yang

sama. Penguatan arus listrik atau gain dari rangkaian transistor Darlington ini sering dituliskan dengan notasi β atau hFE. Transistor Darlington bersifat seolah-olah sebagai satu transistor tunggal yang mempunyai penguatan arus yang tinggi. Penguatan total dari rangkaian ini merupakan hasil kali dari penguatan masing-masing transistor yang dipakai:

$$\beta_{Darlington} = \beta_1 \times \beta_2$$

Nilai penguatan total dari transistor Darlington bisa mencapai 1000 kali atau lebih. Dari luar transistor Darlington nampak seperti transistor biasa dengan 3 buah kutub: B (basis), C (Kolektor), dan E (Emitter). Dari segi tegangan listriknya, voltase base-emitter rangkaian ini juga lebih besar, dan secara umum merupakan jumlah dari kedua tegangan masing-masing transistornya, seperti nampak dalam rumus berikut:

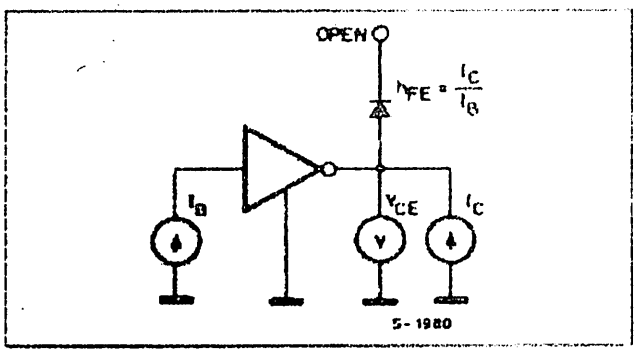
$$V_{BE} = V_{BE1} + V_{BE2}$$



Series ULN-2003A
(each driver)

Gambar 3.8 Rangkaian driver ULN 2003

Output arus dari mikrokontoller 15mA setara dengan 0,15A yang merupakan input arus bagi ULN2003 sehingga hasil perhitungannya sebagai berikut:



Gambar 3.9 Skema Penguatan ULN 2003

Diketahui arus kolektor dari ULN2003 500mA setara dengan 0.5A,sehingga kita dapat menghitung penguatannya adalah :

$$hFE = \frac{IC}{IB}$$

$$= \frac{0,5}{0,15}$$

$$= 3,33$$

$$\beta_{Darlington} = \beta_1 \times \beta_2$$

$$= 3,33 \times 3,33$$

$$= 11,09$$

Jadi hasil penguatan arusnya adalah :

$$I\ gain = \beta Darlington \times IB$$

$$= 11,09 \times 0,15$$

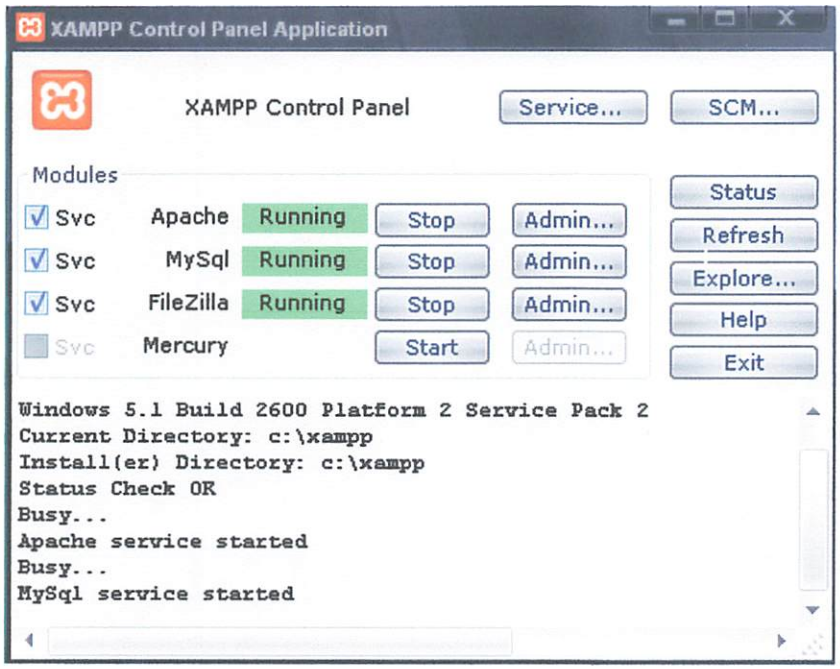
$$= 1,66\ A$$

BAB IV
PENGUJIAN ALAT

Pada bab ini akan dibahas mengenai proses pengujian peralatan yang digunakan dan langkah kerja dan analisa hasil pengujiannya. Pengujian meliputi :

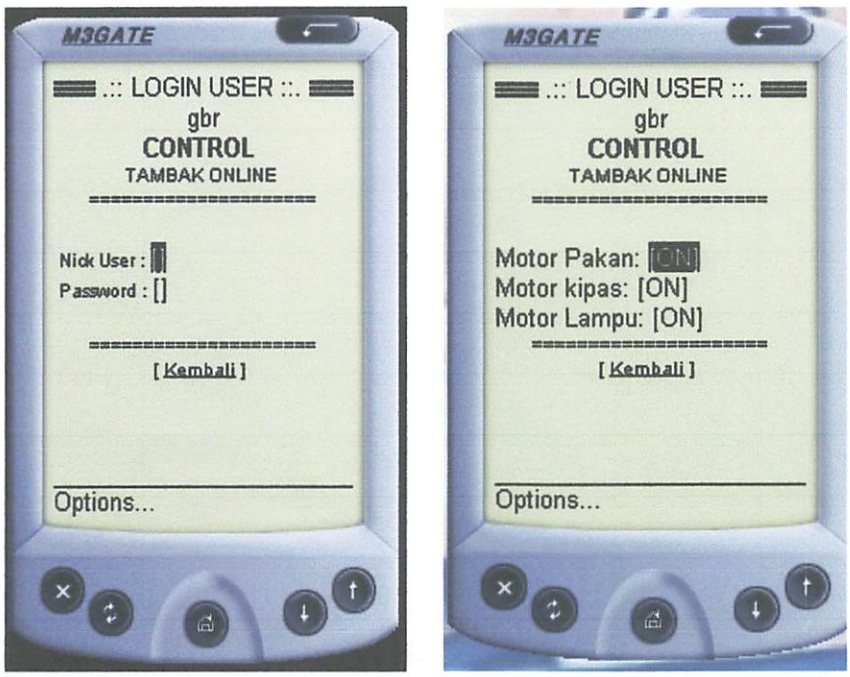
4.1.Pengujian WAP web.

Menghidupakan Apache server pada XAMPP control panel tanda hijau menunjukkan fungsi yang berjalan



Gambar 4.1 Tampilan Xampp Kontrol Panel

Setelah itu menjalankan m3gate



Gambar 4.2 Tampilan WAP pada M3Gate emulator

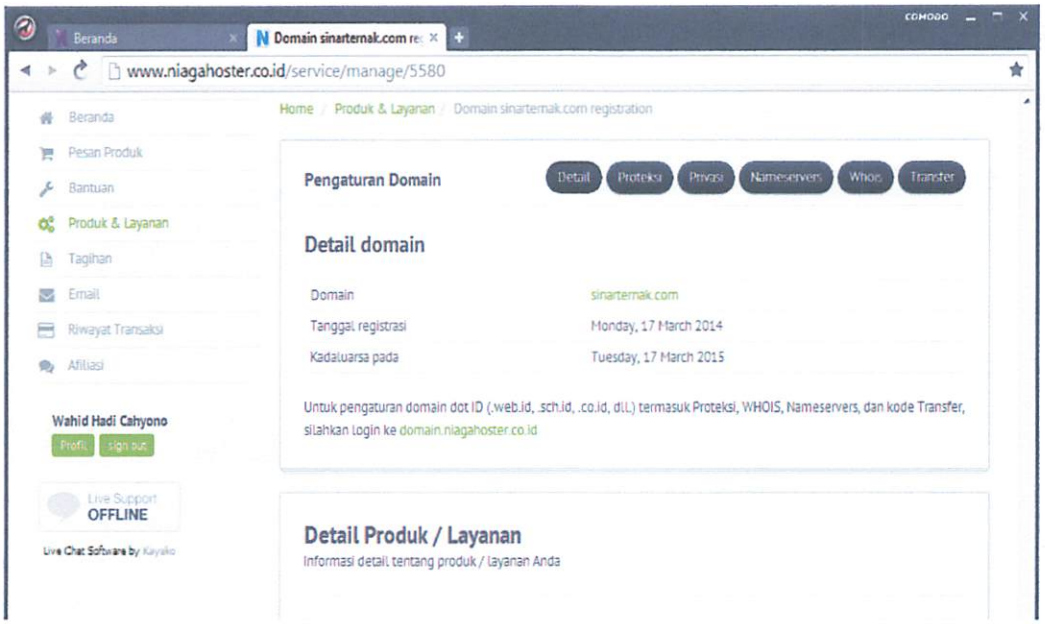
4.2 Pengujian pada Koneksi Internet

Untuk bisa melakukan pengujian di koneksi internet maka kita memerlukan:

1. Domain (terdaftar pada www.niagahoster.co.id dengan nama domain www.sinarternak.com).
2. Web hosting (tempat diman kita menaruh file-file website yang telah kita buat, terdaftar pada www.idhostinger.com).

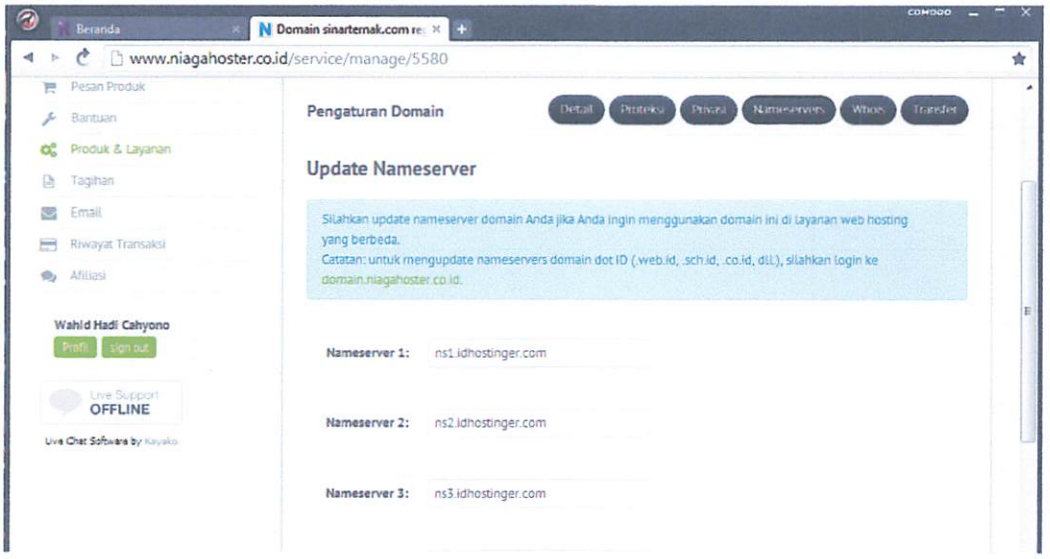
Setelah mendapatkan domain maka kita harus melakukan pointing(menghubungkan domain dengan webhosting).

Tampilan pengaturan domain pada www.niagahoster.co.id

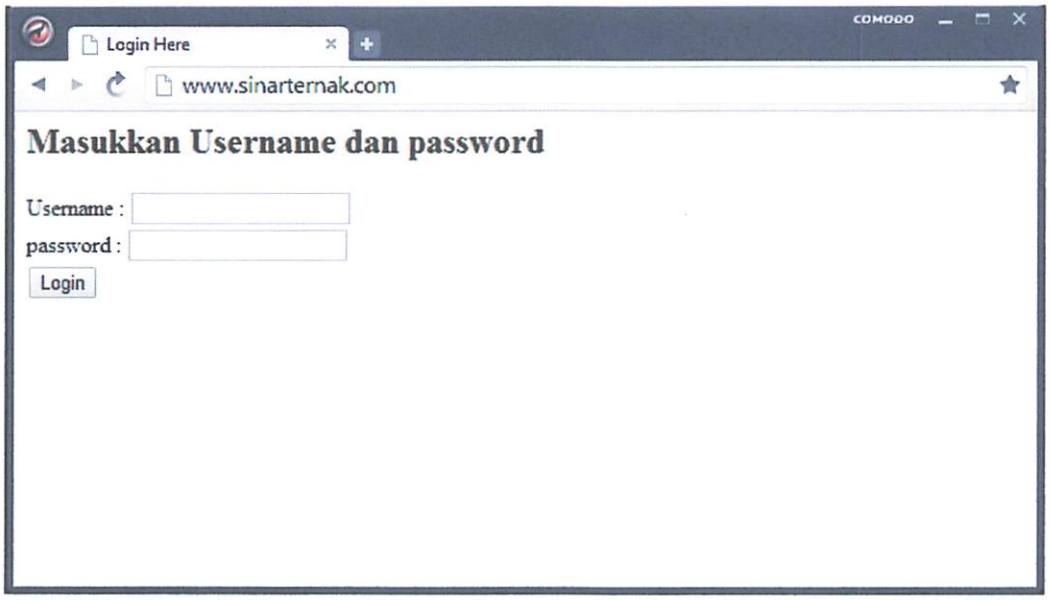


Gambar 4.3 Tampilan Pengaturan Domain

Proses pointing nameserver pada www.niagahoster.co.id



Gambar 4.4 Tampilan Pointing Webhosting dengan Domain



Gambar 4.5 Tampilan Domain yang terpointing dengan webhosting

4.3 Pengujian Pada Alat

1.Perhitungan dengan menggunakan nilai maksimum pada datasheet

Dari datasheet AT89S52 (Absolute Maximum Ratings*) diperoleh output arus dari mikrokontroller 15mA setara dengan 0,15A yang merupakan arus Basis bagi ULN2003 dan juga dari datasheet ULN2003 (Absolute Maximum Ratings*) diketahui arus kolektor dari ULN2003 500mA setara dengan 0.5A sehingga kita dapat menghitung sebagai berikut:

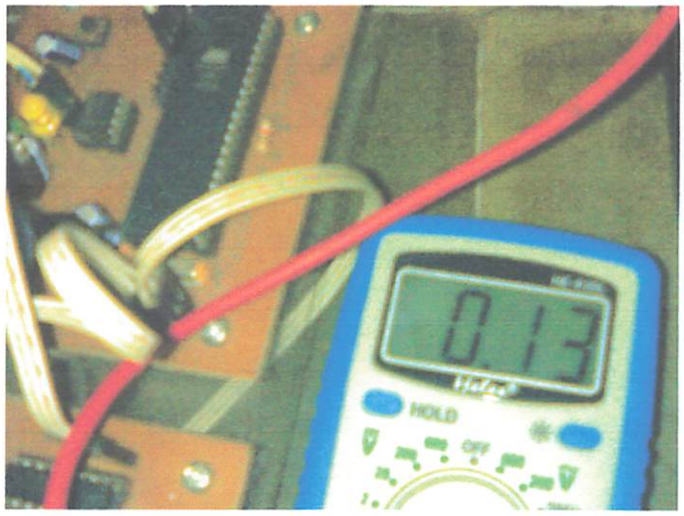
$$hFE = \frac{IC}{IB} = \frac{0,5}{0,15} = 3,33$$

$$\beta Darlington = \beta 1 \ X \ \beta 2 = 3,33 \ X 3,33 = 11,09$$

Jadi hasil penguatan arusnya adalah :

$$I\ gain = \beta Darlington \ X \ IB = 11,09 \quad X\ 0,15 = 1,66\ A$$

2.Perhitungan dengan menggunakan nilai dari hasil pengukuran pada port (P1.1 , P1.2, P1.3) yang merupakan output pada mikrokontroller.



Gambar 4.6 Hasil Pengukuran output pada mikrokontroller

Tabel 4.1 Hasil Pengukuran pada mikrokontroller

Port	Pengukuran
P1.1	0,13 A
P1.2	0,18 A
P1.3	0,15 A

Dengan tetap menggunakan ICmax = 0,5 A (ULN2003) sebagai acuan maka diperoleh hasil perhitungan penguatan arusnya sebagai berikut :

Pengukuran	Penguatan Arusnya
0,13 A	0,0192 A
0,18 A	0,0139 A
0,15 A	0,0167 A

BAB V
PENUTUP

5.1 Kesimpulan

Setelah melakukan prosess perancangan, pengujian dan analisa, maka dapat disimpulkan sebagai berikut:

1. Tampilan WAP tidak dapat tampil optimal seperti di locallhost dikarenakan webhosting yang dipakai tidak mendukung ekstension wml.
2. Kecepatan koneksi internet menggunakan teknologi WAP sangat dipengaruhi oleh jangkauan dan kualitas provider penyedia jasa telekomunikasi di masing-masing daerah.

5.2 Saran

Pada pengerjaan tugas akhir ini tidak lepas dari berbagai macam kekurangan dan kelemahan baik itu pada sistem maupaun pada peralatan yang dibuat.

Untuk memperbaiki kekurangan-kekurangan dari peralatan maka perlu melakukan hal hal sebagai berikut:

1. Penggunaan penyedia webhosting yang dapat mendukung bahasa WAP dalam konektivitas internet.
2. Memilih penyedia jasa telekomunikasi yang mempunyai daya jangkau dan kualitas terbaik dalam mendukung teknologi WAP tersebut.

DAFTAR PUSTAKA

1. Agfianto Eko Putra, "Belajar Mikrokontroller AT89C51/52/55 Teori dan Aplikasi Edisi 2" Cetakan Pertama, Penerbit Gava Media, Yogyakarta, 2004.
2. Lingga Wardhana, "Belajar Sendiri Mikrokontroller AVR Seri ATMega8535 Simulasi, Hardware dan Aplikasi" Penerbit CV.Andi Offset, Yogyakarta, 2006.
3. ATMEL, Datasheet Book.
4. www.atmel.com diakses tanggal 12/7/2013
5. www. wap.com diakses tanggal 12/7/2013

ULN2001A-ULN2002A
ULN2003A-ULN2004A

SEVEN DARLINGTON ARRAYS

- SEVEN DARLINGTONS PER PACKAGE
- OUTPUT CURRENT 500mA PER DRIVER (600mA PEAK)
- OUTPUT VOLTAGE 50V
- INTEGRATED SUPPRESSION DIODES FOR INDUCTIVE LOADS
- OUTPUTS CAN BE PARALLELED FOR HIGHER CURRENT
- TTL/CMOS/PMOS/DTL COMPATIBLE INPUTS
- INPUTS PINNED OPPOSITE OUTPUTS TO SIMPLIFY LAYOUT

DIP16

ORDERING NUMBERS: ULN2001A/2A/3A/4A

SO16

ORDERING NUMBERS: ULN2001D/2D/3D/4D

DESCRIPTION

The ULN2001A, ULN2002A, ULN2003 and ULN2004A are high voltage, high current darlington arrays each containing seven open collector darlington pairs with common emitters. Each channel rated at 500mA and can withstand peak currents of 600mA. Suppression diodes are included for inductive load driving and the inputs are pinned opposite the outputs to simplify board layout.

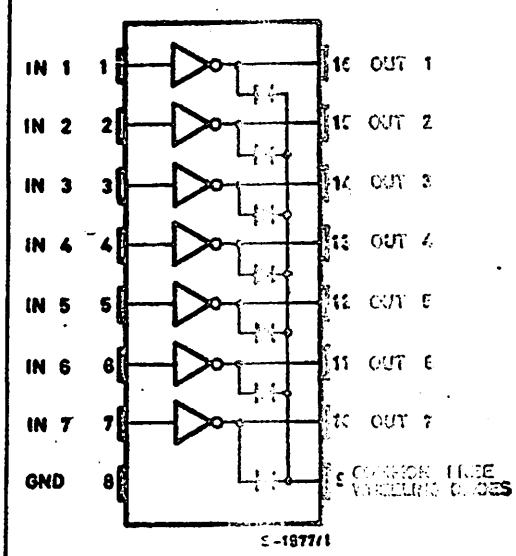
The four versions interface to all common logic families :

ULN2001A	General Purpose, DTL, TTL, PMOS, CMOS
ULN2002A	14-25V PMOS
ULN2003A	5V TTL, CMOS
ULN2004A	6–15V CMOS, PMOS

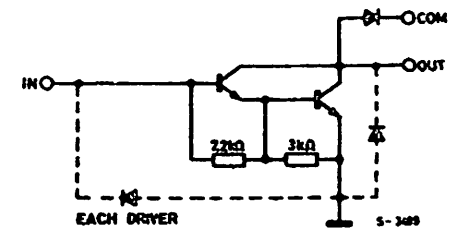
These versatile devices are useful for driving a wide range of loads including solenoids, relays DC motors, LED displays filament lamps, thermal printheads and high power buffers.

The ULN2001A/2002A/2003A and 2004A are supplied in 16 pin plastic DIP packages with a copper leadframe to reduce thermal resistance. They are available also in small outline package (SO-16) as ULN2001D/2002D/2003D/2004D.

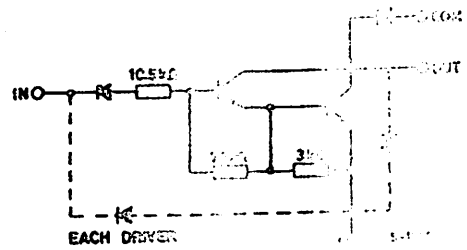
PIN CONNECTION



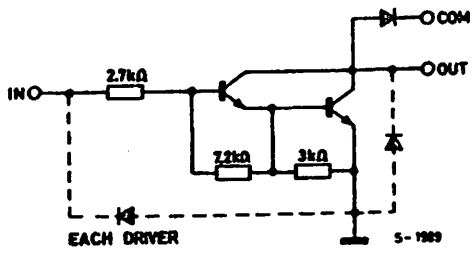
SCHEMATIC DIAGRAM



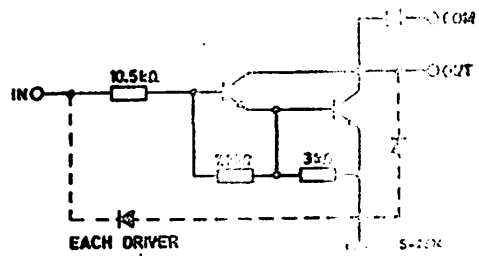
Series ULN-2001A
(each driver)



Series ULN-2002A
(each driver)



Series ULN-2003A
(each driver)



Series ULN-2004A
(each driver)

ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter	Value	Unit
V_o	Output Voltage	50	V
V_{in}	Input Voltage (for ULN2002A/D - 2003A/D - 2004A/D)	30	V
I_c	Continuous Collector Current	500	mA
I_b	Continuous Base Current	25	mA
T_{amb}	Operating Ambient Temperature Range	– 20 to 85	°C
T_{stg}	Storage Temperature Range	– 55 to 150	°C
T_j	Junction Temperature	150	°C

THERMAL DATA

Symbol	Parameter		DIP16	SO16	Unit
$R_{th\ j\text{-}amb}$	Thermal Resistance Junction-ambient	Max.	70	120	°C/W

ELECTRICAL CHARACTERISTICS (T_{amb} = 25°C unless otherwise specified)

Symbol	Parameter	Test Conditions	Min.	Typ.	Max.	Unit	Fig.
I_{CEX}	Output Leakage Current	V_{CE} = 50V			50	µA	1a
		T_{amb} = 70°C, V_{CE} = 50V			100	µA	1a
		T_{amb} = 70°C for ULN2002A V_{CE} = 50V, V_i = 6V			500	µA	1b
		for ULN2004A V_{CE} = 50V, V_i = 1V			500	µA	1b
$V_{CE(sat)}$	Collector-emitter Saturation Voltage	I_C = 100mA, I_B = 250µA		0.9	1.1	V	2
		I_C = 200 mA, I_B = 350µA		1.1	1.3	V	2
		I_C = 350mA, I_B = 500µA		1.3	1.6	V	2
$I_{i(on)}$	Input Current	for ULN2002A, V_i = 17V		0.82	1.25	mA	3
		for ULN2003A, V_i = 3.85V		0.93	1.35	mA	3
		for ULN2004A, V_i = 5V		0.35	0.5	mA	3
		V_i = 12V		1	1.45	mA	3
$I_{i(off)}$	Input Current	T_{amb} = 70°C, I_C = 500µA	50	65		µA	4
$V_{i(on)}$	Input Voltage	V_{CE} = 2V				V	5
		for ULN2002A I_C = 300mA			13		
		for ULN2003A I_C = 200mA			2.4		
		I_C = 250mA			2.7		
		I_C = 300mA			3		
		for ULN2004A I_C = 125mA			5		
		I_C = 200mA			6		
		I_C = 275mA			7		
		I_C = 350mA			8		
h_{FE}	DC Forward Current Gain	for ULN2001A V_{CE} = 2V, I_C = 350mA	1000				2
C_i	Input Capacitance			15	25	pF	
t_{PLH}	Turn-on Delay Time	0.5 V_i to 0.5 V_o		0.25	1	µs	
t_{PHL}	Turn-off Delay Time	0.5 V_i to 0.5 V_o		0.25	1	µs	
I_R	Clamp Diode Leakage Current	V_R = 50V			50	µA	6
		T_{amb} = 70°C, V_R = 50V			100	µA	6
V_F	Clamp Diode Forward Voltage	I_F = 350mA		1.7	2	V	7

TEST CIRCUITS

Figure 1a.

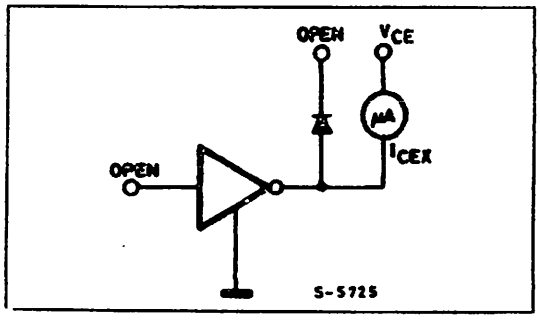


Figure 1b.

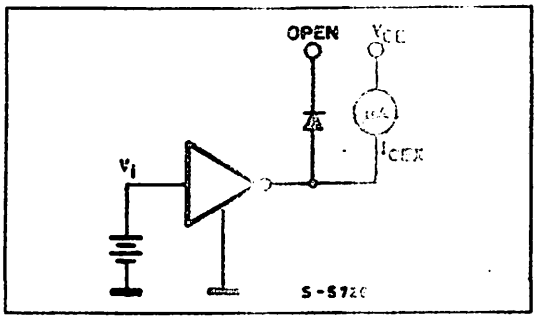


Figure 2.

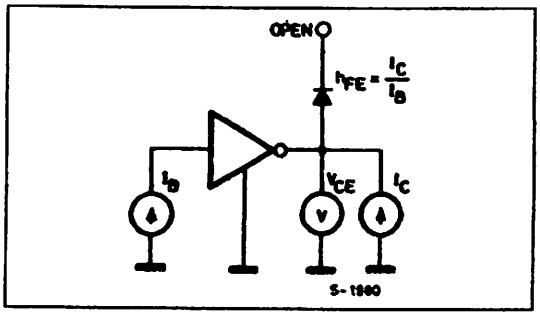


Figure 3.

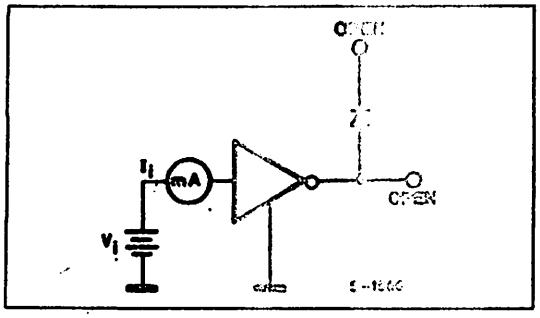


Figure 4.

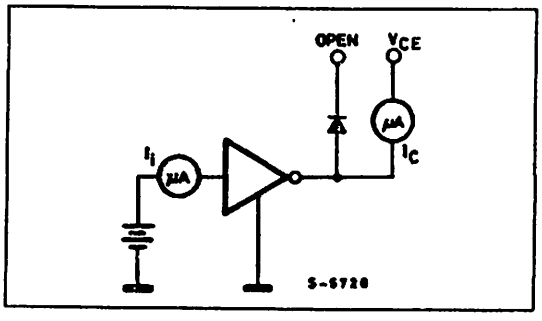


Figure 5.

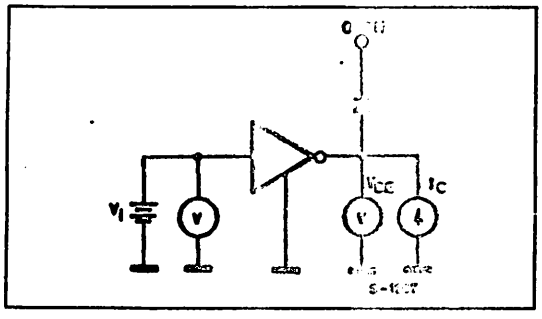


Figure 6.

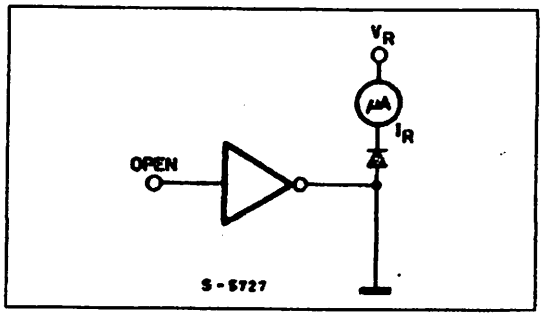


Figure 7.

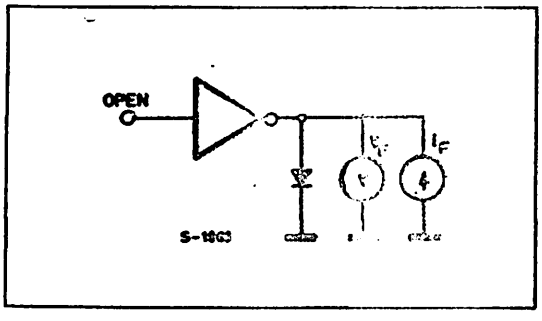


Figure 8: Collector Current versus Input Current

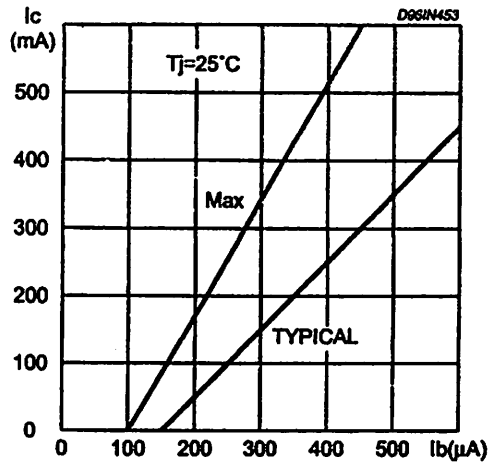


Figure 9: Collector Current versus Saturation Voltage

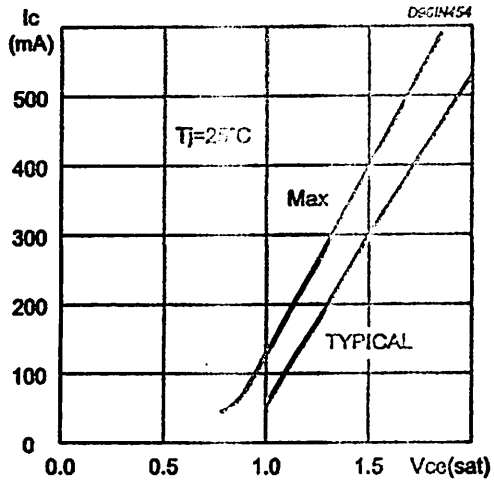


Figure 10: Peak Collector Current versus Duty Cycle

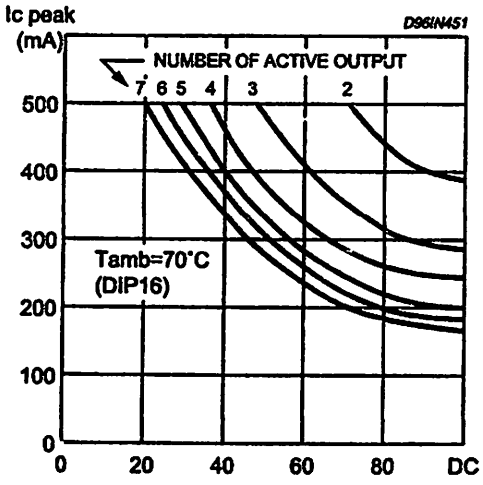
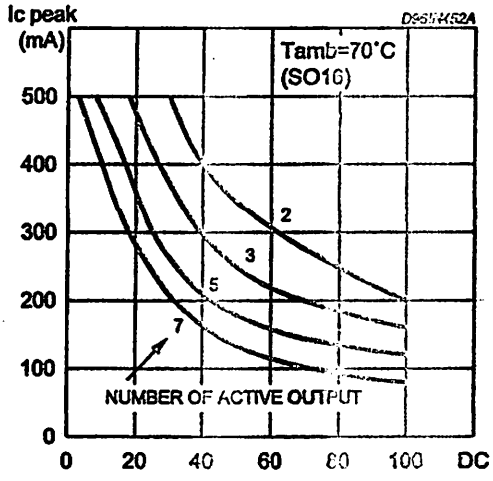
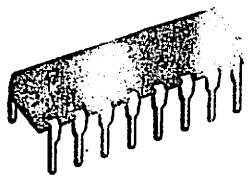


Figure 11: Peak Collector Current versus Duty Cycle

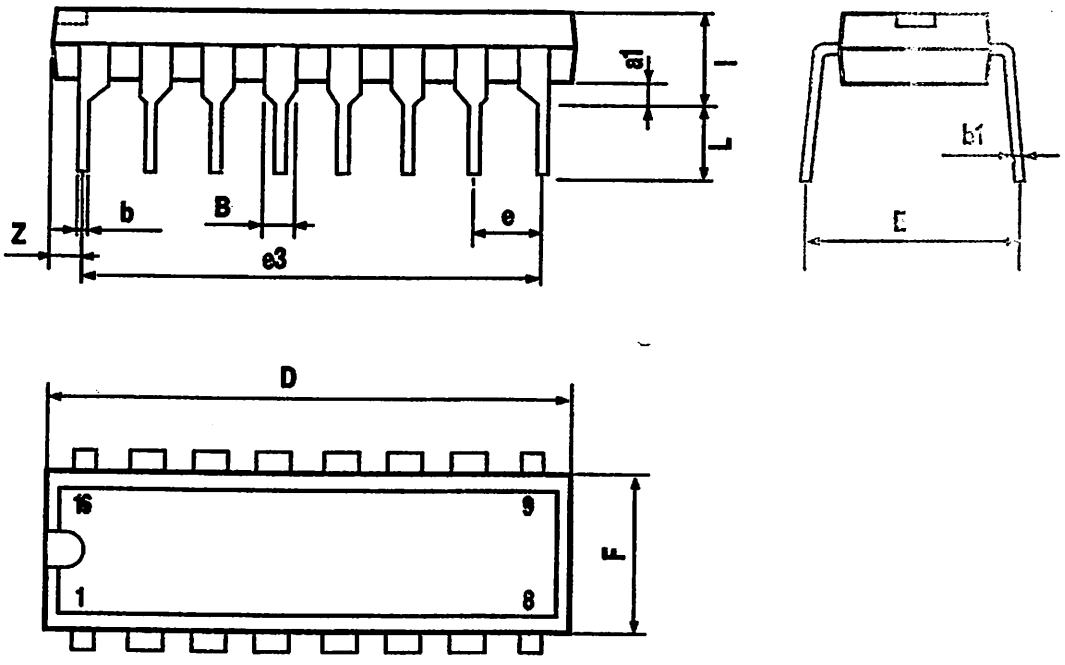


DIM.	mm			Inch		
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.
a1	0.51			0.020		
B	0.77		1.65	0.030		0.065
b		0.5			0.020	
b1		0.25			0.010	
D			20			0.787
E		8.5			0.335	
e		2.54			0.100	
e3		17.78			0.700	
F			7.1			0.280
I			5.1			0.201
L		3.3			0.130	
Z			1.27			0.050

OUTLINE AND MECHANICAL DATA

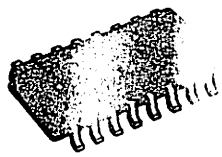


DIP16



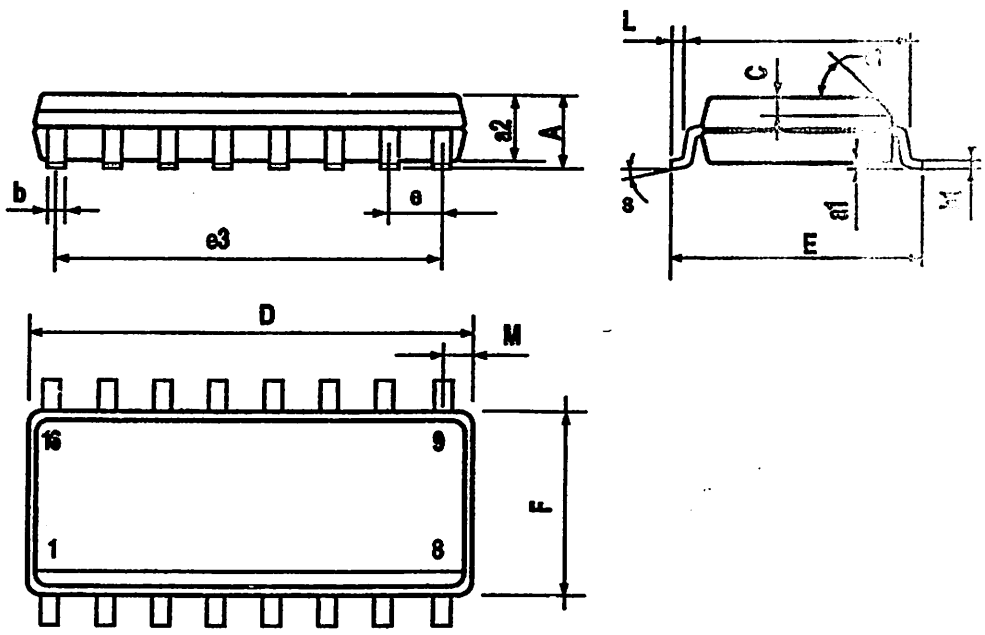
DIM.	mm			Inch		
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.
A			1.75			0.069
a1	0.1		0.25	0.004		0.009
a2			1.6			0.063
b	0.35		0.46	0.014		0.018
b1	0.19		0.25	0.007		0.010
C		0.5			0.020	
c1	45° (typ.)					
D (1)	9.8		10	0.386		0.394
E	5.8		6.2	0.228		0.244
e		1.27			0.050	
e3		8.89			0.350	
F (1)	3.8		4	0.150		0.157
G	4.6		5.3	0.181		0.209
L	0.4		1.27	0.016		0.050
M			0.62			0.024
S	8°(max.)					

OUTLINE AND MECHANICAL DATA



SO16 Narrow

(1) D and F do not include mold flash or protrusions. Mold flash or potrusions shall not exceed 0.15mm (.006inch).



Features

- Compatible with MCS-51® Products
- 8K Bytes of In-System Programmable (ISP) Flash Memory
  - Endurance: 1000 Write/Erase Cycles
- 4.0V to 5.5V Operating Range
- Fully Static Operation: 0 Hz to 33 MHz
- Three-level Program Memory Lock
- 256 x 8-bit Internal RAM
- 32 Programmable I/O Lines
- Three 16-bit Timer/Counters
- Eight Interrupt Sources
- Full Duplex UART Serial Channel
- Low-power Idle and Power-down Modes
- Interrupt Recovery from Power-down Mode
- Watchdog Timer
- Dual Data Pointer
- Power-off Flag
- Fast Programming Time
- Flexible ISP Programming (Byte and Page Mode)

Description

The AT89S52 is a low-power, high-performance CMOS 8-bit microcontroller with 8K bytes of in-system programmable Flash memory. The device is manufactured using Atmel's high-density nonvolatile memory technology and is compatible with the industry-standard 80C51 instruction set and pinout. The on-chip Flash allows the program memory to be reprogrammed in-system or by a conventional nonvolatile memory programmer. By combining a versatile 8-bit CPU with in-system programmable Flash on a monolithic chip, the Atmel AT89S52 is a powerful microcontroller which provides a highly-flexible and cost-effective solution to many embedded control applications.

The AT89S52 provides the following standard features: 8K bytes of Flash, 256 bytes of RAM, 32 I/O lines, Watchdog timer, two data pointers, three 16-bit timer/counters, a six-vector two-level interrupt architecture, a full duplex serial port, on-chip oscillator, and clock circuitry. In addition, the AT89S52 is designed with static logic for operation down to zero frequency and supports two software selectable power saving modes. The Idle Mode stops the CPU while allowing the RAM, timer/counters, serial port, and interrupt system to continue functioning. The Power-down mode saves the RAM contents but freezes the oscillator, disabling all other chip functions until the next interrupt or hardware reset.

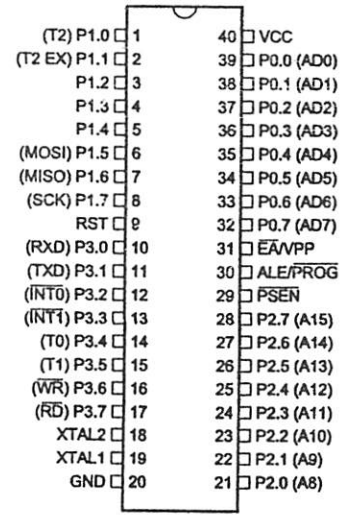
8-bit Microcontroller with 8K Bytes In-System Programmable Flash

AT89S52

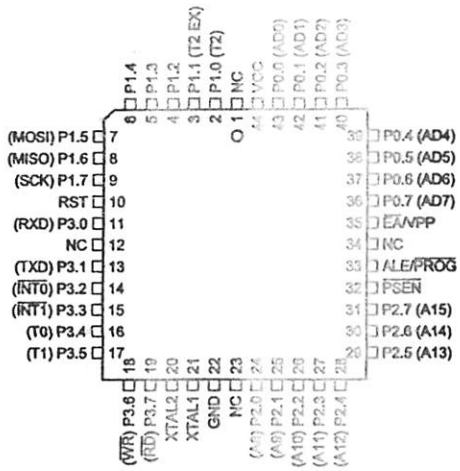
1919B–MICRO–11/03

Pin Configurations

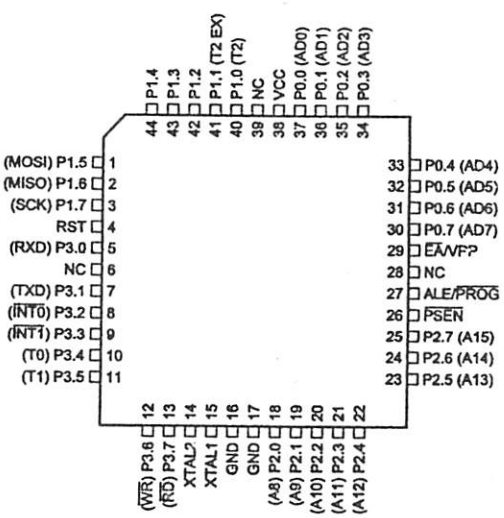
PDIP



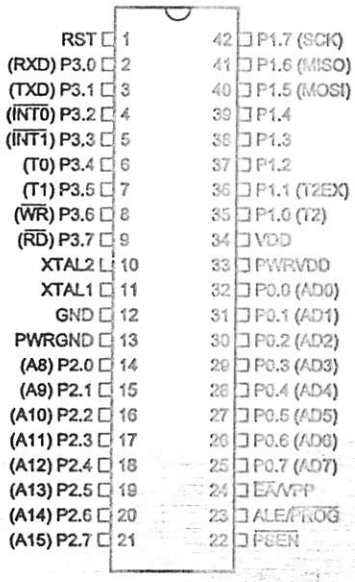
PLCC



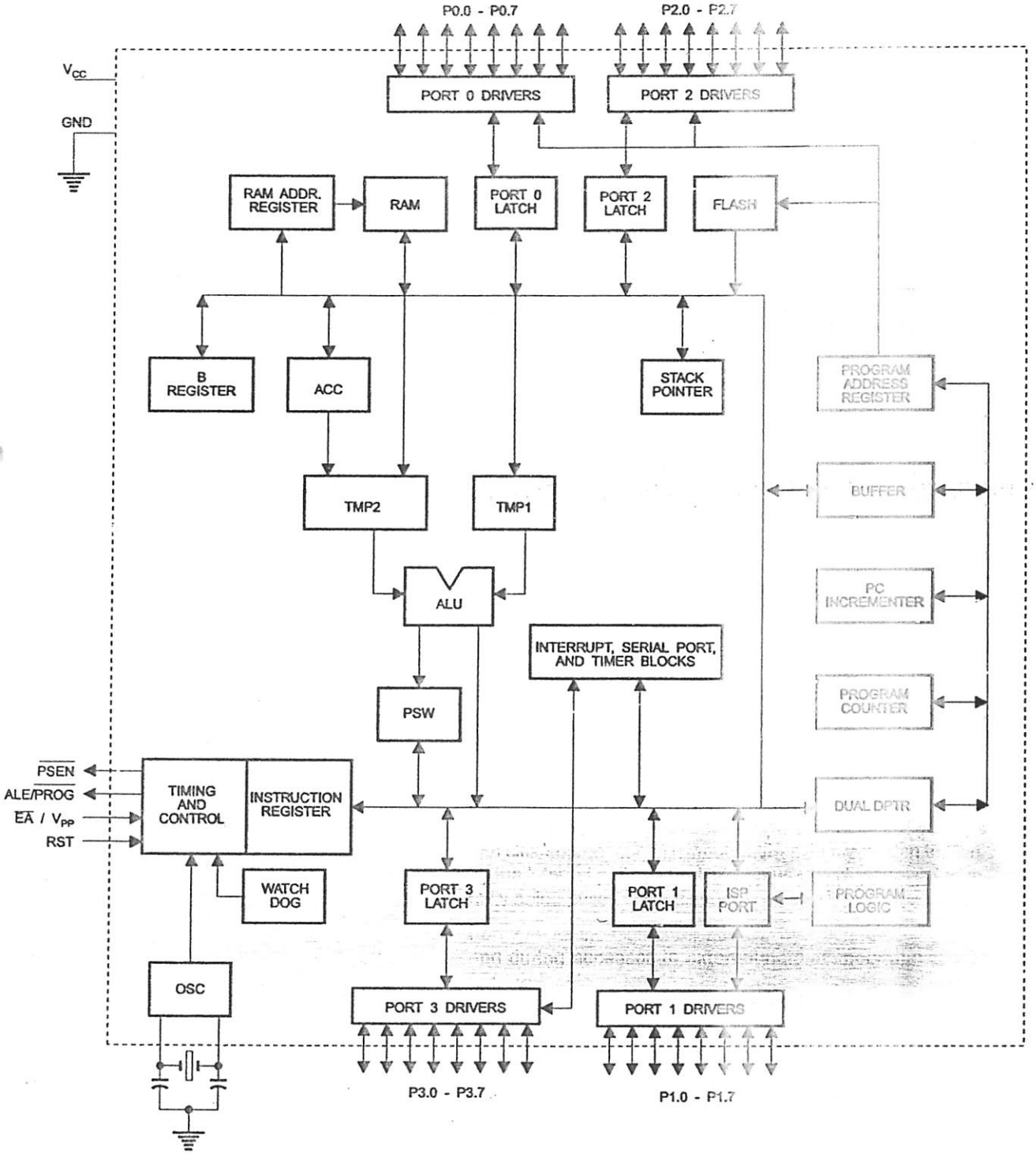
TQFP



PDIP



Block Diagram



Pin Description

VCC Supply voltage.

GND Ground.

Port 0 Port 0 is an 8-bit open drain bidirectional I/O port. As an output port, each pin can sink eight TTL inputs. When 1s are written to port 0 pins, the pins can be used as high-impedance inputs.

Port 0 can also be configured to be the multiplexed low-order address/data bus during accesses to external program and data memory. In this mode, P0 has internal pull-ups.

Port 0 also receives the code bytes during Flash programming and outputs the code bytes during program verification. **External pull-ups are required during program verification.**

Port 1 Port 1 is an 8-bit bidirectional I/O port with internal pull-ups. The Port 1 output buffers can sink/source four TTL inputs. When 1s are written to Port 1 pins, they are pulled high by the internal pull-ups and can be used as inputs. As inputs, Port 1 pins that are externally being pulled low will source current (I_{IL}) because of the internal pull-ups.

In addition, P1.0 and P1.1 can be configured to be the timer/counter 2 external count input (P1.0/T2) and the timer/counter 2 trigger input (P1.1/T2EX), respectively, as shown in the following table.

Port 1 also receives the low-order address bytes during Flash programming and verification.

Port Pin	Alternate Functions
P1.0	T2 (external count input to Timer/Counter 2), clock-out
P1.1	T2EX (Timer/Counter 2 capture/reload trigger and direction control)
P1.5	MOSI (used for In-System Programming)
P1.6	MISO (used for In-System Programming)
P1.7	SCK (used for In-System Programming)

Port 2 Port 2 is an 8-bit bidirectional I/O port with internal pull-ups. The Port 2 output buffers can sink/source four TTL inputs. When 1s are written to Port 2 pins, they are pulled high by the internal pull-ups and can be used as inputs. As inputs, Port 2 pins that are externally being pulled low will source current (I_{IL}) because of the internal pull-ups.

Port 2 emits the high-order address byte during fetches from external program memory and during accesses to external data memory that use 16-bit addresses (MOVX @ DPTR). In this application, Port 2 uses strong internal pull-ups when emitting 1s. During accesses to external data memory that use 8-bit addresses (MOVX @ RI), Port 2 emits the contents of the P2 Special Function Register.

Port 2 also receives the high-order address bits and some control signals during Flash programming and verification.

Port 3 Port 3 is an 8-bit bidirectional I/O port with internal pull-ups. The Port 3 output buffers can sink/source four TTL inputs. When 1s are written to Port 3 pins, they are pulled high by the internal pull-ups and can be used as inputs. As inputs, Port 3 pins that are externally being pulled low will source current (I_{IL}) because of the pull-ups.

Port 3 receives some control signals for Flash programming and verification.

Port 3 also serves the functions of various special features of the AT89S52, as shown in the following table.

Port Pin	Alternate Functions
P3.0	RXD (serial input port)
P3.1	TXD (serial output port)
P3.2	$\overline{\text{INT0}}$ (external interrupt 0)
P3.3	$\overline{\text{INT1}}$ (external interrupt 1)
P3.4	T0 (timer 0 external input)
P3.5	T1 (timer 1 external input)
P3.6	$\overline{\text{WR}}$ (external data memory write strobe)
P3.7	$\overline{\text{RD}}$ (external data memory read strobe)

RST

Reset input. A high on this pin for two machine cycles while the oscillator is running resets the device. This pin drives high for 98 oscillator periods after the Watchdog times out. The DISRTO bit in SFR AUXR (address 8EH) can be used to disable this feature. In the default state of bit DISRTO, the RESET HIGH out feature is enabled.

ALE/$\overline{\text{PROG}}$

Address Latch Enable (ALE) is an output pulse for latching the low byte of the address during accesses to external memory. This pin is also the program pulse input ($\overline{\text{PROG}}$) during Flash programming.

In normal operation, ALE is emitted at a constant rate of 1/6 the oscillator frequency and may be used for external timing or clocking purposes. Note, however, that one ALE pulse is skipped during each access to external data memory.

If desired, ALE operation can be disabled by setting bit 0 of SFR location 8EH. With the bit set, ALE is active only during a MOVX or MOVC instruction. Otherwise, the pin is weakly pulled high. Setting the ALE-disable bit has no effect if the microcontroller is in external execution mode.

$\overline{\text{PSEN}}$

Program Store Enable ($\overline{\text{PSEN}}$) is the read strobe to external program memory.

When the AT89S52 is executing code from external program memory, $\overline{\text{PSEN}}$ is activated twice each machine cycle, except that two $\overline{\text{PSEN}}$ activations are skipped during each access to external data memory.

$\overline{\text{EA}}$/VPP

External Access Enable. $\overline{\text{EA}}$ must be strapped to GND in order to enable the device to fetch code from external program memory locations starting at 0000H up to FFFFH. Note, however, that if lock bit 1 is programmed, $\overline{\text{EA}}$ will be internally latched on reset.

$\overline{\text{EA}}$ should be strapped to V_{CC} for internal program executions.

This pin also receives the 12-volt programming enable voltage (V_{PP}) during Flash programming.

TAL1

Input to the inverting oscillator amplifier and input to the internal clock operating circuit.

TAL2

Output from the inverting oscillator amplifier.

Special Function Registers

A map of the on-chip memory area called the Special Function Register (SFR) space is shown in Table 1.

Note that not all of the addresses are occupied, and unoccupied addresses may not be implemented on the chip. Read accesses to these addresses will in general return random data, and write accesses will have an indeterminate effect.

User software should not write 1s to these unlisted locations, since they may be used in future products to invoke new features. In that case, the reset or inactive values of the new bits will always be 0.

Timer 2 Registers: Control and status bits are contained in registers T2CON (shown in Table 2) and T2MOD (shown in Table 3) for Timer 2. The register pair (RCAP2H, RCAP2L) are the Capture/Reload registers for Timer 2 in 16-bit capture mode or 16-bit auto-reload mode.

Interrupt Registers: The individual interrupt enable bits are in the IE register. Two priorities can be set for each of the six interrupt sources in the IP register.

Table 1. AT89S52 SFR Map and Reset Values

0F8H									0FFH
0F0H	B 00000000								0F7H
0E8H									0EFH
0E0H	ACC 00000000								0E7H
0D8H									0DFH
0D0H	PSW 00000000								0D7H
0C8H	T2CON 00000000	T2MOD XXXXXX00	RCAP2L 00000000	RCAP2H 00000000	TL2 00000000	TH2 00000000			0CFH
0C0H									0C7H
0B8H	IP XX000000								0BFH
0B0H	P3 11111111								0B7H
0A8H	IE 0X000000								0AFH
0A0H	P2 11111111		AUXR1 XXXXXXX0				WDTRST XXXXXXXX		0A7H
98H	SCON 00000000	SBUF XXXXXXXX							9FH
90H	P1 11111111								97H
88H	TCON 00000000	TMOD 00000000	TL0 00000000	TL1 00000000	TH0 00000000	TH1 00000000	AUXR XXX00XX0		8FH
80H	P0 11111111	SP 00000111	DP0L 00000000	DP0H 00000000	DP1L 00000000	DP1H 00000000		PCON 0XXX0000	87H

Table 2. T2CON – Timer/Counter 2 Control Register

T2CON Address = 0C8H — Reset Value = 0000 0000B

Bit Addressable

Bit	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	C/$\overline{T2}$	CP/$\overline{RL2}$
	7	6	5	4	3	2	1	0

Symbol	Function
TF2	Timer 2 overflow flag set by a Timer 2 overflow and must be cleared by software. TF2 will not be set when either RCLK = 1 or TCLK = 1.
EXF2	Timer 2 external flag set when either a capture or reload is caused by a negative transition on T2EX and EXEN2 = 1. When Timer 2 interrupt is enabled, EXF2 = 1 will cause the CPU to vector to the Timer 2 interrupt routine. EXF2 must be cleared by software. EXF2 does not cause an interrupt in up/down counter mode (DCEN = 1).
RCLK	Receive clock enable. When set, causes the serial port to use Timer 2 overflow pulses for its receive clock in serial port Modes 1 and 3. RCLK = 0 causes Timer 1 overflow to be used for the receive clock.
TCLK	Transmit clock enable. When set, causes the serial port to use Timer 2 overflow pulses for its transmit clock in serial port Modes 1 and 3. TCLK = 0 causes Timer 1 overflows to be used for the transmit clock.
EXEN2	Timer 2 external enable. When set, allows a capture or reload to occur as a result of a negative transition on T2EX if Timer 2 is not being used to clock the serial port. EXEN2 = 0 causes Timer 2 to ignore events at T2EX.
TR2	Start/Stop control for Timer 2. TR2 = 1 starts the timer.
C/$\overline{T2}$	Timer or counter select for Timer 2. C/$\overline{T2}$ = 0 for timer function. C/$\overline{T2}$ = 1 for external event counter (falling edge triggered).
CP/$\overline{RL2}$	Capture/Reload select. CP/$\overline{RL2}$ = 1 causes captures to occur on negative transitions at T2EX if EXEN2 = 1. CP/$\overline{RL2}$ = 0 causes automatic reloads to occur when Timer 2 overflows or negative transitions occur at T2EX when EXEN2 = 1. When either RCLK or TCLK = 1, this bit is ignored and the timer is forced to auto-reload on Timer 2 overflow.

Table 3. AUXR: Auxiliary Register

AUXR Address = 8EH Reset Value = XXX00XX0B

Not Bit Addressable

	–	–	–	WDIDLE	DISRTO	–	–	DISALE
Bit	7	6	5	4	3	2	1	0

– Reserved for future expansion

DISALE Disable/Enable ALE

DISALE	Operating Mode
0	ALE is emitted at a constant rate of 1/6 the oscillator frequency
1	ALE is active only during a MOVX or MOVC instruction

DISRTO Disable/Enable Reset out

DISRTO	
0	Reset pin is driven High after WDT times out
1	Reset pin is input only

WDIDLE Disable/Enable WDT in IDLE mode

WDIDLE	
0	WDT continues to count in IDLE mode
1	WDT halts counting in IDLE mode

Dual Data Pointer Registers: To facilitate accessing both internal and external data memory, two banks of 16-bit Data Pointer Registers are provided: DP0 at SFR address locations 82H-83H and DP1 at 84H-85H. Bit DPS = 0 in SFR AUXR1 selects DP0 and DPS = 1 selects DP1. The user should **ALWAYS** initialize the DPS bit to the appropriate value before accessing the respective Data Pointer Register.

Power Off Flag: The Power Off Flag (POF) is located at bit 4 (PCON.4) in the PCON SFR. POF is set to "1" during power up. It can be set and rest under software control and is not affected by reset.

Table 4. AUXR1: Auxiliary Register 1

AUXR1 Address = A2H Reset Value = XXXXXXX0B

Not Bit Addressable

	–	–	–	–	–	–	–	DPS
Bit	7	6	5	4	3	2	1	0

– Reserved for future expansion

DPS Data Pointer Register Select

DPS	
0	Selects DPTR Registers DP0L, DP0H
1	Selects DPTR Registers DP1L, DP1H

lemory Organization

MCS-51 devices have a separate address space for Program and Data Memory. Up to 64K bytes each of external Program and Data Memory can be addressed.

rogram Memory

If the $\overline{EA}$ pin is connected to GND, all program fetches are directed to external memory.

On the AT89S52, if $\overline{EA}$ is connected to V_{CC}, program fetches to addresses 0000H through 1FFFH are directed to internal memory and fetches to addresses 2000H through FFFFH are to external memory.

ata Memory

The AT89S52 implements 256 bytes of on-chip RAM. The upper 128 bytes occupy a parallel address space to the Special Function Registers. This means that the upper 128 bytes have the same addresses as the SFR space but are physically separate from SFR space.

When an instruction accesses an internal location above address 7FH, the address mode used in the instruction specifies whether the CPU accesses the upper 128 bytes of RAM or the SFR space. Instructions which use direct addressing access the SFR space.

For example, the following direct addressing instruction accesses the SFR at location 0A0H (which is P2).

```
MOV 0A0H, #data
```

Instructions that use indirect addressing access the upper 128 bytes of RAM. For example, the following indirect addressing instruction, where R0 contains 0A0H, accesses the data byte at address 0A0H, rather than P2 (whose address is 0A0H).

```
MOV @R0, #data
```

Note that stack operations are examples of indirect addressing, so the upper 128 bytes of data RAM are available as stack space.

atchdog Timer
ne-time Enabled
th Reset-out)

The WDT is intended as a recovery method in situations where the CPU may be subjected to software upsets. The WDT consists of a 14-bit counter and the Watchdog Timer Reset (WDTRST) SFR. The WDT is defaulted to disable from exiting reset. To enable the WDT, a user must write 01EH and 0E1H in sequence to the WDTRST register (SFR location 0A6H). When the WDT is enabled, it will increment every machine cycle while the oscillator is running. The WDT timeout period is dependent on the external clock frequency. There is no way to disable the WDT except through reset (either hardware reset or WDT overflow reset). When WDT overflows, it will drive an output RESET HIGH pulse at the RST pin.

ing the WDT

To enable the WDT, a user must write 01EH and 0E1H in sequence to the WDTRST register (SFR location 0A6H). When the WDT is enabled, the user needs to service it by writing 01EH and 0E1H to WDTRST to avoid a WDT overflow. The 14-bit counter overflows when it reaches 16383 (3FFFH), and this will reset the device. When the WDT is enabled, it will increment every machine cycle while the oscillator is running. This means the user must reset the WDT at least every 16383 machine cycles. To reset the WDT the user must write 01EH and 0E1H to WDTRST. WDTRST is a write-only register. The WDT counter cannot be read or written. When WDT overflows, it will generate an output RESET pulse at the RST pin. The RESET pulse duration is 98xTOSC, where TOSC = 1/FOSC. To make the best use of the WDT, it should be serviced in those sections of code that will periodically be executed within the time required to prevent a WDT reset.

VDT During Power-own and Idle

In Power-down mode the oscillator stops, which means the WDT also stops. While in Power-down mode, the user does not need to service the WDT. There are two methods of exiting Power-down mode: by a hardware reset or via a level-activated external interrupt which is enabled prior to entering Power-down mode. When Power-down is exited with hardware reset, servicing the WDT should occur as it normally does whenever the AT89S52 is reset. Exiting Power-down with an interrupt is significantly different. The interrupt is held low long enough for the oscillator to stabilize. When the interrupt is brought high, the interrupt is serviced. To prevent the WDT from resetting the device while the interrupt pin is held low, the WDT is not started until the interrupt is pulled high. It is suggested that the WDT be reset during the interrupt service for the interrupt used to exit Power-down mode.

To ensure that the WDT does not overflow within a few states of exiting Power-down, it is best to reset the WDT just before entering Power-down mode.

Before going into the IDLE mode, the WDIDLE bit in SFR AUXR is used to determine whether the WDT continues to count if enabled. The WDT keeps counting during IDLE (WDIDLE bit = 0) as the default state. To prevent the WDT from resetting the AT89S52 while in IDLE mode, the user should always set up a timer that will periodically exit IDLE, service the WDT, and reenter IDLE mode.

With WDIDLE bit enabled, the WDT will stop to count in IDLE mode and resumes the count upon exit from IDLE.

ART

The UART in the AT89S52 operates the same way as the UART in the AT89C51 and AT89C52. For further information on the UART operation, refer to the ATMEL Web site (http://www.atmel.com). From the home page, select "Products", then "8051-Architecture Flash Microcontroller", then "Product Overview".

mer 0 and 1

Timer 0 and Timer 1 in the AT89S52 operate the same way as Timer 0 and Timer 1 in the AT89C51 and AT89C52. For further information on the timers' operation, refer to the ATMEL Web site (http://www.atmel.com). From the home page, select "Products", then "8051-Architecture Flash Microcontroller", then "Product Overview".

mer 2

Timer 2 is a 16-bit Timer/Counter that can operate as either a timer or an event counter. The type of operation is selected by bit C/$\overline{T2}$ in the SFR T2CON (shown in Table 2). Timer 2 has three operating modes: capture, auto-reload (up or down counting), and baud rate generator. The modes are selected by bits in T2CON, as shown in Table 5. Timer 2 consists of two 8-bit registers, TH2 and TL2. In the Timer function, the TL2 register is incremented every machine cycle. Since a machine cycle consists of 12 oscillator periods, the count rate is 1/12 of the oscillator frequency.

Table 5. Timer 2 Operating Modes

RCLK +TCLK	CP/$\overline{RL2}$	TR2	MODE
0	0	1	16-bit Auto-reload
0	1	1	16-bit Capture
1	X	1	Baud Rate Generator
X	X	0	(Off)

In the Counter function, the register is incremented in response to a 1-to-0 transition at its corresponding external input pin, T2. In this function, the external input is sampled during S5P2 of every machine cycle. When the samples show a high in one cycle and a low in the next cycle, the count is incremented. The new count value appears in the register during S3P1 of the cycle following the one in which the transition was detected. Since two machine cycles (24 oscillator periods) are required to recognize a 1-to-0 transition, the maximum count rate is 1/24 of the oscillator frequency. To ensure that a given level is sampled at least once before it changes, the level should be held for at least one full machine cycle.

Capture Mode

In the capture mode, two options are selected by bit EXEN2 in T2CON. If EXEN2 = 0, Timer 2 is a 16-bit timer or counter which upon overflow sets bit TF2 in T2CON. This bit can then be used to generate an interrupt. If EXEN2 = 1, Timer 2 performs the same operation, but a 1-to-0 transition at external input T2EX also causes the current value in TH2 and TL2 to be captured into RCAP2H and RCAP2L, respectively. In addition, the transition at T2EX causes bit EXF2 in T2CON to be set. The EXF2 bit, like TF2, can generate an interrupt. The capture mode is illustrated in Figure 1.

Auto-reload (Up or Down Counter)

Timer 2 can be programmed to count up or down when configured in its 16-bit auto-reload mode. This feature is invoked by the DCEN (Down Counter Enable) bit located in the SFR T2MOD (see Table 6). Upon reset, the DCEN bit is set to 0 so that timer 2 will default to count up. When DCEN is set. Timer 2 can count up or down, depending on the value of the T2EX pin.

Figure 1. Timer in Capture Mode

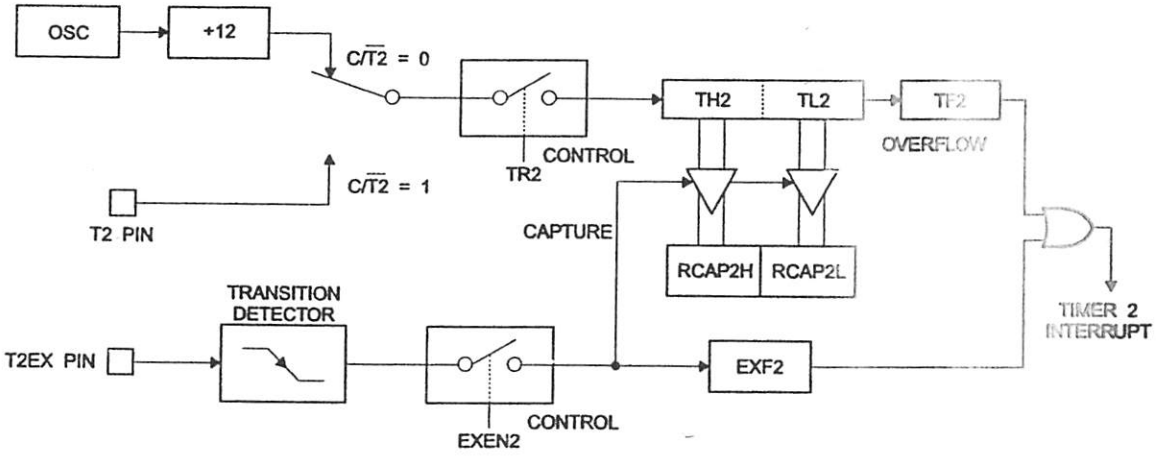


Figure 2 shows Timer 2 automatically counting up when DCEN = 0. In this mode, two options are selected by bit EXEN2 in T2CON. If EXEN2 = 0, Timer 2 counts up to 0FFFFH and then sets the TF2 bit upon overflow. The overflow also causes the timer registers to be reloaded with the 16-bit value in RCAP2H and RCAP2L. The values in Timer in Capture ModeRCAP2H and RCAP2L are preset by software. If EXEN2 = 1, a 16-bit reload can be triggered either by an overflow or by a 1-to-0 transition at external input T2EX. This transition also sets the EXF2 bit. Both the TF2 and EXF2 bits can generate an interrupt if enabled.

Setting the DCEN bit enables Timer 2 to count up or down, as shown in Figure 2. In this mode, the T2EX pin controls the direction of the count. A logic 1 at T2EX makes Timer 2 count up. The timer will overflow at 0FFFFH and set the TF2 bit. This overflow also causes the 16-bit value in RCAP2H and RCAP2L to be reloaded into the timer registers, TH2 and TL2, respectively.

A logic 0 at T2EX makes Timer 2 count down. The timer underflows when TH2 and TL2 equal the values stored in RCAP2H and RCAP2L. The underflow sets the TF2 bit and causes 0FFFFH to be reloaded into the timer registers.

The EXF2 bit toggles whenever Timer 2 overflows or underflows and can be used as a 17th bit of resolution. In this operating mode, EXF2 does not flag an interrupt.

Figure 2. Timer 2 Auto Reload Mode (DCEN = 0)

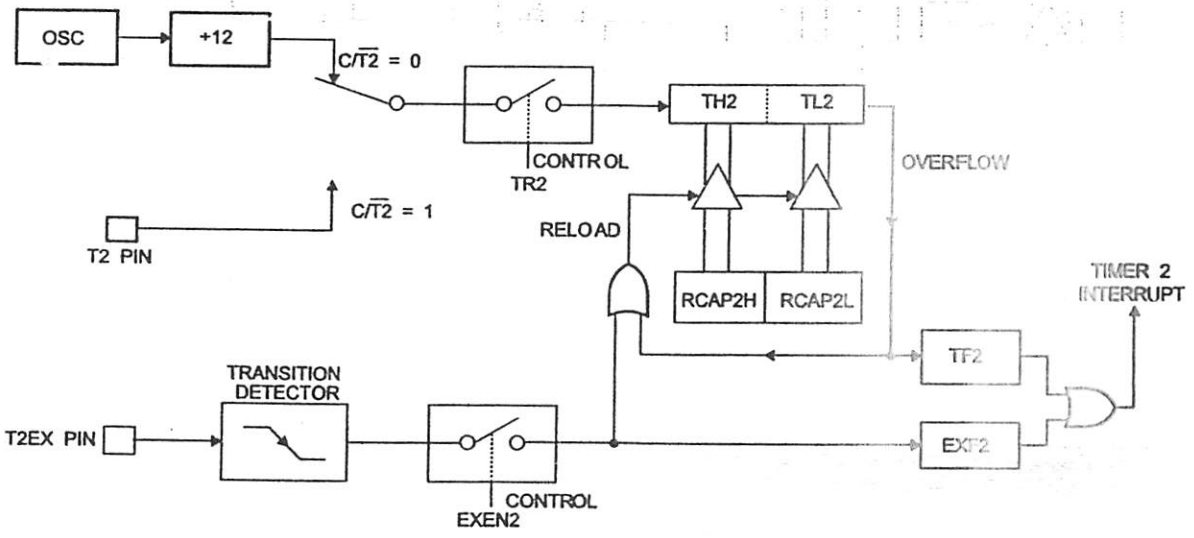


Table 6. T2MOD – Timer 2 Mode Control Register

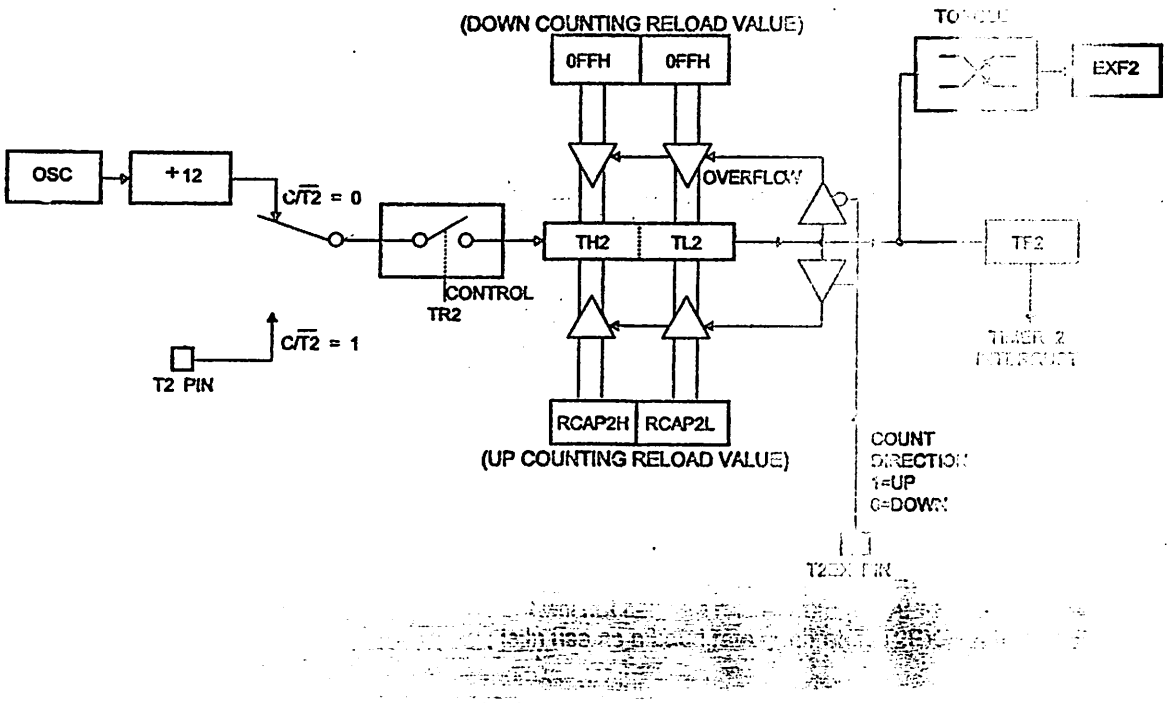
T2MOD Address = 0C9H

Not Bit Addressable

	–	–	–	–	–	–	T2OE	DCEN
Bit	7	6	5	4	3	2	1	0

Symbol	Function
–	Not implemented, reserved for future
T2OE	Timer 2 Output Enable bit
DCEN	When set, this bit allows Timer 2 to be configured as an up/down counter

Figure 3. Timer 2 Auto Reload Mode (DCEN = 1)



Baud Rate Generator

Timer 2 is selected as the baud rate generator by setting TCLK and/or RCLK in T2CON (Table 2). Note that the baud rates for transmit and receive can be different if Timer 2 is used for the receiver or transmitter and Timer 1 is used for the other function. Setting RCLK and/or TCLK puts Timer 2 into its baud rate generator mode, as shown in Figure 4.

The baud rate generator mode is similar to the auto-reload mode, in that a rollover in TH2 causes the Timer 2 registers to be reloaded with the 16-bit value in registers RCAP2H and RCAP2L, which are preset by software.

The baud rates in Modes 1 and 3 are determined by Timer 2's overflow rate according to the following equation.

$$\text{Modes 1 and 3 Baud Rates} = \frac{\text{Timer 2 Overflow Rate}}{16}$$

The Timer can be configured for either timer or counter operation. In most applications, it is configured for timer operation ($CP/\overline{T2} = 0$). The timer operation is different for Timer 2 when it is used as a baud rate generator. Normally, as a timer, it increments every machine cycle (at 1/12 the oscillator frequency). As a baud rate generator, however, it increments every state time (at 1/2 the oscillator frequency). The baud rate formula is given below.

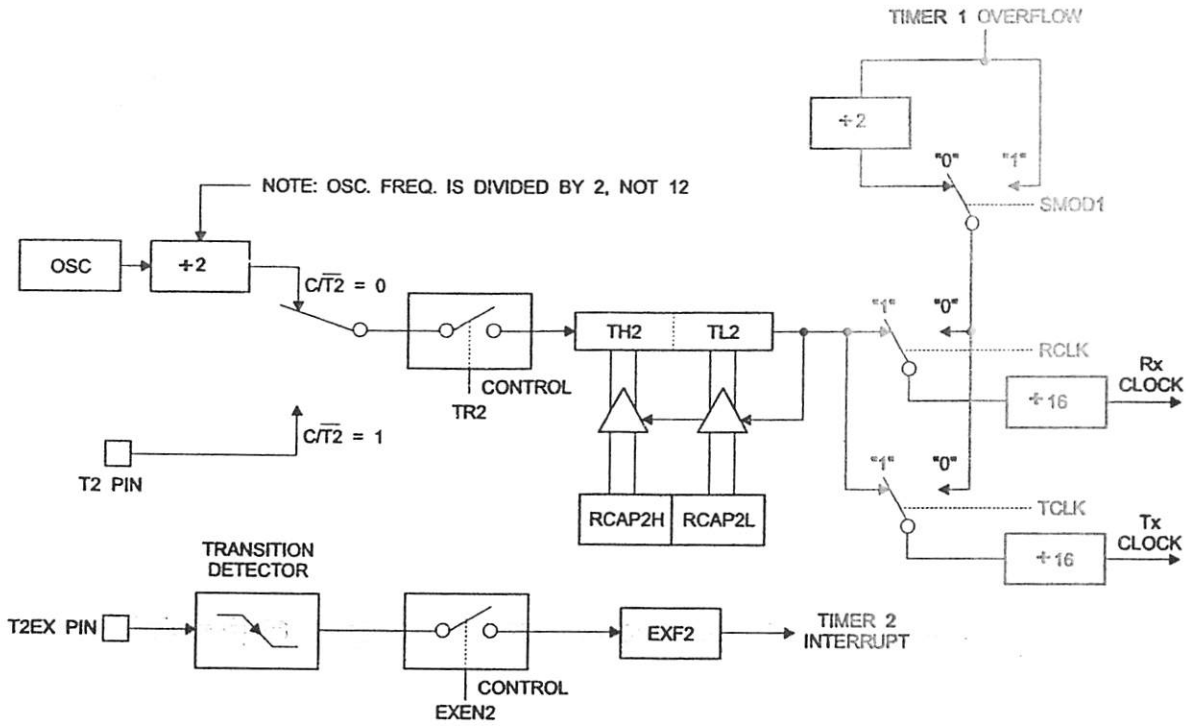
$$\frac{\text{Modes 1 and 3}}{\text{Baud Rate}} = \frac{\text{Oscillator Frequency}}{32 \times [65536\text{-RCAP2H,RCAP2L})]}$$

where (RCAP2H, RCAP2L) is the content of RCAP2H and RCAP2L taken as a 16-bit unsigned integer.

Timer 2 as a baud rate generator is shown in Figure 4. This figure is valid only if RCLK or TCLK = 1 in T2CON. Note that a rollover in TH2 does not set TF2 and will not generate an interrupt. Note too, that if EXEN2 is set, a 1-to-0 transition in T2EX will set EXF2 but will not cause a reload from (RCAP2H, RCAP2L) to (TH2, TL2). Thus, when Timer 2 is in use as a baud rate generator, T2EX can be used as an extra external interrupt.

Note that when Timer 2 is running (TR2 = 1) as a timer in the baud rate generator mode, TH2 or TL2 should not be read from or written to. Under these conditions, the Timer is incremented every state time, and the results of a read or write may not be accurate. The RCAP2 registers may be read but should not be written to, because a write might overlap a reload and cause write and/or reload errors. The timer should be turned off (clear TR2) before accessing the Timer 2 or RCAP2 registers.

Figure 4. Timer 2 in Baud Rate Generator Mode



Programmable Clock Out

A 50% duty cycle clock can be programmed to come out on P1.0, as shown in Figure 5. This pin, besides being a regular I/O pin, has two alternate functions. It can be programmed to input the external clock for Timer/Counter 2 or to output a 50% duty cycle clock ranging from 61 Hz to 4 MHz (for a 16-MHz operating frequency).

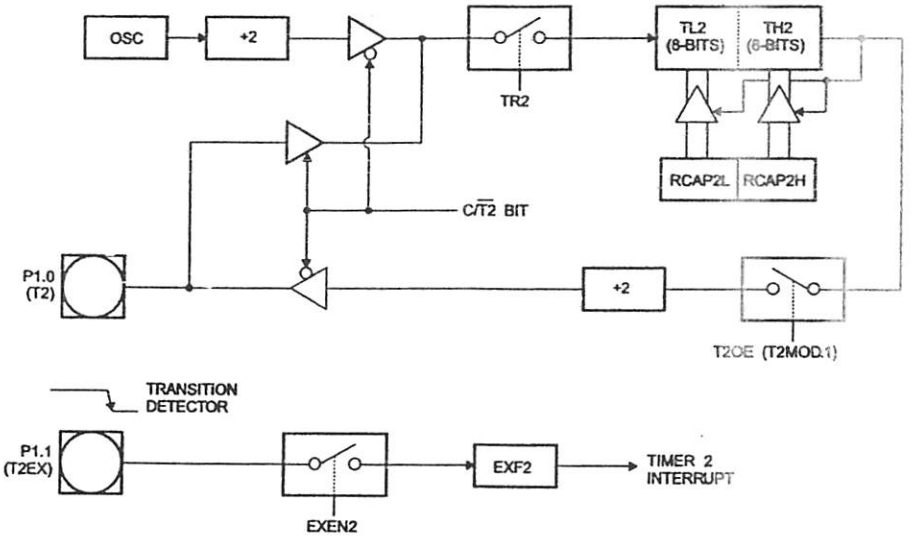
To configure the Timer/Counter 2 as a clock generator, bit C/$\overline{T2}$ (T2CON.1) must be cleared and bit T2OE (T2MOD.1) must be set. Bit TR2 (T2CON.2) starts and stops the timer.

The clock-out frequency depends on the oscillator frequency and the reload value of Timer 2 capture registers (RCAP2H, RCAP2L), as shown in the following equation.

$$\text{Clock-Out Frequency} = \frac{\text{Oscillator Frequency}}{4 \times [65536-(\text{RCAP2H,RCAP2L})]}$$

In the clock-out mode, Timer 2 roll-overs will not generate an interrupt. This behavior is similar to when Timer 2 is used as a baud-rate generator. It is possible to use Timer 2 as a baud-rate generator and a clock generator simultaneously. Note, however, that the baud-rate and clock-out frequencies cannot be determined independently from one another since they both use RCAP2H and RCAP2L.

Figure 5. Timer 2 in Clock-Out Mode



Interrupts

The AT89S52 has a total of six interrupt vectors: two external interrupts ($\overline{INT0}$ and $\overline{INT1}$), three timer interrupts (Timers 0, 1, and 2), and the serial port interrupt. These interrupts are all shown in Figure 6.

Each of these interrupt sources can be individually enabled or disabled by setting or clearing a bit in Special Function Register IE. IE also contains a global disable bit, EA, which disables all interrupts at once.

Note that Table 5 shows that bit position IE.6 is unimplemented. User software should not write a 1 to this bit position, since it may be used in future AT89 products.

Timer 2 interrupt is generated by the logical OR of bits TF2 and EXF2 in register T2CON. Neither of these flags is cleared by hardware when the service routine is vectored to. In fact, the service routine may have to determine whether it was TF2 or EXF2 that generated the interrupt, and that bit will have to be cleared in software.

The Timer 0 and Timer 1 flags, TF0 and TF1, are set at S5P2 of the cycle in which the timers overflow. The values are then polled by the circuitry in the next cycle. However, the Timer 2 flag, TF2, is set at S2P2 and is polled in the same cycle in which the timer overflows.

Table 7. Interrupt Enable (IE) Register

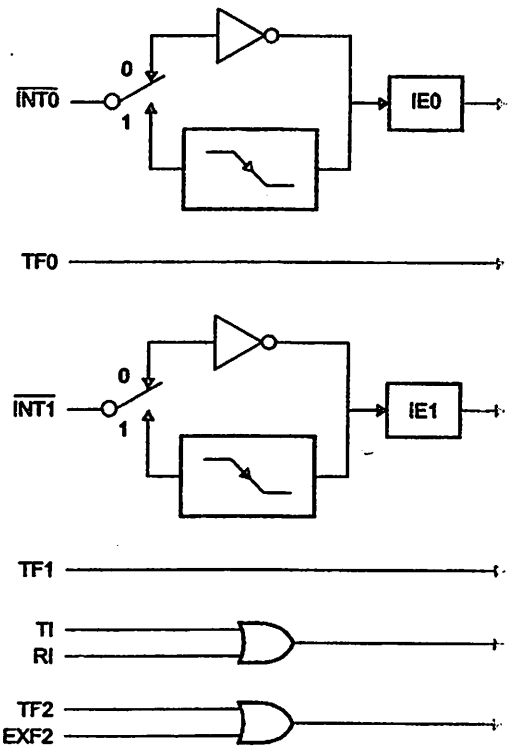
(MSB)							(LSB)
EA	–	ET2	ES	ET1	EX1	ET0	EX0

Enable Bit = 1 enables the interrupt.

Enable Bit = 0 disables the interrupt.

Symbol	Position	Function
EA	IE.7	Disables all interrupts. If EA = 0, no interrupt is acknowledged. If EA = 1, each interrupt source is individually enabled or disabled by setting or clearing its enable bit.
–	IE.6	Reserved.
ET2	IE.5	Timer 2 interrupt enable bit.
ES	IE.4	Serial Port interrupt enable bit.
ET1	IE.3	Timer 1 interrupt enable bit.
EX1	IE.2	External interrupt 1 enable bit.
ET0	IE.1	Timer 0 interrupt enable bit.
EX0	IE.0	External interrupt 0 enable bit.
User software should never write 1s to reserved bits, because they may be used in future AT89 products.		

Figure 6. Interrupt Sources



Oscillator Characteristics

XTAL1 and XTAL2 are the input and output, respectively, of an inverting amplifier that can be configured for use as an on-chip oscillator, as shown in Figure 7. Either a quartz crystal or ceramic resonator may be used. To drive the device from an external clock source, XTAL2 should be left unconnected while XTAL1 is driven, as shown in Figure 8. There are no requirements on the duty cycle of the external clock signal, since the input to the internal clocking circuitry is through a divide-by-two flip-flop, but minimum and maximum voltage high and low time specifications must be observed.

Idle Mode

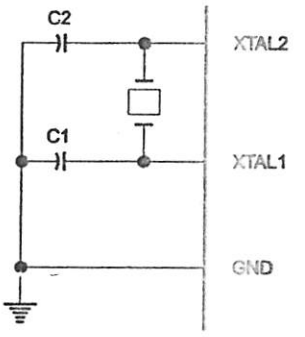
In idle mode, the CPU puts itself to sleep while all the on-chip peripherals remain active. The mode is invoked by software. The content of the on-chip RAM and all the special functions registers remain unchanged during this mode. The idle mode can be terminated by any enabled interrupt or by a hardware reset.

Note that when idle mode is terminated by a hardware reset, the device normally resumes program execution from where it left off, up to two machine cycles before the internal reset algorithm takes control. On-chip hardware inhibits access to internal RAM in this event, but access to the port pins is not inhibited. To eliminate the possibility of an unexpected write to a port pin when idle mode is terminated by a reset, the instruction following the one that invokes idle mode should not write to a port pin or to external memory.

Power-down Mode

In the Power-down mode, the oscillator is stopped, and the instruction that invokes Power-down is the last instruction executed. The on-chip RAM and Special Function Registers retain their values until the Power-down mode is terminated. Exit from Power-down mode can be initiated either by a hardware reset or by an enabled external interrupt. Reset redefines the SFRs but does not change the on-chip RAM. The reset should not be activated before V_{CC} is restored to its normal operating level and must be held active long enough to allow the oscillator to restart and stabilize.

Figure 7. Oscillator Connections



Note: 1. C1, C2 = 30 pF ± 10 pF for Crystals
= 40 pF ± 10 pF for Ceramic Resonators

Figure 8. External Clock Drive Configuration

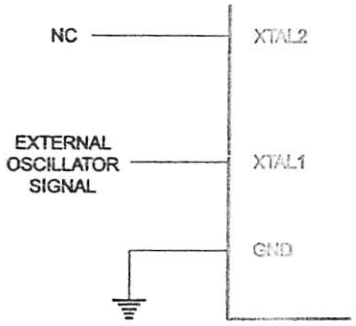


Table 8. Status of External Pins During Idle and Power-down Modes

Mode	Program Memory	ALE	$\overline{PSEN}$	PORT0	PORT1	PORT2	PORT3
Idle	Internal	1	1	Data	Data	Data	Data
Idle	External	1	1	Float	Data	Address	Data
Power-down	Internal	0	0	Data	Data	Data	Data
Power-down	External	0	0	Float	Data	Data	Data

Program Memory Lock Bits

The AT89S52 has three lock bits that can be left unprogrammed (U) or can be programmed (P) to obtain the additional features listed in the following table.

Table 9. Lock Bit Protection Modes

Program Lock Bits				
	LB1	LB2	LB3	Protection Type
1	U	U	U	No program lock features
2	P	U	U	MOVC instructions executed from external program memory are disabled from fetching code bytes from internal memory, $\overline{EA}$ is sampled and latched on reset, and further programming of the Flash memory is disabled
3	P	P	U	Same as mode 2, but verify is also disabled
4	P	P	P	Same as mode 3, but external execution is also disabled

When lock bit 1 is programmed, the logic level at the $\overline{EA}$ pin is sampled and latched during reset. If the device is powered up without a reset, the latch initializes to a random value and holds that value until reset is activated. The latched value of $\overline{EA}$ must agree with the current logic level at that pin in order for the device to function properly.

Programming the Flash – Parallel Mode

The AT89S52 is shipped with the on-chip Flash memory array ready to be programmed. The programming interface needs a high-voltage (12-volt) program enable signal and is compatible with conventional third-party Flash or EPROM programmers.

The AT89S52 code memory array is programmed byte-by-byte.

Programming Algorithm: Before programming the AT89S52, the address, data, and control signals should be set up according to the Flash programming mode table and Figures 13 and 14. To program the AT89S52, take the following steps:

1. Input the desired memory location on the address lines.
2. Input the appropriate data byte on the data lines.
3. Activate the correct combination of control signals.
4. Raise $\overline{EA}/V_{PP}$ to 12V.
5. Pulse ALE/$\overline{PROG}$ once to program a byte in the Flash array or the lock bits. The byte-write cycle is self-timed and typically takes no more than 50 µs. Repeat steps 1 through 5, changing the address and data for the entire array or until the end of the object file is reached.

$\overline{Data}$ Polling: The AT89S52 features $\overline{Data}$ Polling to indicate the end of a byte write cycle. During a write cycle, an attempted read of the last byte written will result in the complement of the written data on P0.7. Once the write cycle has been completed, true data is valid on all outputs, and the next cycle may begin. $\overline{Data}$ Polling may begin any time after a write cycle has been initiated.

Ready/$\overline{Busy}$: The progress of byte programming can also be monitored by the RDY/$\overline{BSY}$ output signal. P3.0 is pulled low after ALE goes high during programming to indicate $\overline{BUSY}$. P3.0 is pulled high again when programming is done to indicate READY.

Program Verify: If lock bits LB1 and LB2 have not been programmed, the programmed code data can be read back via the address and data lines for verification. The status of the individual lock bits can be verified directly by reading them back.

Reading the Signature Bytes: The signature bytes are read by the same procedure as a normal verification of locations 000H, 100H, and 200H, except that P3.6 and P3.7 must be pulled to a logic low. The values returned are as follows.

(000H) = 1EH indicates manufactured by Atmel
(100H) = 52H indicates AT89S52
(200H) = 06H

Chip Erase: In the parallel programming mode, a chip erase operation is initiated by using the proper combination of control signals and by pulsing ALE/$\overline{PROG}$ low for a duration of 200 ns - 500 ns.

In the serial programming mode, a chip erase operation is initiated by issuing the Chip Erase instruction. In this mode, chip erase is self-timed and takes about 500 ms.

During chip erase, a serial read from any address location will return 00H at the data output.

Programming the Flash – Serial Mode

The Code memory array can be programmed using the serial ISP interface while RST is pulled to V_{CC}. The serial interface consists of pins SCK, MOSI (input) and MISO (output). After RST is set high, the Programming Enable instruction needs to be executed first before other operations can be executed. Before a reprogramming sequence can occur, a Chip Erase operation is required.

The Chip Erase operation turns the content of every memory location in the Code array into FFH.

Either an external system clock can be supplied at pin XTAL1 or a crystal needs to be connected across pins XTAL1 and XTAL2. The maximum serial clock (SCK) frequency should be less than 1/16 of the crystal frequency. With a 33 MHz oscillator clock, the maximum SCK frequency is 2 MHz.

Serial Programming Algorithm

To program and verify the AT89S52 in the serial programming mode, the following sequence is recommended:

1. Power-up sequence:

   Apply power between VCC and GND pins.

   Set RST pin to "H".

   If a crystal is not connected across pins XTAL1 and XTAL2, apply a 3 MHz to 33 MHz clock to XTAL1 pin and wait for at least 10 milliseconds.
2. Enable serial programming by sending the Programming Enable serial instruction to pin MOSI/P1.5. The frequency of the shift clock supplied at pin SCK/P1.7 needs to be less than the CPU clock at XTAL1 divided by 16.
3. The Code array is programmed one byte at a time in either the Byte or Page mode. The write cycle is self-timed and typically takes less than 0.5 ms at 5V.
4. Any memory location can be verified by using the Read instruction which returns the content at the selected address at serial output MISO/P1.6.
5. At the end of a programming session, RST can be set low to commence normal device operation.

Power-off sequence (if needed):

Set XTAL1 to "L" (if a crystal is not used).

Set RST to "L".

Turn V_{CC} power off.

$\overline{\text{Data}}$ Polling: The $\overline{\text{Data}}$ Polling feature is also available in the serial mode. In this mode, during a write cycle an attempted read of the last byte written will result in the complement of the MSB of the serial output byte on MISO.

Serial Programming Instruction Set

The Instruction Set for Serial Programming follows a 4-byte protocol and is shown in Table 11.

Programming Interface – Parallel Mode

Every code byte in the Flash array can be programmed by using the appropriate combination of control signals. The write operation cycle is self-timed and once initiated, will automatically time itself to completion.

Most worldwide major programming vendors offer support for the Atmel AT89 microcontroller series. Please contact your local programming vendor for the appropriate software revision.

Table 10. Flash Programming Modes

Mode	V_{CC}	RST	$\overline{PSEN}$	ALE/ $\overline{PROG}$	$\overline{EA}$/ V_{PP}	P2.6	P2.7	P3.3	P3.6	P3.7	P0.7-0 Data	P2.4-0	P1.7-0
												Address	
Write Code Data	5V	H	L	(2) ⌣	12V	L	H	H	H	H	D_{IN}	A12-8	A7-0
Read Code Data	5V	H	L	H	H	L	L	L	H	H	D_{OUT}	A12-8	A7-0
Write Lock Bit 1	5V	H	L	(3) ⌣	12V	H	H	H	H	H	X	X	X
Write Lock Bit 2	5V	H	L	(3) ⌣	12V	H	H	H	L	L	X	X	X
Write Lock Bit 3	5V	H	L	(3) ⌣	12V	H	L	H	H	L	X	X	X
Read Lock Bits 1, 2, 3	5V	H	L	H	H	H	H	L	H	L	P0.2, P0.3, P0.4	X	X
Chip Erase	5V	H	L	(1) ⌣	12V	H	L	H	L	L	X	X	X
Read Atmel ID	5V	H	L	H	H	L	L	L	L	L	1EH	X 0000	00H
Read Device ID	5V	H	L	H	H	L	L	L	L	L	52H	X 0001	00H
Read Device ID	5V	H	L	H	H	L	L	L	L	L	06H	X 0010	00H

otes:
1. Each $\overline{PROG}$ pulse is 200 ns - 500 ns for Chip Erase.
2. Each $\overline{PROG}$ pulse is 200 ns - 500 ns for Write Code Data.
3. Each $\overline{PROG}$ pulse is 200 ns - 500 ns for Write Lock Bits.
4. RDY/$\overline{BSY}$ signal is output on P3.0 during programming.
5. X = don't care.

Figure 9. Programming the Flash Memory (Parallel Mode)

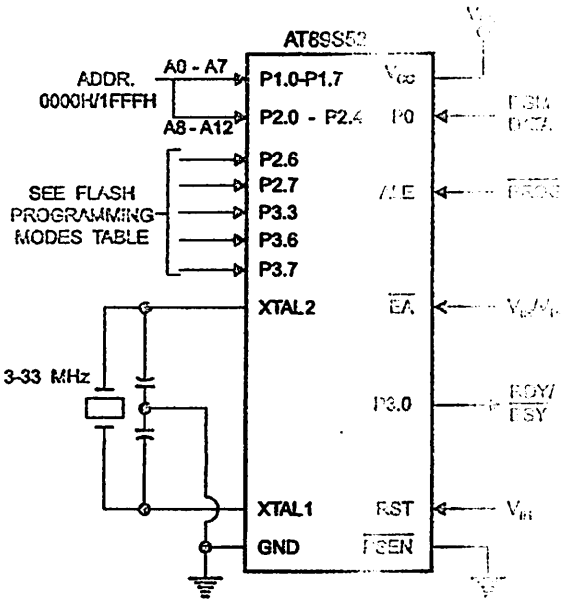
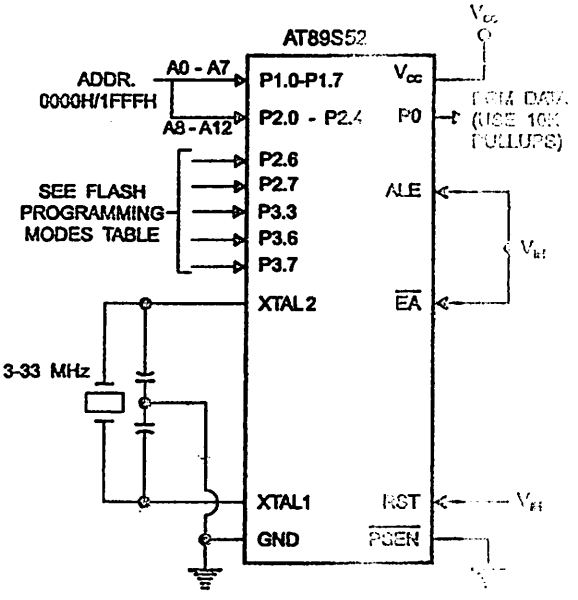


Figure 10. Verifying the Flash Memory (Parallel Mode)



Flash Programming and Verification Characteristics (Parallel Mode)

T_A = 20°C to 30°C, V_{CC} = 4.5 to 5.5V

Symbol	Parameter	Min	Max	Units
V_{PP}	Programming Supply Voltage	11.5	12.5	V
I_{PP}	Programming Supply Current		10	mA
I_{CC}	V_{CC} Supply Current		30	mA
$1/t_{CLCL}$	Oscillator Frequency	3	33	MHz
t_{AVGL}	Address Setup to $\overline{PROG}$ Low	$48t_{CLCL}$		
t_{GHAX}	Address Hold After $\overline{PROG}$	$48t_{CLCL}$		
t_{DVGL}	Data Setup to $\overline{PROG}$ Low	$48t_{CLCL}$		
t_{GHDX}	Data Hold After $\overline{PROG}$	$48t_{CLCL}$		
t_{EHSH}	P2.7 ($\overline{ENABLE}$) High to V_{PP}	$48t_{CLCL}$		
t_{SHGL}	V_{PP} Setup to $\overline{PROG}$ Low	10		µs
t_{GHSL}	V_{PP} Hold After $\overline{PROG}$	10		µs
t_{GLGH}	$\overline{PROG}$ Width	0.2	1	µs
t_{AVQV}	Address to Data Valid		$48t_{CLCL}$	
t_{ELQV}	$\overline{ENABLE}$ Low to Data Valid		$48t_{CLCL}$	
t_{EHQZ}	Data Float After $\overline{ENABLE}$	0	$48t_{CLCL}$	
t_{GHBL}	$\overline{PROG}$ High to $\overline{BUSY}$ Low		1.0	µs
t_{WC}	Byte Write Cycle Time		50	µs

Figure 11. Flash Programming and Verification Waveforms – Parallel Mode

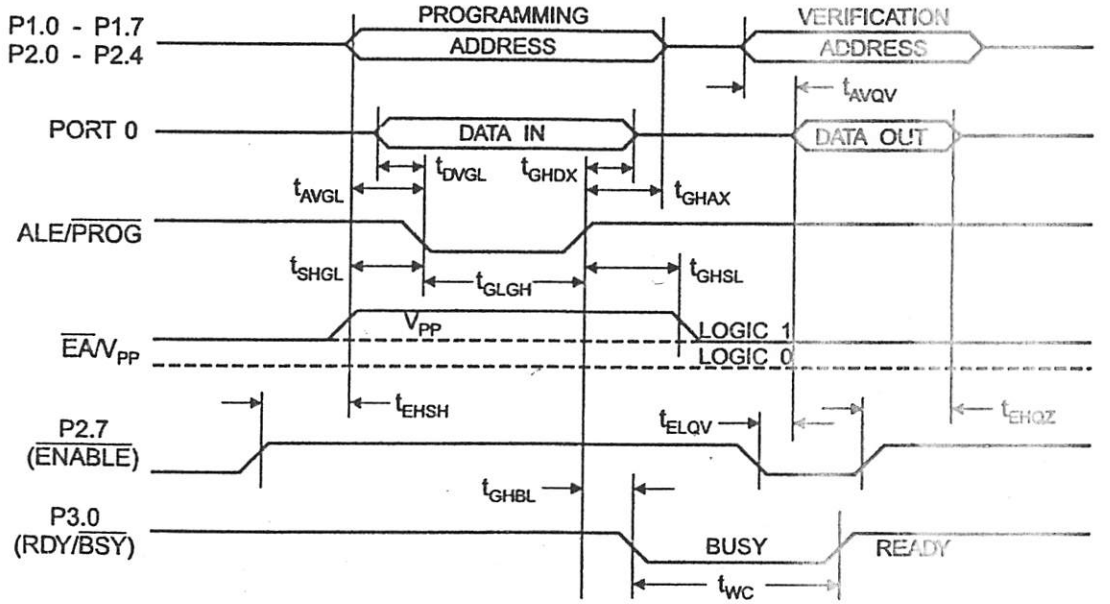
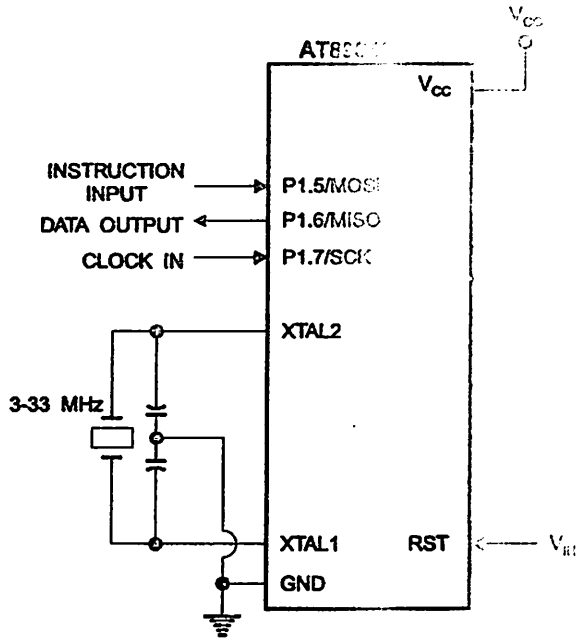


Figure 12. Flash Memory Serial Downloading



Flash Programming and Verification Waveforms – Serial Mode

Figure 13. Serial Programming Waveforms

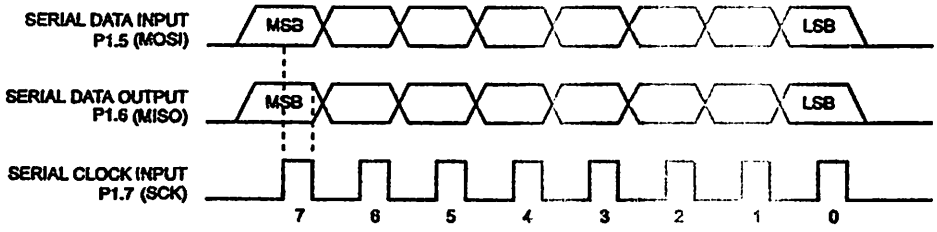


Table 11. Serial Programming Instruction Set

Instruction	Instruction Format Byte 1	Byte 2	Byte 3	Byte 4	Operation
Programming Enable	1010 1100	0101 0011	xxxx xxxx	xxxx xxxx 0110 1001 (Output on MISO)	Enable Serial Programming while RST is high
Chip Erase	1010 1100	100x xxxx	xxxx xxxx	xxxx xxxx	Chip Erase Flash memory array
Read Program Memory (Byte Mode)	0010 0000	xxx A12 A11 A10 A9 A8	A7 A6 A5 A4 A3 A2 A1 A0	D7 D6 D5 D4 D3 D2 D1 D0	Read data from Program memory in the byte mode
Write Program Memory (Byte Mode)	0100 0000	xxx A12 A11 A10 A9 A8	A7 A6 A5 A4 A3 A2 A1 A0	D7 D6 D5 D4 D3 D2 D1 D0	Write data to Program memory in the byte mode
Write Lock Bits[1]	1010 1100	1110 00 B1 B2	xxxx xxxx	xxxx xxxx	Write Lock bits. See Note (1).
Read Lock Bits	0010 0100	xxxx xxxx	xxxx xxxx	xxx LB3 LB2 LB1 xx	Read back current status of the lock bits (a programmed lock bit reads back as a "1")
Read Signature Bytes	0010 1000	xxx A12 A11 A10 A9 A8	A7 xxx xxx0	Signature Byte	Read Signature Byte
Read Program Memory (Page Mode)	0011 0000	xxx A12 A11 A10 A9 A8	Byte 0	Byte 1... Byte 255	Read data from Program memory in the Page Mode (256 bytes)
Write Program Memory (Page Mode)	0101 0000	xxx A12 A11 A10 A9 A8	Byte 0	Byte 1... Byte 255	Write data to Program memory in the Page Mode (256 bytes)

Note: 1. B1 = 0, B2 = 0 ---> Mode 1, no lock protection
B1 = 0, B2 = 1 ---> Mode 2, lock bit 1 activated
B1 = 1, B2 = 0 ---> Mode 3, lock bit 2 activated
B1 = 1, B2 = 1 ---> Mode 4, lock bit 3 activated

} Each of the lock bit modes needs to be activated sequentially before Mode 4 can be executed.

After Reset signal is high, SCK should be low for at least 64 system clocks before it goes high to clock in the enable data bytes. No pulsing of Reset signal is necessary. SCK should be no faster than 1/16 of the system clock at XTAL1.

For Page Read/Write, the data always starts from byte 0 to 255. After the command byte and upper address byte are latched, each byte thereafter is treated as data until all 256 bytes are shifted in/out. Then the next instruction will be ready to be decoded.

Serial Programming Characteristics

Figure 14. Serial Programming Timing

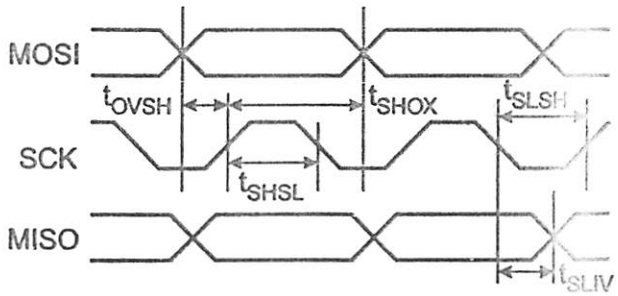


Table 12. Serial Programming Characteristics, T_A = -40° C to 85° C, V_{CC} = 4.0 - 5.5V (Unless Otherwise Noted)

Symbol	Parameter	Min	Typ	Max	Units
$1/t_{CLCL}$	Oscillator Frequency	3		33	MHz
t_{CLCL}	Oscillator Period	30			ns
t_{SHSL}	SCK Pulse Width High	8 t_{CLCL}			ns
t_{SLSH}	SCK Pulse Width Low	8 t_{CLCL}			ns
t_{OVSH}	MOSI Setup to SCK High	t_{CLCL}			ns
t_{SHOX}	MOSI Hold after SCK High	2 t_{CLCL}			ns
t_{SLIV}	SCK Low to MISO Valid	10	16	32	ns
t_{ERASE}	Chip Erase Instruction Cycle Time			500	ms
t_{SWC}	Serial Byte Write Cycle Time			64 t_{CLCL} + 400	µs

Absolute Maximum Ratings*

Operating Temperature	-55°C to +125°C
Storage Temperature	-65°C to +150°C
Voltage on Any Pin with Respect to Ground	-1.0V to +7.0V
Maximum Operating Voltage	6.6V
DC Output Current	15.0 mA

*NOTICE: Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC Characteristics

The values shown in this table are valid for T_A = -40°C to 85°C and V_{CC} = 4.0V to 5.5V, unless otherwise noted.

Symbol	Parameter	Condition	Min	Max	Units
V_{IL}	Input Low Voltage	(Except $\overline{EA}$)	-0.5	0.2 V_{CC}-0.1	V
V_{IL1}	Input Low Voltage ($\overline{EA}$)		-0.5	0.2 V_{CC}-0.3	V
V_{IH}	Input High Voltage	(Except XTAL1, RST)	0.2 V_{CC}+0.9	V_{CC}+0.5	V
V_{IH1}	Input High Voltage	(XTAL1, RST)	0.7 V_{CC}	V_{CC}+0.5	V
V_{OL}	Output Low Voltage(1) (Ports 1,2,3)	I_{OL} = 1.6 mA		0.45	V
V_{OL1}	Output Low Voltage(1) (Port 0, ALE, $\overline{PSEN}$)	I_{OL} = 3.2 mA		0.45	V
V_{OH}	Output High Voltage (Ports 1,2,3, ALE, $\overline{PSEN}$)	I_{OH} = -60 µA, V_{CC} = 5V ±10%	2.4		V
		I_{OH} = -25 µA	0.75 V_{CC}		V
		I_{OH} = -10 µA	0.9 V_{CC}		V
V_{OH1}	Output High Voltage (Port 0 in External Bus Mode)	I_{OH} = -800 µA, V_{CC} = 5V ±10%	2.4		V
		I_{OH} = -300 µA	0.75 V_{CC}		V
		I_{OH} = -80 µA	0.9 V_{CC}		V
I_{IL}	Logical 0 Input Current (Ports 1,2,3)	V_{IN} = 0.45V		-50	µA
I_{TL}	Logical 1 to 0 Transition Current (Ports 1,2,3)	V_{IN} = 2V, V_{CC} = 5V ±10%		-650	µA
I_{LI}	Input Leakage Current (Port 0, $\overline{EA}$)	0.45 < V_{IN} < V_{CC}		±10	µA
RRST	Reset Pulldown Resistor		50	300	KΩ
C_{IO}	Pin Capacitance	Test Freq. = 1 MHz, T_A = 25°C		10	pF
I_{CC}	Power Supply Current	Active Mode, 12 MHz		25	mA
		Idle Mode, 12 MHz		6.5	mA
	Power-down Mode(1)	V_{CC} = 5.5V		50	µA

Notes:
1. Under steady state (non-transient) conditions, I_{OL} must be externally limited as follows:
   Maximum I_{OL} per port pin: 10 mA
   Maximum I_{OL} per 8-bit port:
   Port 0: 26 mA Ports 1, 2, 3: 15 mA
   Maximum total I_{OL} for all output pins: 71 mA
   If I_{OL} exceeds the test condition, V_{OL} may exceed the related specification. Pins are not guaranteed to sink current greater than the listed test conditions.
2. Minimum V_{CC} for Power-down is 2V.

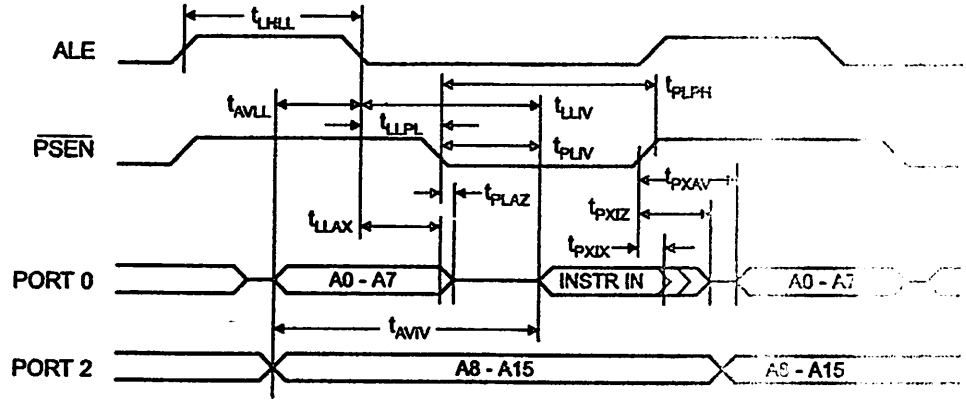
AC Characteristics

Under operating conditions, load capacitance for Port 0, ALE/$\overline{PROG}$, and $\overline{PSEN}$ = 100 pF; load capacitance for all other outputs = 80 pF.

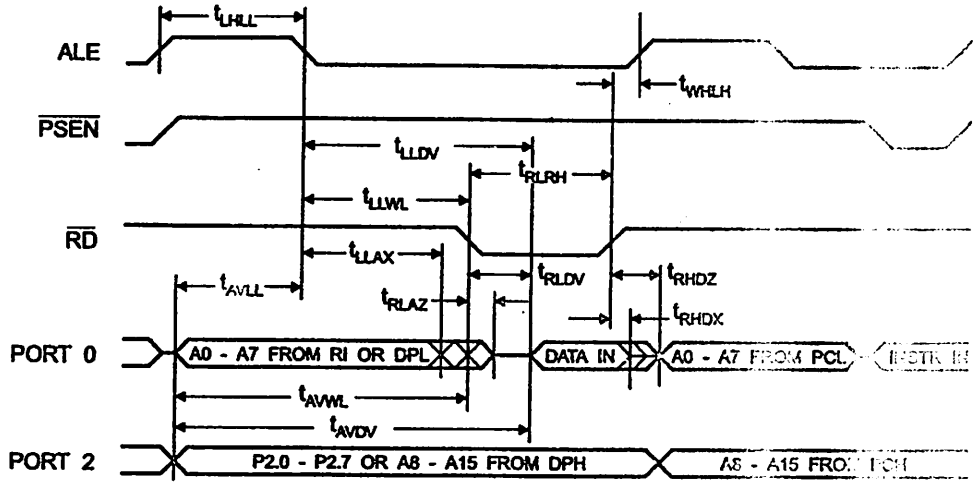
External Program and Data Memory Characteristics

Symbol	Parameter	12 MHz Oscillator		Variable Oscillator		Units
		Min	Max	Min	Max	
$1/t_{CLCL}$	Oscillator Frequency			0	33	MHz
t_{LHLL}	ALE Pulse Width	127		$2t_{CLCL}$-40		ns
t_{AVLL}	Address Valid to ALE Low	43		t_{CLCL}-25		ns
t_{LLAX}	Address Hold After ALE Low	48		t_{CLCL}-25		ns
t_{LLIV}	ALE Low to Valid Instruction In		233		$4t_{CLCL}$-65	ns
t_{LLPL}	ALE Low to $\overline{PSEN}$ Low	43		t_{CLCL}-25		ns
t_{PLPH}	$\overline{PSEN}$ Pulse Width	205		$3t_{CLCL}$-45		ns
t_{PLIV}	$\overline{PSEN}$ Low to Valid Instruction In		145		$3t_{CLCL}$-60	ns
t_{PXIX}	Input Instruction Hold After $\overline{PSEN}$	0		0		ns
t_{PXIZ}	Input Instruction Float After $\overline{PSEN}$		59		t_{CLCL}-25	ns
t_{PXAV}	$\overline{PSEN}$ to Address Valid	75		t_{CLCL}-8		ns
t_{AVIV}	Address to Valid Instruction In		312		$5t_{CLCL}$-80	ns
t_{PLAZ}	$\overline{PSEN}$ Low to Address Float		10		10	ns
t_{RLRH}	$\overline{RD}$ Pulse Width	400		$6t_{CLCL}$-100		ns
t_{WLWH}	$\overline{WR}$ Pulse Width	400		$6t_{CLCL}$-100		ns
t_{RLDV}	$\overline{RD}$ Low to Valid Data In		252		$5t_{CLCL}$-90	ns
t_{RHDX}	Data Hold After $\overline{RD}$	0		0		ns
t_{RHDZ}	Data Float After $\overline{RD}$		97		$2t_{CLCL}$-28	ns
t_{LLDV}	ALE Low to Valid Data In		517		$8t_{CLCL}$-150	ns
t_{AVDV}	Address to Valid Data In		585		$9t_{CLCL}$-165	ns
t_{LLWL}	ALE Low to $\overline{RD}$ or $\overline{WR}$ Low	200	300	$3t_{CLCL}$-50	$3t_{CLCL}$+50	ns
t_{AVWL}	Address to $\overline{RD}$ or $\overline{WR}$ Low	203		$4t_{CLCL}$-75		ns
t_{QVWX}	Data Valid to $\overline{WR}$ Transition	23		t_{CLCL}-30		ns
t_{QVWH}	Data Valid to $\overline{WR}$ High	433		$7t_{CLCL}$-130		ns
t_{WHQX}	Data Hold After $\overline{WR}$	33		t_{CLCL}-25		ns
t_{RLAZ}	$\overline{RD}$ Low to Address Float		0		0	ns
t_{WHLH}	$\overline{RD}$ or $\overline{WR}$ High to ALE High	43	123	t_{CLCL}-25	t_{CLCL}+25	ns

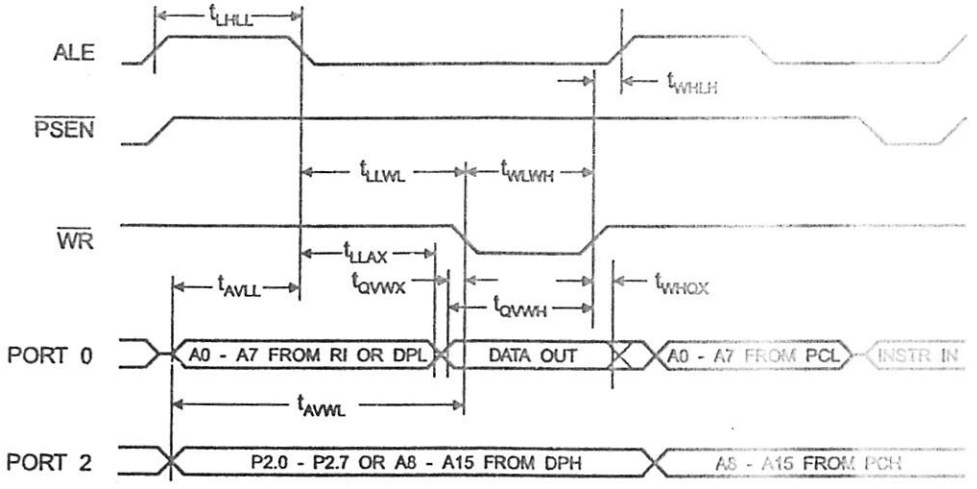
External Program Memory Read Cycle



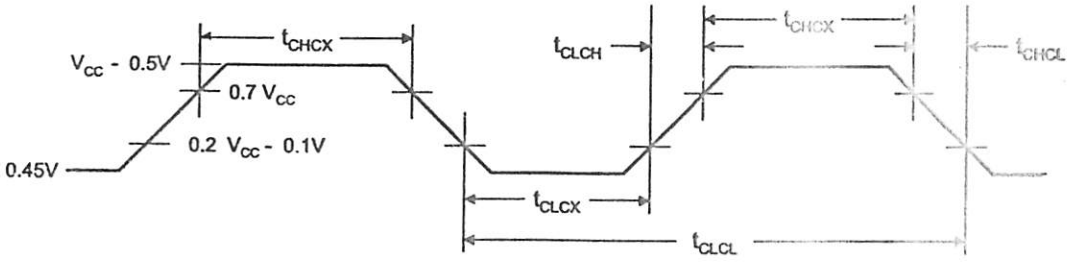
External Data Memory Read Cycle



External Data Memory Write Cycle



External Clock Drive Waveforms



External Clock Drive

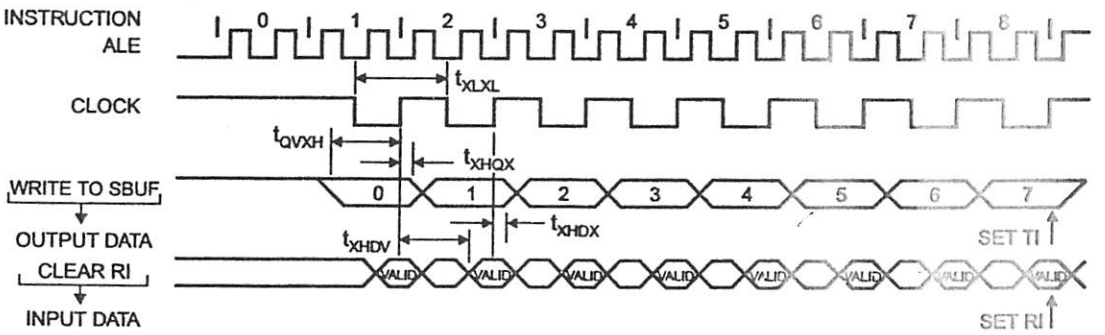
Symbol	Parameter	Min	Max	Units
$1/t_{CLCL}$	Oscillator Frequency	0	33	MHz
t_{CLCL}	Clock Period	30		ns
t_{CHCX}	High Time	12		ns
t_{CLCX}	Low Time	12		ns
t_{CLCH}	Rise Time		5	ns
t_{CHCL}	Fall Time		5	ns

Serial Port Timing: Shift Register Mode Test Conditions

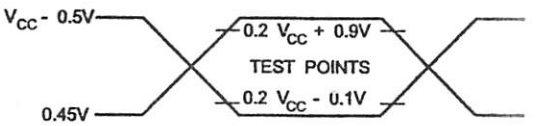
The values in this table are valid for V_{CC} = 4.0V to 5.5V and Load Capacitance = 80 pF.

Symbol	Parameter	12 MHz Osc		Variable Oscillator		Units
		Min	Max	Min	Max	
t_{XLXL}	Serial Port Clock Cycle Time	1.0		$12t_{CLCL}$		µs
t_{QVXH}	Output Data Setup to Clock Rising Edge	700		$10t_{CLCL}$-133		ns
t_{XHQX}	Output Data Hold After Clock Rising Edge	50		$2t_{CLCL}$-80		ns
t_{XHDX}	Input Data Hold After Clock Rising Edge	0		0		ns
t_{XHDV}	Clock Rising Edge to Input Data Valid		700		$10t_{CLCL}$-133	ns

Shift Register Mode Timing Waveforms

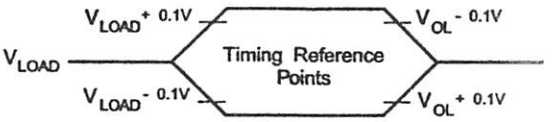


AC Testing Input/Output Waveforms(1)



Note: 1. AC Inputs during testing are driven at V_{CC} - 0.5V for a logic 1 and 0.45V for a logic 0. Timing measurements are made at V_{IH} min. for a logic 1 and V_{IL} max. for a logic 0.

Float Waveforms(1)



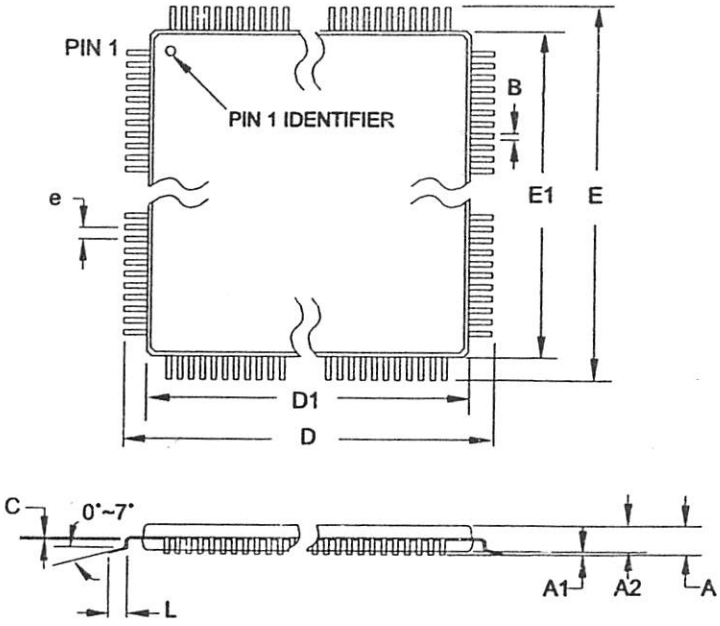
Note: 1. For timing purposes, a port pin is no longer floating when a 100 mV change from load voltage occurs. A port pin begins to float when a 100 mV change from the loaded V_{OH}/V_{OL} level occurs.

Ordering Information

Speed (MHz)	Power Supply	Ordering Code	Package	Operation Range
24	4.0V to 5.5V	AT89S52-24AC AT89S52-24JC AT89S52-24PC AT89S52-24SC	44A 44J 40P6 42PS6	Commercial (0°C to 70°C)
		AT89S52-24AI AT89S52-24JI AT89S52-24PI AT89S52-24SI	44A 44J 40P6 42PS6	Industrial (-40°C to 85°C)
33	4.5V to 5.5V	AT89S52-33AC AT89S52-33JC AT89S52-33PC AT89S52-33SC	44A 44J 40P6 42PS6	Commercial (0°C to 70°C)

Package Type	
44A	44-lead, Thin Plastic Gull Wing Quad Flatpack (TQFP)
44J	44-lead, Plastic J-leaded Chip Carrier (PLCC)
40P6	40-pin, 0.600" Wide, Plastic Dual Inline Package (PDIP)
42PS6	42-pin, 0.600" Wide, Plastic Dual Inline Package (PDIP)

44A – TQFP



COMMON DIMENSIONS
(Unit of Measure = mm)

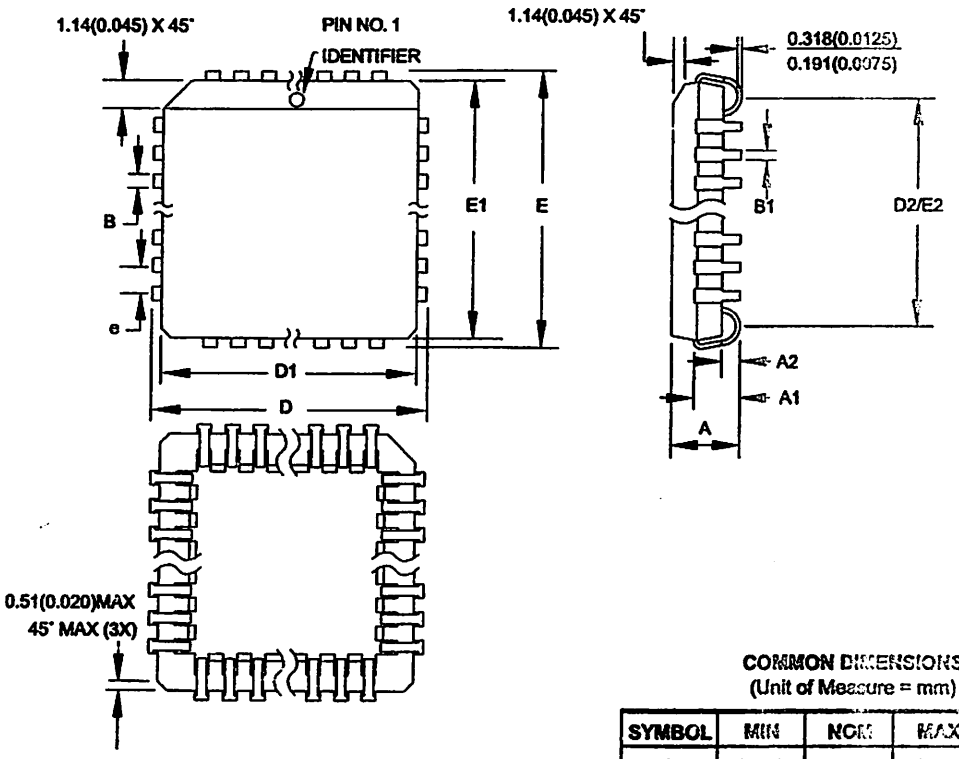
SYMBOL	MIN	NOM	MAX	NOTE
A	–	–	1.20	
A1	0.05	–	0.15	
A2	0.95	1.00	1.05	
D	11.75	12.00	12.25	
D1	9.90	10.00	10.10	Note 2
E	11.75	12.00	12.25	
E1	9.90	10.00	10.10	Note 2
B	0.30	–	0.45	
C	0.09	–	0.20	
L	0.45	–	0.75	
e	0.80 TYP			

Notes:
1. This package conforms to JEDEC reference MS-026, Variation ACB.
2. Dimensions D1 and E1 do not include mold protrusion. Allowable protrusion is 0.25 mm per side. Dimensions D1 and E1 are maximum plastic body size dimensions including mold mismatch.
3. Lead coplanarity is 0.10 mm maximum.

10/5/2001

2325 Orchard Parkway San Jose, CA 95131	TITLE 44A, 44-lead, 10 x 10 mm Body Size, 1.0 mm Body Thickness, 0.8 mm Lead Pitch, Thin Profile Plastic Quad Flat Package (TQFP)	DRAWING NO. 44A	REV. B

4J – PLCC



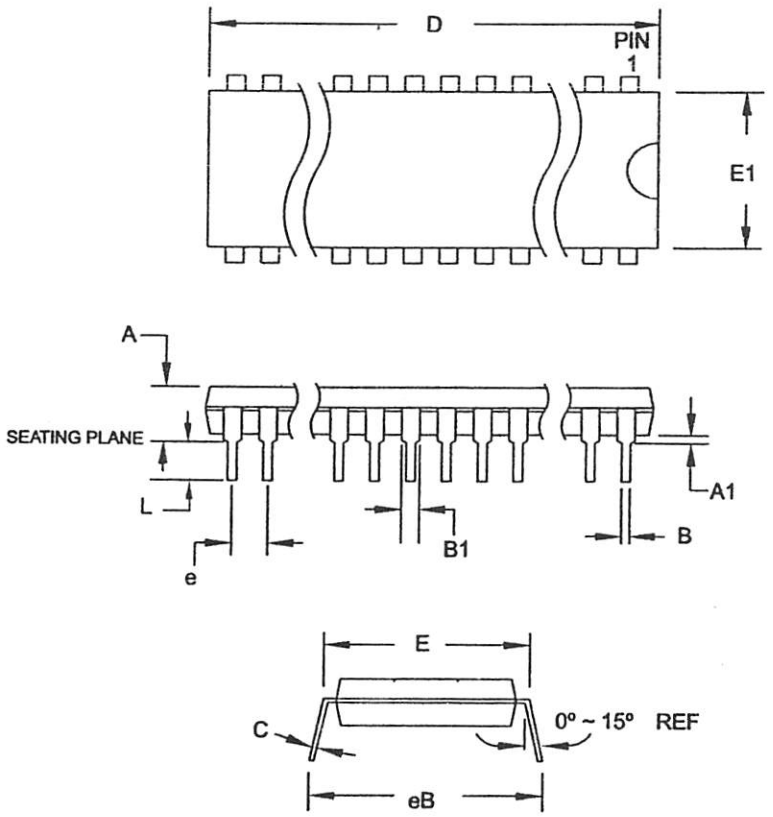
COMMON DIMENSIONS
(Unit of Measure = mm)

SYMBOL	MIN	NOM	MAX	NOTE
A	4.191	–	4.572	
A1	2.286	–	3.048	
A2	0.508	–	–	
D	17.399	–	17.653	
D1	16.510	–	16.662	Note 2
E	17.399	–	17.653	
E1	16.510	–	16.662	Note 2
D2/E2	14.986	–	16.002	
B	0.660	–	0.813	
B1	0.330	–	0.533	
e	1.270 TYP			

Notes:
1. This package conforms to JEDEC reference MS-018, Variation AC.
2. Dimensions D1 and E1 do not include mold protrusion. Allowable protrusion is .010"(0.254 mm) per side. Dimension D1 and E1 include mold mismatch and are measured at the extreme material condition at the upper or lower parting line.
3. Lead coplanarity is 0.004" (0.102 mm) maximum.

10/04/01

2325 Orchard Parkway San Jose, CA 95131	TITLE 44J, 44-lead, Plastic J-leaded Chip Carrier (PLCC)	DRAWING NO. 44J	REV. B



COMMON DIMENSIONS
(Unit of Measure = mm)

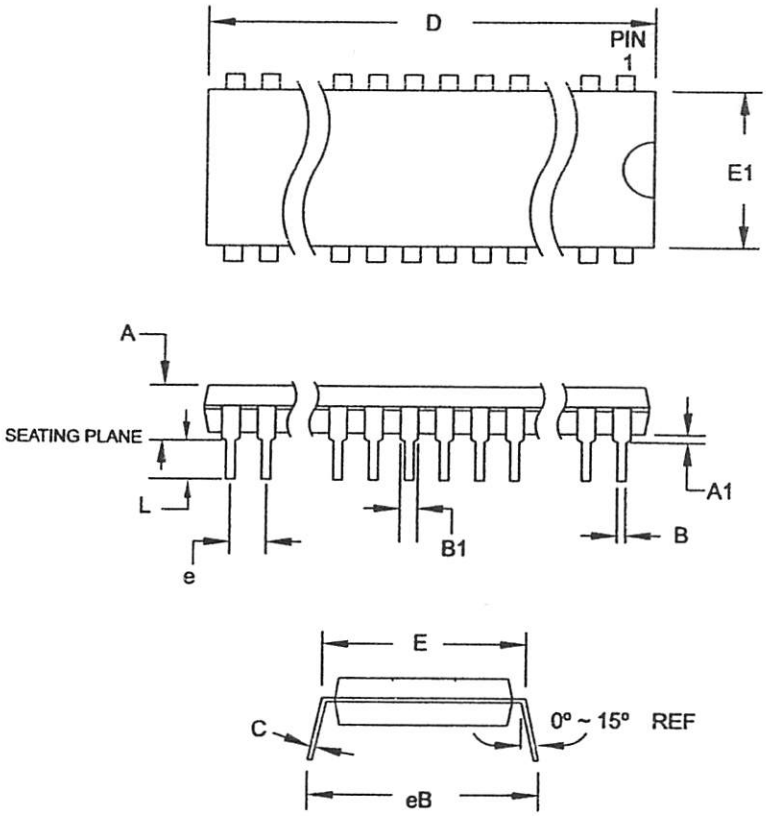
SYMBOL	MIN	NOM	MAX	NOTE
A	–	–	4.826	
A1	0.381	–	–	
D	52.070	–	52.578	Note 2
E	15.240	–	15.875	
E1	13.462	–	13.970	Note 2
B	0.356	–	0.559	
B1	1.041	–	1.651	
L	3.048	–	3.556	
C	0.203	–	0.381	
eB	15.494	–	17.526	
e	2.540 TYP			

Notes:
1. This package conforms to JEDEC reference MS-011, Variation AC.
2. Dimensions D and E1 do not include mold Flash or Protrusion. Mold Flash or Protrusion shall not exceed 0.25 mm (0.010").

09/28/01

	TITLE	DRAWING NO.	REV.
2325 Orchard Parkway San Jose, CA 95131	**40P6**, 40-lead (0.600"/15.24 mm Wide) Plastic Dual Inline Package (PDIP)	40P6	B

42PS6 – PDIP



COMMON DIMENSIONS
(Unit of Measure = mm)

SYMBOL	MIN	NOM	MAX	NOTE
A	–	–	4.83	
A1	0.51	–	–	
D	36.70	–	36.96	Note 2
E	15.24	–	15.88	
E1	13.46	–	13.97	Note 2
B	0.38	–	0.56	
B1	0.76	–	1.27	
L	3.05	–	3.43	
C	0.20	–	0.30	
eB	–	–	18.55	
e	1.78 TYP			

Notes:
1. This package conforms to JEDEC reference MS-011, Variation AC.
2. Dimensions D and E1 do not include mold Flash or Protrusion. Mold Flash or Protrusion shall not exceed 0.25 mm (0.010").

11/6/03

2325 Orchard Parkway San Jose, CA 95131	TITLE **42PS6**, 42-lead (0.600"/15.24 mm Wide) Plastic Dual Inline Package (PDIP)	DRAWING NO. 42PS6	REV. A

Atmel Corporation

2325 Orchard Parkway
San Jose, CA 95131, USA
Tel: 1(408) 441-0311
Fax: 1(408) 487-2600

Regional Headquarters

Europe
Atmel Sarl
Route des Arsenaux 41
Case Postale 80
CH-1705 Fribourg
Switzerland
Tel: (41) 26-426-5555
Fax: (41) 26-426-5500

Asia
Room 1219
Chinachem Golden Plaza
77 Mody Road Tsimshatsui
East Kowloon
Hong Kong
Tel: (852) 2721-9778
Fax: (852) 2722-1369

Japan
9F, Tonetsu Shinkawa Bldg.
1-24-8 Shinkawa
Chuo-ku, Tokyo 104-0033
Japan
Tel: (81) 3-3523-3551
Fax: (81) 3-3523-7581

Atmel Operations

Memory
2325 Orchard Parkway
San Jose, CA 95131, USA
Tel: 1(408) 441-0311
Fax: 1(408) 436-4314

Microcontrollers
2325 Orchard Parkway
San Jose, CA 95131, USA
Tel: 1(408) 441-0311
Fax: 1(408) 436-4314

La Chantrerie
BP 70602
44306 Nantes Cedex 3, France
Tel: (33) 2-40-18-18-18
Fax: (33) 2-40-18-19-60

ASIC/ASSP/Smart Cards
Zone Industrielle
13106 Rousset Cedex, France
Tel: (33) 4-42-53-60-00
Fax: (33) 4-42-53-60-01

1150 East Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906, USA
Tel: 1(719) 576-3300
Fax: 1(719) 540-1759

Scottish Enterprise Technology Park
Maxwell Building
East Kilbride G75 0QR, Scotland
Tel: (44) 1355-803-000
Fax: (44) 1355-242-743

RF/Automotive
Theresienstrasse 2
Postfach 3535
74025 Heilbronn, Germany
Tel: (49) 71-31-67-0
Fax: (49) 71-31-67-2340

1150 East Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906, USA
Tel: 1(719) 576-3300
Fax: 1(719) 540-1759

Biometrics/Imaging/Hi-Rel MPU/ High Speed Converters/RF Datacom
Avenue de Rochepleine
BP 123
38521 Saint-Egreve Cedex, France
Tel: (33) 4-76-58-30-00
Fax: (33) 4-76-58-34-80

Literature Requests
www.atmel.com/literature

1919B–MICRO–11/03