

**PERENCANAAN DAN PEMBUATAN ALAT PENGUKUR
KADAR KALSIMUM (Ca) DALAM DARAH BERBASIS
MIKROKONTROLER AT89S51**



SKRIPSI

**Disusun Oleh :
R.A. DIAN AYUNINGTYAS
NIM : 03.17.015**

**KONSENTRASI ELEKTRONIKA
JURUSAN TEKNIK ELEKTRO S -1
FAKULTAS TEKNOLOGI INDUSTRI
INSTITUT TEKNOLOGI NASIONAL MALANG
MARET 2008**

LEMBAR PERSETUJUAN

**PERENCANAAN DAN PEMBUATAN ALAT PENGUKUR
KADAR KALSIMUM (Ca) DALAM DARAH BERBASIS
MIKROKONTROLER AT89S51**

SKRIPSI

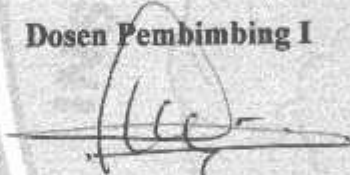
*Disusun dan Diajukan Sebagai Salah Satu Syarat Untuk Memperoleh
Gelar Sarjana Teknik Elektronika Strata Satu (S-1)*

Disusun Oleh :

**R.A. DIAN AYUNINGTYAS
NIM : 03.17.015**

Diperiksa dan Disetujui

Dosen Pembimbing I


**Ir. H. Sidik Noertjahjono, MT
NIP. Y. 1028700167**

Dosen Pembimbing II


**Sotyonadi, ST, MSc.
NIP. Y. 1039700309**

Mengetahui

Ketua Jurusan Teknik Elektro S-1




**Ir. F. Yudi Limpraptono, MT
NIP. Y. 1039500274**

**JURUSAN TEKNIK ELEKTRO S-1
KONSENTRASI TEKNIK ELEKTRONIKA
FAKULTAS TEKNOLOGI INDUSTRI
INSTITUT TEKNOLOGI NASIONAL MALANG
MARET 2008**



**BERITA ACARA UJIAN SKRIPSI
FAKULTAS TEKNOLOGI INDUSTRI**

Nama : RA. Dian Ayuningtyas R
NIM : 03.17.015
Jurusan : Teknik Elektro S-1
Konsentrasi : Teknik Elektronika
Masa Bimbingan : 17 Juli 2007 s/d 17 Januari 2008
Judul Skripsi : Perencanaan Dan Pembuatan Alat Pengukur
Kadar Kalsium (Ca) Dalam Darah Berbasis
Mikrokontroler AT89S51

Dipertahankan di hadapan Tim Penguji Skripsi Jenjang Strata Satu (S-1) pada :

Hari : Senin
Tanggal : 17 Maret 2008
Nilai : 80,4 (A) *By*



PANITIA UJIAN SKRIPSI



KETUA

(Signature)
(Ir. Mochtar Asroni, MSME)
NIP.Y. 1018100036

SEKRETARIS

(Signature)
(Ir. F. Yudi Limpraptono, MT)
NIP.Y. 1039500274

ANGGOTA PENGUJI

PENGUJI I

(Signature)
(Ir. F. Yudi Limpraptono, MT)
NIP.Y. 1039500274

PENGUJI II

(Signature)
(Ir. M. Abdul Hamid, MT)
NIP. P. 1018800188

**" PERENCANAAN DAN PEMBUATAN ALAT PENGUKUR KADAR
KALSIMUM (CA) DALAM DARAH BERBASIS MIKROKONTROLLER
AT 89S51 "**

**RA. Dian Ayuningtyas
03.17.015**

**Jurusan Teknik Elektronika – Institut Teknologi Nasional Malang
Jl. Raya Karanglo Km. 2 Malang
dian_itn03@yahoo.co.id**

**Dosen Pembimbing : I. Ir. H. Sidik Noertjahjono, MT
II. Soyohadi, ST**

Kata Kunci : *Ca darah, AT89S51, Spektrofotometri.*

Perkembangan ilmu kedokteran saat ini tidak lepas dari bidang elektro khususnya elektronika. Karena hampir semua alat-alat medis yang digunakan sudah serba canggih dan digital. Pada skripsi ini akan membahas secara khusus tentang Alat Pengukur Kadar Kalsium Dalam Darah.

Cara kerja alat ini menggunakan sebuah sampel berupa serum darah yang dimasukkan dalam wadah bernama kuvet kemudian diproses melalui metode spektrofotometri yaitu dengan diberi sumber cahaya dari lampu halogen kemudian difilter dan difokuskan untuk dibaca oleh sebuah sensor cahaya berupa LDR. Data dari sensor diterima oleh ADC kemudian akan diperoleh besarnya kadar kalsium dalam darah yang selanjutnya akan ditampilkan di LCD.

Hasil pengukuran kalsium pada jurnal ini diambil tiga buah sample, tiap sampel dilakukan lima kali percobaan. Dari ke-tiga sampel diperoleh error terbesar dari sampel dengan kadar kalsium (Ca) sebesar 10,7 mg/dL yaitu dengan error rata-rata 0.68% dari pengambilan data yang dilakukan selama 2 jam.

KATA PENGANTAR

Puji syukur saya haturkan kepada Tuhan Yang Maha Esa, karena berkat rahmat dan hidayah-Nya saya dapat mengerjakan sekaligus menyelesaikan tugas akhir yang berjudul “ Perencanaan Dan Pembuatan Alat Pengukur Kadar Kalsium (Ca) Dalam Darah Berbasis Mikrokontroller AT89S51 “ dengan baik. Penyusunan skripsi ini merupakan persyaratan dalam memperoleh gelar Sarjana Teknik Elektro S-1 konsentrasi Teknik Elektronika

Dalam penulisan skripsi ini banyak suka dan duka yang yang saya alami, diantaranya bagaimana memahami suatu metode pembelajaran yang diterapkan selama kuliah untuk diterapkan secara langsung dalam prakteknya.

Keberhasilan skripsi ini tidak lepas dari dukungan dan bantuan dari berbagai pihak. Untuk itu penulis menyampaikan terima kasih kepada :

1. Bapak Ir. H. Sidik Noertahjono, MT , selaku dosen pembimbing pertama
2. Bapak Sotyohadi, ST, MSc, selaku dosen pembimbing kedua
3. Bapak Ir. Yudi Limpaptono, MT , selaku Ketua Jurusan Elektro
4. Bapak Ir. Yusuf Ismail Nakhoda, MT , selaku seretaris jurusan
5. Segenap teman- teman di wilayah kampus jurusan elektro

Penulis menyadari bahwa didalam penyusunan skripsi ini masih banyak kekurangan, maka kritik dan saran yang bersifat dapat memotifasi dan menyempurnakan skripsi ini sangat diharapkan. Semoga skripsi ini dapat memberikan sumbangan pengetahuan bagi para pembaca dan Tuhan Yang Maha Esa senantiasa memberikan petunjuk dan bimbingannya kepada kita semua, Amin

Malang, Maret 2008

Penulis

DAFTAR ISI

LEMBAR PERSETUJUAN.....	i
BERITA ACARA.....	ii
LEMBAR PERSEMBAHAN	iii
ABSTRAK	iv
KATA PENGANTAR	v
DAFTAR ISI	vi
DAFTAR GAMBAR	x
DAFTAR TABEL.....	xii
DAFTAR GRAFIK.....	xiii
BAB I PENDAHULUAN	1
1.1. Latar Belakang	1
1.2. Rumusan Masalah	2
1.3. Tujuan	3
1.4. Batasan Masalah.....	3
1.5. Sistematika Penulisan.....	3
BAB II LANDASAN TEORI.....	5
2.1. Pendahuluan.....	5
2.2. Teori Tentang Darah dan Kalsium (Ca) Darah	5
2.2.1. Darah.....	5
2.2.2. Kalsium (Ca) Darah	6
2.2.3 Pengukuran Kalsim (Ca) Darah	7
2.3. Sumber Cahaya dan Spektrum Cahaya.....	8
2.3.1. Lampu Tungsten Halogen.....	8

2.3.2. Spektrum Cahaya	9
2.4. Transistor Bipolar	10
2.4.1. Arus Bias.....	11
2.4.2. Arus Emitter	11
2.4.3. Alpha.....	12
2.4.4. Beta	13
2.4.5. Common Emitter (CE).....	14
2.4.6. Kurva Base.....	15
2.4.7. Kurva Kolektor.....	15
2.4.8. Daerah Aktif	16
2.4.9. Daerah Saturasi.....	17
2.4.10. Daerah Cut-Off.....	17
2.4.11. Dearah Breakdown.....	19
2.5. Relay.....	19
2.6. Light Dependent Ressoristor (LDR).....	26
2.7. ADC 0804	23
2.8. Mikrokontroller AT89S51	24
2.8.1. Pendahuluan.....	24
2.8.2. Perangkat Keras Mikrokontroller AT89S51.....	25
2.8.3. Konfigurasi Pin-pin Mikrokontroller AT89S51	26
2.8.4. Organisasi Memori.....	29
2.8.4.1. Internal Program Memory	29
2.8.4.2. Random Access Memori (RAM)	29
2.8.4.3. SFR (Special Function Register).....	30
2.8.4.3.1. PSW (Program Status Word).....	30
2.8.4.3.2. PCON (Power Control).....	32
2.8.4.3.3. Sistem Interupsi	32

2.8.4.3.4. Timer/ Counter.....	34
2.8.4.3.5. Metode Pengelamatan.....	35
2.9. LCD (Liquid Crystal Display) M1632.....	36
BAB III PERANCANGAN DAN PEMBUATAN ALAT.....	41
3.1. Perancangan Perangkat Keras (Hardware).....	43
3.1.1. Rangkaian Mikrokontroler AT89S51	43
3.1.1.1. Rangkaian Clock.....	44
3.1.1.2. Rangkaian Reset.....	45
3.1.2. Rangkaian Driver Lampu.....	46
3.1.3. Rangkaian ADC 0804	47
3.1.4. Rangkaian LCD M1632.....	49
3.2. Perancangan Perangkat Lunak (Software).....	51
BAB IV PENGUJIAN ALAT	53
4.1. Pengujian LDR	53
4.1.1. Tujuan	53
4.1.2. Peralatan Yang Digunakan	53
4.1.3. Langkah Pengujian.....	53
4.1.4. Hasil Pengujian.....	54
4.2. Pengujian ADC 0804	55
4.2.1. Tujuan	55
4.2.2. Peralatan Yang Digunakan	55
4.2.3. Langkah Pengujian.....	55
4.2.4. Hasil Pengujian.....	56
4.3. Pengujian LCD M1632	58
4.3.1. Tujuan	58

4.3.2. Peralatan Yang Digunakan	58
4.3.3. Hasil Pengujian.....	59
4.4. Pengujian Alat Keseluruhan	59
4.4.1. Tujuan	59
4.4.2. Peralatan Yang Digunakan	60
4.4.3. Langkah Pengujian.....	60
4.4.4. Hasil Pengujian Dalam Waktu 10 Detik.....	61
4.4.4. Hasil Pengujian Dalam Waktu 2 Jam	63
BAB V PENUTUP	65
5.1. Kesimpulan	65
5.2. Saran.....	66
DAFTAR PUSTAKA	67
LAMPIRAN	

DAFTAR GAMBAR

Gambar 2.1. Arus Emitor.....	12
Gambar 2.2. Rangkaian CE.....	14
Gambar 2.3. Rangkaian Driver LED.....	18
Gambar 2.4. Cara Kerja Relay.....	19
Gambar 2.5. Relay SPST.....	20
Gambar 2.6. Relay SPDT.....	20
Gambar 2.7. Relay DPST.....	21
Gambar 2.8. Relay DPDT.....	21
Gambar 2.9. Simbol dan Konstruksi LDR.....	22
Gambar 2.10. Kurva Karakteristik LDR.....	23
Gambar 2.11. Blok Diagram ADC 0804.....	24
Gambar 2.12. Konfigurasi pin ADC 0804.....	24
Gambar 2.13. Blok Diagram Mikrokontroler AT89S51.....	26
Gambar 2.14. Konfigurasi pin-pin Mikrokontroler AT89S51.....	27
Gambar 2.15. Pin-Pin LCD M1632.....	37
Gambar 3.1. Diagram Blok Keseluruhan Sistem.....	41
Gambar 3.2. Prinsip Kerja Sistem.....	42
Gambar 3.3. Perancangan Mikrokontroler AT89S51.....	43
Gambar 3.4. Perancangan Rangkaian Clock.....	44
Gambar 3.5. Perancangan Rangkaian reset.....	45
Gambar 3.6. Perancangan Rangkaian driver lampu.....	46
Gambar 3.7. Perancangan Rangkaian ADC 0804.....	48
Gambar 3.8. Perancangan LCD.....	50
Gambar 3.9. Flowchart Perangkat Lunak (soft ware).....	39

Gambar 4.1. Rangkaian Pengujian LDR.....	54
Gambar 4.2. Rangkaian Pengujian ADC 0804	56
Gambar 4.3. Hasil Pengujian ADC 0804	58
Gambar 4.4. Rangkaian LCD M1632.....	59
Gambar 4.5. Hasil Pengujian LCD M1632.....	59
Gambar 4.6. Alat Pengukur Kadar Kalsium Darah	60

DAFTAR TABEL

Tabel 2.1. Warna dan Warna Komplementer	10
Tabel 2.2. Konfigurasi Port 1.5. – 1.7	27
Tabel 2.3. Fungsi Khusus Pada Port 3.....	28
Tabel 2.4. Pengaturan RS0/RS1 Bank Register.....	30
Tabel 2.5.Fungsi D0-D7	31
Tabel 2.6. Skema Mendefinisikan PCON	32
Tabel 2.7. Alamat Sumber Interupsi.....	33
Tabel 2.8. Kegunaan Interrupt Enable Register	33
Tabel 2.9. Register TMOD.....	34
Tabel 2.10. timer / counter mode control register	35
Tabel 2.11. mode operasi timer / counter.....	35
Tabel 2.12. Pemilihan Register Pada LCD MI632	37
Tabel 2.13. Instruksi LCD.....	38
Tabel 4.1. Hasil Pengujian Kepekaan LDR	54
Tabel 4.2. Hasil Pengujian ADC 0804.....	56
Tabel 4.3. hasil pengujian alat dalam waktu 10 detik	61
Tabel 4.4. Hasil Pengujian Alat dalam waktu 2 jam	63

DAFTAR GRAFIK

Grafik 2.1. Kurva I_B terhadap V_{BE}	15
Grafik 2.2. Kurva Kolektor.....	16

BAB I

PENDAHULUAN

1.1. Latar Belakang

Dunia elektronika adalah dunia teknologi yang sangat luas, yang selalu berkembang dari waktu ke waktu. Seiring dengan perkembangannya banyak hal di dunia ini yang dapat dilakukan oleh dunia elektronika. Dari hal-hal yang bersifat rumit hingga yang sederhana seperti yang ada pada kehidupan sehari-hari.

Elektronika mencakup segala aspek kehidupan, diantaranya aspek kesehatan dalam hal ini bidang medica. Sebagian besar peralatan medis berbasis elektronika, hal ini berdampak sangat baik bagi kehidupan manusia. Efisiensi waktu sangat berperan penting dalam penerapannya.

Salah satu bentuk penerapan tersebut adalah pada pengukuran kadar kalsium dalam darah manusia. Darah adalah suatu jaringan tubuh yang beredar karena adanya kerja jantung dan selama darah berada dalam pembuluh maka akan tetap encer, tetapi jika keluar dari pembuluhnya maka ia akan menjadi beku. Pembekuan ini dapat dicegah dengan mencampurkan dalam darah dengan sedikit sitrat natrikus.

Bagian-bagian darah adalah air, protein (albumin, globulin, protombin, fibrinogen), mineral (natrium, magnesium, kalsium, zat besi), dan bahan organik. Pertukaran cairan tersebut harus seimbang, karena hal tersebut dapat menyebabkan terjadinya edema yaitu tertimbunnya cairan dalam jaringan karena gangguan keseimbangan cairan. Misalnya pengaruh kalsium terhadap tubuh yang

mana kalsium merupakan cairan yang sangat penting dalam proses kontraksi otot,menyetabilkan gangguan fungsi jantung, transmisi urat syaraf serta penggumpalan darah. Tetapi jika kelebihan kalsium atau biasa disebut *hypercalcemia* dapat menyebabkan seseorang kehilangan protein. Sehingga perlu dilakukan pengukuran terhadap kadar kalsium dalam darah agar dapat dilakukan pencegahan lebih awal.

Pengukuran kalsium biasa dilakukan oleh laboran, yang mana proses tersebut membutuhkan waktu yang lama dan faktor manusia (*human error*) di sini sangat besar pengaruhnya terhadap hasil yang di dapat. Proses pengukuran kalsium dalam darah biasanya dilakukan dengan pencampuran antara sitrat natrikus (*EDTA*) dan darah dengan perbandingan tertentu, selanjutnya dilakukan pemisahan kalsium dari larutan lainnya menggunakan reaksi *reagen* yang merupakan larutan sebagai penguat warna,dimana untuk kalsium berwarna ungu. Seorang laboran harus teliti dan menjaga sterilisasi saat pencampuran larutan, karena hal tersebut dapat menyebabkan terjadinya kesalahan analisa atau perhitungan yang dapat berakibat fatal.

1.2. Rumusan Masalah

Dalam perencanaan dan pembuatan alat pengukur kadar kalsium (Ca) darah berbasis mikrokontroller AT89S51, masalah yang muncul dapat dirumuskan sebagai berikut :

1. Bagaimana membuat alat atau perangkat keras melalui metode *spektrofotometri* untuk mengukur kadar kalsium (Ca) dalam darah secara digital.

Spektrofotometri merupakan metode yang menggunakan sistem optis dengan sumber cahaya dari lampu halogen yang kemudian cahaya tersebut jatuh pada medium (kuvet) yang berisi sampel berupa serum darah melalui lensa fokus.

2. Bagaimana membuat perangkat lunak dengan bahasa pemrograman bahasa C yang berbasis mikrokontroler AT89S51 untuk pengukuran kadar kalsium (Ca) dalam darah.

1.3. Tujuan

Tujuan dari penulisan skripsi ini adalah untuk merancang dan membuat alat yang dapat mengukur kadar kalsium (Ca) dalam darah manusia secara digital berbasis mikrokontroler AT89S51.

1.4. Batasan Masalah

Mengacu pada permasalahan yang ada, maka diperlukan adanya batasan-batasan dalam pembahasannya, yaitu :

1. Menggunakan mikrokontroler AT89S51 sebagai pemroses data utama
 2. Perencanaan dan pembuatan alat ini khusus untuk pengukuran kadar kalsium darah pada manusia
 3. Tidak membahas tentang bagian-bagian darah yang lain
 4. Tidak membahas proses pemisahan larutan secara kimiawi
-

5. Tidak membahas tentang rangkaian catu daya

1.5. Sistematika Penulisan

Penulisan skripsi ini terbagi dalam lima (5) bab dengan sistematika penulisan sebagai berikut :

BAB I PENDAHULUAN

Berisi latar belakang, rumusan masalah, tujuan, batasan masalah, metodologi, dan sistematika penulisan.

BAB II LANDASAN TEORI

Membahas teori-teori dasar yang mendukung perancangan dan pembuatan alat.

BAB III PERANCANGAN DAN PEMBUATAN ALAT

Membahas tentang perancangan dan pembuatan alat yang dilakukan setiap bagian sistem.

BAB IV PENGUJIAN ALAT

Berisi cara pengujian alat dan analisa hasil pengujian yang dilakukan dari blok diagram hasil perancangan.

BAB V PENUTUP

Berisi kesimpulan dan saran yang memungkinkan sebagai pengembangan alat lebih lanjut

DAFTAR PUSTAKA

LAMPIRAN

BAB II

LANDASAN TEORI

2.1. Pendahuluan

Dalam bab ini akan dibahas tentang teori-teori dasar yang mendukung sistem alat pengukur kadar Kalsium (Ca) dalam darah berbasis mikrokontroler AT89S51. Teori-teori dasar ini langsung didapat dari data sheet maupun dari studi lapangan dan beberapa buku literatur. Pokok pembahasan pada bab ini adalah :

- Teori tentang Darah dan Kalsium (Ca) Darah
- Sumber Cahaya dan Spektrum Cahaya yang digunakan dalam metode spektrofotometri
- Transistor Bipolar
- Relay
- Sensor LDR
- (*Analog to Digital Converter*) ADC 0804
- Mikrokontroler AT89S51
- LCD (*Liquid Crystal Display*) M1632

2.2. Teori tentang Darah dan Kalsium (Ca) Darah

2.2.1. Darah

Darah adalah salah satu jaringan tubuh yang terdapat di dalam pembuluh darah. Darah selamanya beredar di dalam tubuh karena adanya kerja dari pompa jantung dan selama darah berada dalam pembuluh maka akan tetap encer, tetapi

kalau darah keluar dari pembuluhnya maka darah akan jadi beku. Pembekuan ini dapat dicegah dengan mencampurkan ke dalam darah sedikit obat anti pembekuan/*sitrat natrikus*. Ini sangat berguna apabila darah tersebut diperlukan untuk transfusi darah.

Darah berperan penting dalam proses metabolisme tubuh, selain sebagai alat pengangkut (mengambil O_2 dari paru-paru dan mengangkat CO_2 dari jaringan), fungsi darah yang lain adalah sebagai pertahanan tubuh terhadap serangan bibit penyakit dan racun. Darah juga berfungsi untuk menyebarkan panas ke seluruh tubuh.

Bagian-bagian darah adalah air, protein (albumin, globulin, protombin, fibrinogen), mineral (natrium, magnesium, kalsium, zat besi), dan bahan organik. Dalam darah terdapat benda-benda kecil bundar yang disebut sel-sel darah yaitu eritrosit (sel darah merah), leukosit (sel darah putih), dan trombosit (sel pembeku darah). Sedangkan cairannya berwarna kekuning-kuningan disebut plasma darah.

Sekali darah membeku atau berkoagulasi, fase cairan sisanya disebut serum, dan mineral darah terdapat dalam serum.

2.2.2. Kalsium (Ca) Darah

Kalsium adalah kation utama cairan ekstrasel. Kalsium sangat penting dalam metabolisme dan pembentukan tulang. Selain itu mineral kalsium juga penting dalam proses pembekuan darah, kontraksi otot, pendewasaan sperma dan aktifitas enzim. Kalsium dalam darah berperan penting pada saat pertukaran antar cairan karena proses tersebut tergantung pada tekanan osmotik. Pertukaran cairan tersebut harus seimbang, karena hal tersebut dapat menyebabkan terjadinya

edema yaitu tertimbunnya cairan dalam jaringan karena gangguan keseimbangan cairan. Kadar Ca dalam darah yang nilainya lebih dari 11 mg/dl dapat menyebabkan kelebihan kalsium (hipercalcemia) sehingga terjadi turunya absorpsi fosfor dan pertumbuhan tulang akan terhambat^[7]. Kadar Ca darah yang kurang dari 7.6 mg/dl menyebabkan kurangnya kalsium (hipocalcemia) sehingga dapat menghambat pertumbuhan dan nafsu makan menurun^[7].

Range pengukuran yang akan dibuat untuk pengukuran kadar kalsium dalam darah yaitu antara 7 mg/dL sampai 13 mg/dL.

2.2.3. Pengukuran Kalsium (Ca) Darah

Pengukuran kadar kalsium darah yang dilakukan dalam ilmu kedokteran klinis diawali dengan pengambilan darah yang melalui pembuluh vena. Darah yang diambil dimasukkan ke dalam tabung gelas percobaan kecil yaitu kuvet. Dan proses ini menentukan waktu pembekuan (*clotting time*). Harus dijaga agar tidak ada faktor jaringan dari tempat penusukan vena (*venipuncture*) yang masuk ke dalam tabung gelas percobaan. Selanjutnya, darah secara perlahan digoyang dengan teratur untuk menentukan waktu yang diperlukan selama darah membeku atau koagulasi. Jika darah yang diambil tersebut akan disimpan dan digunakan untuk proses transfusi darah, maka perlu ditambahkan antikoagulan atau larutan sitrat natrikus untuk mencegah pembekuan darah.

Setelah terjadi pembekuan, maka terdapat pemisahan antara bagian yang menggumpal dan bagian yang cair. Bagian yang menggumpal adalah sel-sel darah sedangkan bagian yang cair berupa cairan kekuningan adalah serum darah.

Selanjutnya serum darah tersebut dipindahkan ke tabung percobaan kecil yang lain. Dalam serum terdapat berbagai mineral darah, jika ingin menganalisa salah satu mineral maka harus ditambahkan larutan reagen yang dapat memperkuat unsur dari mineral tersebut.

Terdapat berbagai metode yang digunakan dalam pengukuran mineral dalam darah. Salah satu metode yang digunakan adalah metode spektrometri absorpsi. Spektrometri absorpsi adalah sebuah metode untuk mengukur absorpsi/penyerapan cahaya dengan energi (panjang gelombang) tertentu oleh suatu atom/molekul. Absorpsi hanya terjadi jika selisih kedua tingkat energi tersebut ($\Delta E = E_2 - E_1$) sesuai dengan energi cahaya (foton) yang datang^[1], yaitu :

$$\Delta E = E_{\text{foton}}^{[1]}$$

Besar penyerapan cahaya (absorbansi) dari suatu kumpulan atom/molekul dinyatakan oleh Hukum Beer-Lambert, yang dapat dituliskan sebagai berikut :

$$A = \log (I_0 / I) = \epsilon c l^{[1]}$$

dimana I_0 adalah intensitas berkas cahaya datang, I adalah intensitas berkas cahaya keluar, ϵ adalah molar absorpsivitas untuk panjang gelombang tertentu (dalam $l \text{ mol}^{-1} \cdot \text{cm}^{-1}$), c adalah konsentrasi molar (mol l^{-1}), dan l adalah panjang/ketebalan dari bahan/medium yang dilintasi oleh cahaya (cm).

2.3. Sumber Cahaya dan Spektrum Cahaya

2.3.1. Lampu Tungsten Halogen

Lampu tungsten halogen termasuk dalam jenis lampu pijar. Lampu halogen diciptakan dengan memperbaiki proses lampu pijar biasa, yaitu dengan

mengurangi masalah menguapnya tungsten. Kaca lampu dibuat dari kaca kuarsa yang tipis dan tahan panas, kemudian gas yang diisikan ditambahkan sedikit gas halogen.

Lampu tungsten halogen biasa dipakai sebagai sumber cahaya tampak. Lampu ini menghasilkan cahaya tampak dalam daerah panjang gelombang 350-2500 nm. Untuk keperluan spektroskopi cahaya tampak, hanya daerah 350-800 nm saja yang dimanfaatkan^[10]. Pada pengukuran kadar kalsium dalam darah, akan diperlukan cahaya warna ungu yang dimanfaatkan dari lampu halogen, yang mempunyai panjang gelombang 400-435 nm. Sehingga cahaya tersebut termasuk dalam daerah panjang gelombang pada lampu halogen. Lampu tungsten halogen terbuat dari tabung kuarsa yang berisi filamen tungsten dan sejumlah kecil iodine. Filamen tungsten itu tidak lain adalah sebuah resistor (serupa dengan bola lampu untuk pemakaian di rumah/kantor). Ketika filamen dialiri arus maka energi listrik tersebut diubah menjadi energi panas. Suhu dari filamen bisa mencapai lebih dari 2000°C. Pada suhu yang demikian tinggi tersebut, energi panas (radiasi) dan cahaya terpancar dari filamen tadi.

Umumnya umur lampu pijar biasa hanya sekitar 750 hingga 1500 jam, sementara umur lampu halogen bisa mencapai 2000 hingga 4000 jam.

2.3.2. Spektrum Cahaya

Variasi warna suatu sistem berubah dengan berubahnya konsentrasi suatu komponen. Warna itu biasanya disebabkan oleh pembentukan suatu senyawa berwarna dengan ditamhkannya reagensia yang tepat, atau warna itu dapat

melekat dalam penyusun yang diinginkan itu sendiri. Cahaya terdiri dari radiasi terhadap mana mata manusia peka. Gelombang dengan panjang berlainan akan menimbulkan cahaya dengan warna berlainan, sedangkan campuran cahaya dengan panjang-panjang gelombang ini akan menyusun cahaya putih. Cahaya putih meliputi seluruh spektrum nampak 400-760 nm. Hubungan antara panjang gelombang dengan warna pada cahaya dan warna komplementernya terlihat pada tabel 2.1. Warna komplementer diperlukan pada saat pemilihan filter, yang mana sebagai aturan umum filter terbaik untuk digunakan dalam penetapan tertentu adalah yang memberikan absorpsi maksimum atau transmisi minimum untuk konsentrasi tertentu. Metode pemilihan filter yang kurang baik diantaranya adalah penggunaan sebuah filter yang warnanya mendekati warna komplementer dari larutan tersebut.

Tabel 2-1
Warna Cahaya dan Warna Komplementer

Panjang gelombang (nm)	Warna Cahaya	Warna Komplementer
400 – 435	Ungu	Hijau Kekuningan
435 – 480	Biru	Kuning
480 – 490	Biru Kehijauan	Jingga
490 – 500	Hijau Kebiruan	Merah
500 – 560	Hijau	Ungu Kemerahan
560 – 580	Hijau kekuningan	Ungu
580 – 595	Kuning	Biru
595 – 610	Jingga	Biru Kehijauan
610 – 750	Merah	Hijau Kebiruan

Sumber : Buku Ajar Vogel

2.4. Transistor Bipolar

Prinsip kerja transistor adalah arus bias base-emiter yang kecil mengatur besar arus kolektor-emiter. Bagian penting berikutnya adalah bagaimana caranya memberi arus bias yang tepat sehingga transistor dapat bekerja optimal.

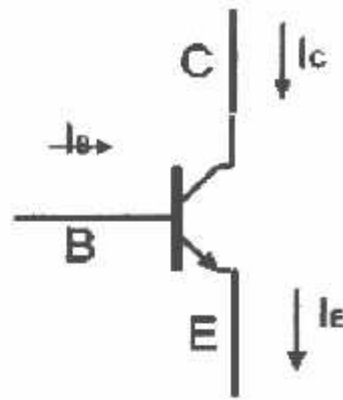
2.4.1. Arus bias

Ada tiga cara yang umum untuk memberi arus bias pada transistor, yaitu rangkaian *CE (Common Emitter)*, *CC (Common Collector)* dan *CB (Common Base)*. Namun dalam hal ini akan lebih detail dijelaskan bias transistor rangkaian CE. Dengan menganalisa rangkaian CE (Common Emitter) akan dapat diketahui beberapa parameter penting dan berguna terutama untuk memilih transistor yang tepat untuk berbagai aplikasi.

2.4.2. Arus *Emiter*

Dari hukum Kirchhoff diketahui bahwa jumlah arus yang masuk ke satu titik akan sama jumlahnya dengan arus yang keluar. Jika teorema tersebut diaplikasikan pada transistor, maka hukum itu menjelaskan hubungan :

$$I_E = I_C + I_B \dots\dots\dots(2-1)$$



Gambar 2-1. Arus Emitor

Sumber : www.electroniclab.com

Persamaan (2-1) tersebut mengatakan arus *emiter* I_E adalah jumlah dari arus kolektor I_C dengan arus base I_B . Karena arus I_B sangat kecil sekali atau disebutkan $I_B \ll I_C$, maka dapat dinyatakan :

$$I_E = I_C \dots\dots\dots(2-2)$$

2.4.3. Alpha (α)

Pada tabel data transistor (*databook*) sering dijumpai spesifikasi α_{dc} (*alpha dc*) yaitu perbandingan arus kolektor terhadap arus emitor yang tidak lain adalah :

$$\alpha_{dc} = I_C/I_E \dots\dots\dots(2-3)$$

Karena besar arus kolektor umumnya hampir sama dengan besar arus emitor maka idealnya besar α_{dc} adalah = 1 (satu). Namun umumnya transistor yang ada memiliki α_{dc} kurang lebih antara 0,95 sampai 0,99.

2.4.4. Beta (β)

Beta didefinisikan sebagai besar perbandingan antara arus kolektor dengan arus *base*.

$$\beta = I_C / I_B \dots\dots\dots (2-4)$$

Dengan kata lain, β adalah parameter yang menunjukkan kemampuan penguatan arus (*current gain*) dari suatu transistor. Parameter ini ada tertera di *data book* transistor dan sangat membantu para perancang rangkaian elektronika dalam merencanakan rangkaiannya. Misalnya jika suatu transistor diketahui besar $\beta = 250$ dan diinginkan arus kolektor sebesar 10 mA, maka arus basis yang diperlukan adalah :

$$I_B = I_C / \beta = 10\text{mA} / 250 = 40 \text{ uA}$$

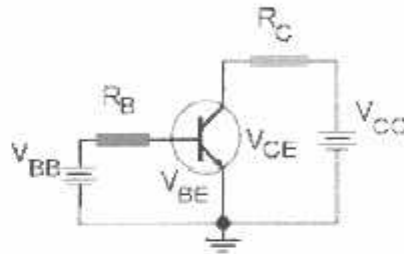
Arus yang terjadi pada kolektor transistor yang memiliki $\beta = 200$ jika diberi arus bias base sebesar 0,1 mA adalah :

$$I_C = \beta I_B = 200 \times 0.1\text{mA} = 20 \text{ mA}$$

Dari rumusan ini lebih terlihat definisi penguatan arus transistor, yaitu arus *base* yang kecil menjadi arus kolektor yang lebih besar.

2.4.5. Common Emitter (CE)

Rangkaian CE adalah rangkaian yang paling sering digunakan untuk berbagai aplikasi yang menggunakan transistor. Dinamakan rangkaian CE, sebab titik *ground* atau titik tegangan 0 volt dihubungkan pada titik *emiter*.



Gambar 2-2. Rangkaian CE

Sumber : www.electroniclab.com

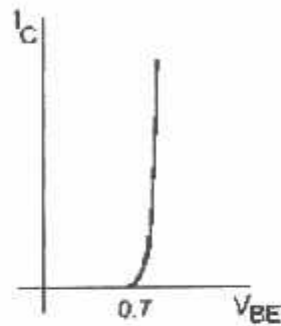
Sekilas tentang notasi, ada beberapa notasi yang sering digunakan untuk menunjukkan besar tegangan pada suatu titik maupun antar titik. Notasi dengan 1 variabel adalah untuk menunjukkan besar tegangan pada satu titik, misalnya V_C = tegangan kolektor, V_B = tegangan base dan V_E = tegangan emiter.

Ada juga notasi dengan 2 variabel yang dipakai untuk menunjukkan besar tegangan antar 2 titik, yang disebut juga dengan tegangan jepit. Diantaranya adalah :

- ❖ V_{CE} = tegangan jepit kolektor-emitor.
- ❖ V_{BE} = tegangan jepit base-emitor.
- ❖ V_{CB} = tegangan jepit kolektor-base.

Notasi seperti V_{BB} , V_{CC} , V_{EE} berturut-turut adalah besar sumber tegangan yang masuk ke titik base, kolektor dan emitor.

2.4.6 Kurva Base



Grafik 2-1. Kurva $I_B - V_{BE}$

Sumber : www.electronicstab.com

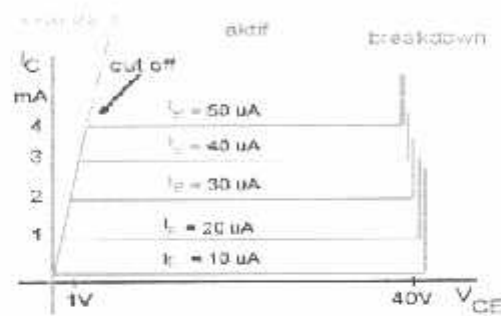
Hubungan antara I_B dan V_{BE} tentu saja akan berupa kurva dioda. Karena memang telah diketahui bahwa junction *base-emitor* tidak lain adalah sebuah dioda. Jika hukum Ohm diterapkan pada loop base maka diketahui :

$$I_B = (V_{BB} - V_{BE}) / R_D \dots \dots \dots (2-5)$$

V_{BE} adalah tegangan jepit dioda *junction base-emitor*. Arus hanya akan mengalir jika tegangan antara base-emitor lebih besar dari V_{BE} . Sehingga arus I_B mulai aktif mengalir pada saat nilai V_{BE} tertentu. Besar V_{BE} umumnya tercantum di dalam *databook*. Tetapi untuk penyederhanaan umumnya diketahui $V_{BE} = 0.7$ volt untuk transistor silikon dan $V_{BE} = 0.3$ volt untuk transistor germanium.

2.4.7. Kurva Kolektor

Sekarang sudah diketahui konsep arus basis dan arus kolektor. Satu hal lain yang menarik adalah bagaimana hubungan antara arus base I_B , arus kolektor I_C dan tegangan kolektor-emiter V_{CE} . Pada grafik berikut telah ditunjukkan melalui beberapa kurva kolektor arus I_C terhadap V_{CE} dimana arus I_B dibuat konstan.



Grafik 2-2. Kurva Kolektor

Sumber : www.electroniclah.com

Dari kurva ini terlihat ada beberapa *region* yang menunjukkan daerah kerja transistor. Pertama adalah daerah *saturasi*, lalu daerah *cut-off*, kemudian daerah aktif dan seterusnya daerah *breakdown*.

2.4.8. Daerah Aktif

Daerah kerja transistor yang normal adalah pada daerah aktif, dimana arus I_C konstan terhadap berapapun nilai V_{CE} . Dari kurva ini diperlihatkan bahwa arus I_C hanya tergantung dari besar arus I_B . Daerah kerja ini biasa juga disebut daerah linier (*linear region*).

Jika hukum Kirckhoff mengenai tegangan dan arus diterapkan pada loop kolektor (rangkaiannya CE), maka dapat diperoleh hubungan :

$$V_{CE} = V_{CC} - I_C R_C \dots\dots\dots(2-6)$$

Dapat dihitung disipasi daya transistor adalah :

$$P_D = V_{CE} I_C \dots\dots\dots(2-7)$$

Rumus ini mengatakan jumlah disipasi daya transistor adalah tegangan kolektor-emitor dikali jumlah arus yang melewatinya. Disipasi daya ini berupa panas yang menyebabkan naiknya temperatur transistor. Umumnya untuk transistor power sangat perlu untuk mengetahui spesifikasi P_{Dmax} . Spesifikasi ini menunjukkan temperatur kerja maksimum yang diperbolehkan agar transistor masih bekerja normal. Sebab jika transistor bekerja melebihi kapasitas daya P_{Dmax} , maka transistor dapat rusak.

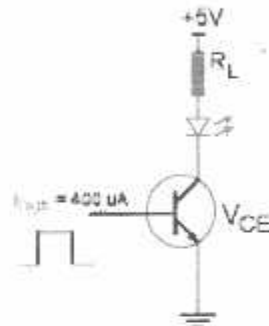
2.4.9 Daerah Saturasi

Daerah saturasi adalah mulai dari $V_{CE} = 0$ volt sampai kira-kira 0.7 volt (transistor silikon), yaitu akibat dari efek dioda kolektor-base yang mana tegangan V_{CE} belum mencukupi untuk dapat menyebabkan aliran elektron.

2.4.10 Daerah Cut-Off

Jika kemudian tegangan V_{CC} dinaikkan perlahan-lahan, sampai tegangan V_{CE} tertentu tiba-tiba arus I_C mulai konstan. Pada saat perubahan ini, daerah kerja

transistor berada pada daerah *cut-off* yaitu dari keadaan saturasi (OFF) lalu menjadi aktif (ON), perubahan ini dipakai pada system digital yang hanya mengenal angka biner 1 dan 0 yang tidak lain dapat direpresentasikan oleh status transistor ON dan OFF.



Gambar 2-3. Rangkaian Driver LED

Sumber : www.electroniclab.com

Misalkan pada rangkaian driver LED di atas, transistor yang digunakan adalah transistor dengan β sebesar 50. Penyalaan LED diatur oleh sebuah gerbang logika (*logic gate*) dengan arus keluaran sebesar $400 \mu A$ dan diketahui tegangan forward LED V_{LED} sebesar 2.4 volt. Lalu pertanyaannya adalah, berapakah seharusnya resistansi R_L yang akan dipakai.

$$I_C = \beta I_B = 50 \times 400 \mu A = 20 \text{ mA}$$

Arus sebesar ini cukup untuk menyalakan LED pada saat transistor *cut-off*.

Tegangan V_{CE} pada saat *cut-off* idealnya sebesar 0 volt

$$R_L = (V_{CC} - V_{LED} - V_{CE}) / I_C$$

$$= (5 - 2.4 - 0)V / 20 \text{ mA}$$

$$= 2.6V / 20 \text{ mA}$$

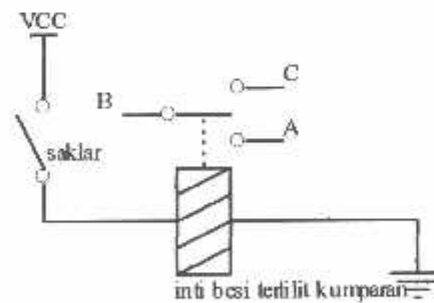
$$= 130 \text{ Ohm}$$

2.4.11. Daerah *Breakdown*

Dari kurva kolektor, terlihat jika tegangan V_{CE} lebih dari 40V, arus I_C menanjak naik dengan cepat. Transistor pada daerah ini disebut berada pada daerah *breakdown*. Scharusnya transistor tidak boleh bekerja pada daerah ini, karena akan dapat merusak transistor tersebut. Untuk berbagai jenis transistor nilai tegangan V_{CEmax} yang diperbolehkan sebelum *breakdown* bervariasi. V_{CEmax} pada databook transistor selalu dicantumkan juga.

2.5. Relay

Relay adalah komponen elektronika yang terdiri dari sebuah lilitan kawat (kumparan/koil) yang terlilit pada sebuah besi lunak. Jika kumparan dialiri arus listrik maka inti besi akan menjadi magnet dan menarik pegas sehingga kontak AB terhubung dan BC terputus.



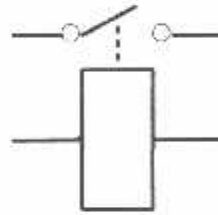
Gambar 2-4. Cara kerja relay

Sumber: Relay, www.national.com, 2001

Relay merupakan suatu alat untuk menghubungkan kontak antar komponen, dan dalam memutus atau menghubungkan kontak digerakkan oleh adanya fluksi yang ditimbulkan dari adanya medan magnet yang dihasilkan oleh kumparan yang melilit pada besi lunak yang terdapat di relay dan dialiri oleh arus listrik DC.

Ada beberapa macam relay, antara lain :

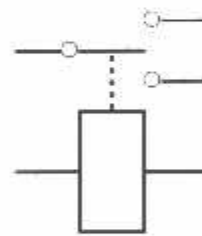
- SPST (*Single Pole Single Terminal*)



Gambar 2-5. Relay SPST

Sumber: Relay, www.national.com, 2001

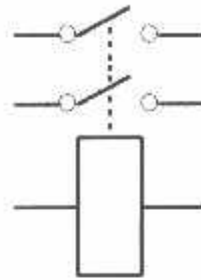
- SPDT (*Single Pole Dual Terminal*)



Gambar 2-6. Relay SPDT

Sumber: Relay, www.national.com, 2001

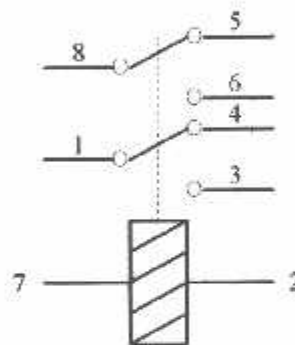
- DPST (*Dual Pole Single Terminal*)



Gambar 2-7. Relay DPST

Sumber: Relay, www.national.com. 2001

- DPDT (*Dual Pin Dual Terminal*)



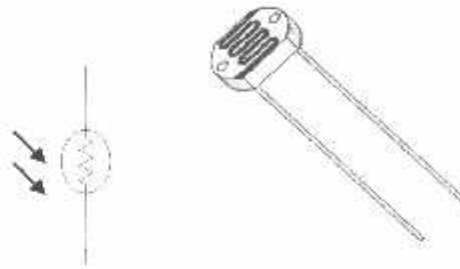
Gambar 2-8. Relay DPDT

Sumber: Relay, www.national.com. 2001

2.6. Light Dependent Resistor (LDR)

LDR adalah suatu komponen elektronika yang bersifat resistif, dimana nilai resistansi dipengaruhi oleh intensitas cahaya yang diterimanya. Bila LDR dibawa dari ruangan dengan intensitas cahaya tertentu ke ruangan dengan intensitas cahaya yang lemah, maka nilai resistansinya akan berubah secara perlahan-lahan dalam selang waktu tertentu.

Laju perubahan merupakan ukuran yang tepat untuk menunjukkan perubahan resistansi dalam selang waktu tertentu. Besar laju perubahan yang diberikan dinyatakan dalam satuan $K\Omega/\text{detik}$. Untuk LDR tipe arus nilainya lebih dari $200 K\Omega/\text{detik}$, diukur selama 20 menit pertama mulai dari level cahaya 1000 lux.

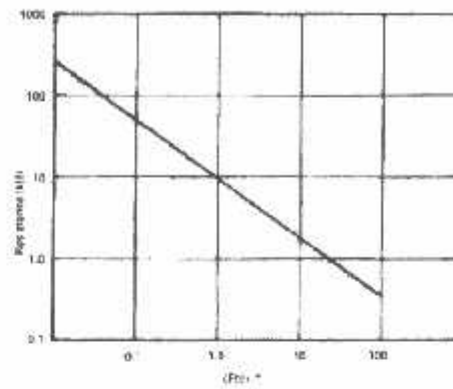


Gambar 2-9. Simbol dan Kontruksi LDR

Sumber: RS Component, March 1997

Kecepatan dan perubahan resistansi ini akan lebih besar nilainya pada arah sebaliknya yaitu dari tempat yang gelap ke tempat yang terang dengan intensitas cahaya sekitar 300 lux akan memerlukan waktu 10 milidetik untuk mencapai nilai resistansi yang setara dengan level kuat cahaya 400 lux.

Sensitivitas LDR tidak sama untuk setiap panjang gelombang cahaya yang jatuh padanya. Kurva pada pada gambar 2-4 menunjukkan hubungan antara sensitivitas LDR dengan panjang gelombang cahaya yang disebut karakteristik respon spektrum LDR.



Gambar 2-10. Kurva Karakteristik LDR
Sumber: : RS Component

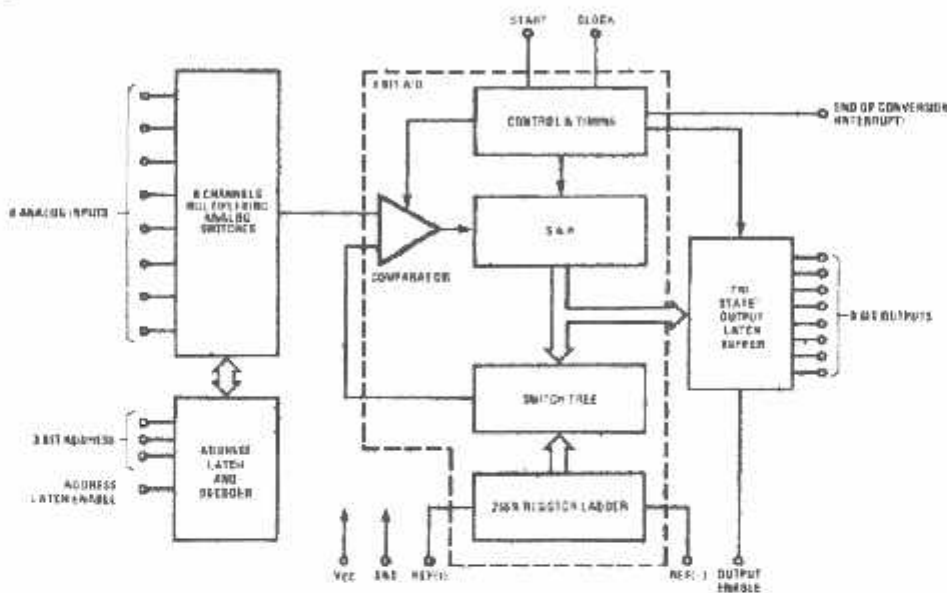
Dalam aplikasi rangkaian elektronika, LDR banyak dipakai sebagai alat pengindera cahaya. Penggunaannya antara lain sebagai saklar cahaya, mengukur intensitas cahaya, dan lain-lain.

2.7. ADC 0804

Agar dapat mengukur atau mengolah suatu variabel fisik yang umumnya dalam bentuk besaran analog dengan piranti digital, variabel tersebut harus terlebih dahulu diubah menjadi variabel digital yang nilainya proporsional dengan nilai variabel yang akan diukur atau diolah tersebut. Proses konversi ini dilakukan oleh konverter analog ke digital (analog to digital converter).

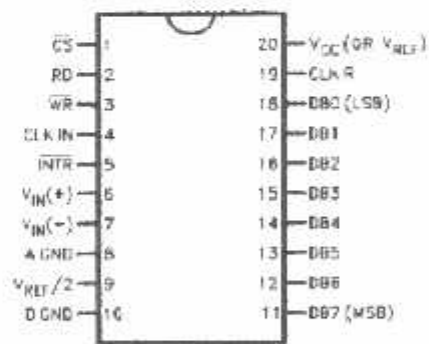
Spesifikasi penting lain selain ketelitian (akurasi) dan linieritas adalah waktu konversi (conversion time). Waktu konversi ADC adalah waktu yang diperlukan ADC untuk menghasilkan kode biner yang valid untuk tegangan masukan yang diberikan. Semakin pendek waktu konversi berarti kecepatan konversi semakin tinggi.

Dalam pembuatan alat ini digunakan ADC jenis 0804 yang mempunyai 8 bit channel multiplexer dan menggunakan metode pendekatan Successive Approximation Register (SAR). Waktu konversi ADC ini adalah $100\mu\text{s}$ dengan rentangan input sebesar 0 - 5 volt dan supply tegangan sebesar 5 volt.



Gambar 2-11. Blok Diagram ADC 0804

Sumber: www.national.com



Gambar 2-12. Konfigurasi Pin ADC 0804

Sumber: www.national.com

2.8. Mikrokontroler AT89S51

2.8.1. Pendahuluan

Perbedaan mendasar antara mikrocontroller dan mikroprosesor adalah mikrocontroller selain memiliki CPU juga dilengkapi dengan memori dan input output yang merupakan kelengkapan sebagai sistem minimum mikrokomputer sehingga sebuah mikrocontroller dapat dikatakan sebagai mikrokomputer dalam keeping tunggal (*Single Chip Microcomputer*) yang dapat berdiri sendiri.

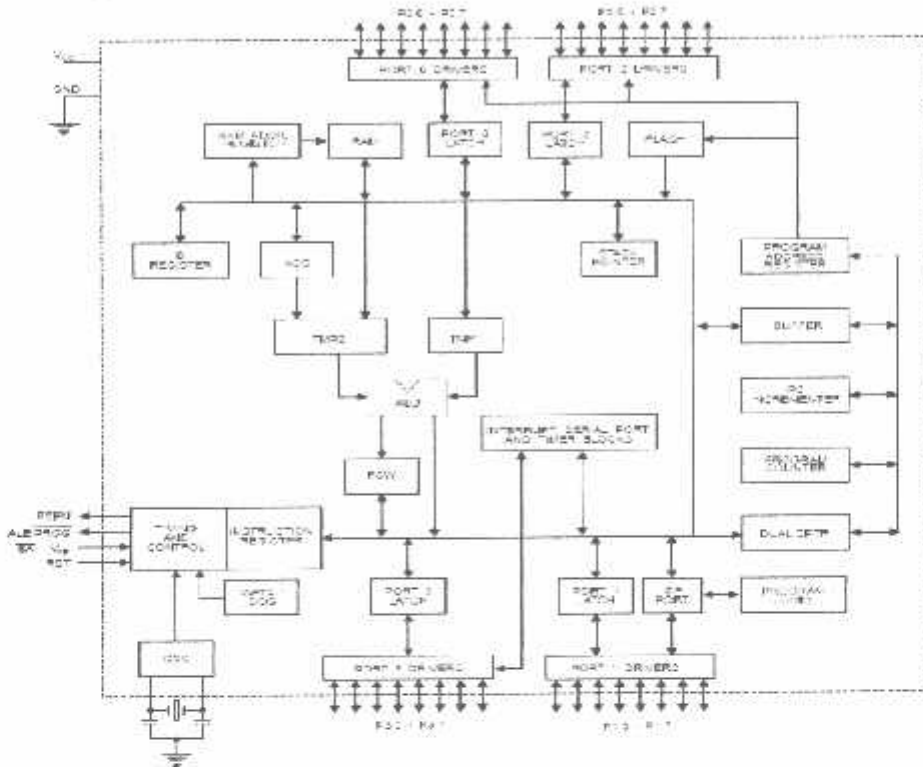
Mikrocontroller AT89S51 adalah mikrocontroller ATMEL yang kompatibel penuh dengan mikrocontroller keluarga MCS-51, membutuhkan daya rendah, memiliki performance yang tinggi dan merupakan mikrokomputer 8 bit yang dilengkapi EEPROM (*Electrical Erasable and Programmable Read Only Memory*) dan 4 Kbyte RAM internal dengan kapasitas 128 Kbyte. Program memori yang dapat deprogram ulang dalam system atau menggunakan programmer *Nonvolatile Memori konvensional*. Dalam system mikrocontroller terdapat dua hal yang mendasar, yaitu : perangkat lunak dan perangkat keras yang keduanya saling terkait dan mendukung.

2.8.2. Perangkat keras mikrocontroller AT89S51

Secara umum mikrocontroller AT89S51 memiliki :

- CPU 8 bit termasuk keluarga MCS-51
 - 4 Kb *flash memory*
 - 128 byte *internal RAM*
 - 32 buah *port I/O*, masing-masing terdiri atas 8 jalur I/O
 - 2 *timer / counter* 16 bit
 - 2 *serial port full Duplex*
 - Kecepatan pelaksanaan instruksi per siklus 1 us pada frekuensi clock 12 Mhz
 - 2 DPTR
 - *Watcdog Timer*
 - *Fleksibel ISP Programming*
-

Dengan keistimewaan diatas pembuatan alat menggunakan AT89S51 menjadi lebih sederhana dan tidak memerlukan IC pendukung yang banyak. Adapun blok diagram dari Mikrokontroller At89S51 adalah sebagai berikut :



Gambar 2-13. Blok Diagram Mikrokontroller AT89S51

Sumber : www.atmel.com, datasheet AT89S51

2.8.3. Konfigurasi Pin-Pin Mikrokontroller AT89S51

Mikrokontroller AT89S51 terdiri dari 40 pin dengan konfigurasi sebagai berikut :



Gambar 2-14. Konfigurasi Pin-Pin AT89S51
 Sumber : www.atmel.com, datasheet AT89S51

Fungsi tiap pin-nya sebagai berikut :

- VCC (*Supply tegangan*), pin 40
- GND (*Ground*), pin 20
- *Port 0*, pin 32- 39
- Merupakan port input-output dua arah, tanpa internal pull-up dan konfigurasi sebagai multipleks bus alamat rendah (A_0-A_7) dan data selama pengaksesan program memory dan data memory eksternal
- *Port 1*, PIN 1- 8
- Merupakan port input-output dua arah dengan *internal pull-up*.

Tabel 2- 2 Konfigurasi port 1.5 sampai 1.7

Port Pin	Alternate Function
P 1.5	MOSI (used for In-System Programming)
P 1.6	MISO (used for In-System Programming)
P 1.7	SCK (used for In-System Programming)

Merupakan *port* yang digunakan sebagai ISP *header*.

- *Port 2*, pin 21-28
- Merupakan *port* input-output dengan *internal pull-up*. Mengeluarkan alamat tinggi selama pengambilan program memory eksternal.

- Port 3, pin 10-17

Merupakan *port* input-output dengan *internal pull-up*, dimana port 3 juga memiliki fungsi khusus dan dapat dilihat pada table berikut ini :

Tabel 2-3 Fungsi Khusus pada Port 3

Nama Port	Fungsi Khusus
Port 3.0	RxD (port masukan serial)
Port 3.1	TxD (port keluaran serial)
Port 3.2	/INT0 (masukan interupsi eksternal 0)
Port 3.3	/INT1 (masukan interupsi eksternal 1)
Port 3.4	T0 (masukan pewaktu eksternal 0)
Port 3.5	T1 (masukan pewaktu eksternal 1)
Port 3.6	/WR (sinyal tulis memori data eksternal)
Port 3.7	/RD (sinyal baca memori data eksternal)

- RST (*Reset*), pin 9

Perubahan taraf tegangan dari rendah ke tinggi akan mereset AT89S51.

$$T = R.C \ln 2$$

- ALE/Prog (*Address Latch Enable*), pin 30

Digunakan untuk menahan alamat memory eksternal selama pelaksanaan instruksi.

- PSEN (*Program Store Enable*)

Merupakan sinyal pengontrol yang memperbolehkan program memori eksternal masuk kedalam bus.

- EA / VPP (*Eksternal Access*), pin 31

Dapat diberikan logika rendah (*Ground*) atau logika tinggi (+5V). Jika dibeikan logika tinggi maka mikrokontroller akan mengakses program dari ROM internal (EEPROM / Flash Memory), dan jika diberikan logika rendah maka mikrokontroller akan mengakses program dari memory eksternal.

- X-TAL 1 dan X-TAL 2, pin 19,18

Pin ini dihubungkan dengan kristal bila menggunakan osilator *internal*. X-TAL 1 merupakan masukan ke rangkaian osilator *internal* sedangkan X-TAL 2 keluaran dari rangkaian osilator *internal*. Untuk keperluan ini diperlukan kapasitor penstabil sebesar 30 pF. Dan nilai dari X-TAL tersebut antara 4-24 Mhz. untuk lebih jelasnya dapat dilihat gambar pemasangan X-TAL serta kapasitor yang digunakannya.

2.8.4. Organisasi Memori

Dalam mikrokontroller AT89S51 ruang alamat telah dibedakan untuk program memori dan data memori.

2.8.4.1. Internal Program Memory

Mikrokontroller AT89S51 memiliki program memori *internal* sebesar 4 Kbyte dengan ruang alamat 0000H-0FA0H. Jika alamat-alamat program lebih tinggi dari pada 0FA0H dimana melebihi kapasitas ROM *internal*, menyebabkan AT89S51 secara otomatis mengambil kode byte dari program memori *external*. Kode *byte* juga dapat diambil hanya dari memori *external* dengan alamat 0000H-FFFFH dengan cara menghubungkan pin EA ke *ground*.

2.8.4.2. Random Access Memory (RAM)

Ruangan alamat memory data *internal* (RAM) dengan kapasitas 128 *byte* yaitu : 00H-FFH yang terbagi atas 3 daerah, yaitu :

1. Empat *bank register*

Setiap *bank* terdiri dari 8 *register* (R0-R7) sehingga jumlah *register* untuk keempat *bank register* menjadi 32 buah *register* yang menempati ruang alamat

00H-1FH. Mengaktifkan salah satu *bank register* dapat dilakukan dengan mengatur RS0-RS1 pada *Program Status Word (PSW)*.

2. Bit Addressable

Terdiri dari *16 byte* yang berada pada alamat 20H-2FH. Masing-masing bit dalam 208 bit yang lokasinya dapat dialamati secara langsung.

3. RAM Keperluan Umum

Terdiri atas *208 byte* yang menempati alamat 30H-FFH, dan dapat dialamati secara langsung maupun tak langsung dalam penggunaan untuk keperluan umum (*general purpose*).

Table 2-4
Pengaturan RS0-RS1 *Bank Register*

RS1	RS0	Register Bank Select Bits
0	0	Bank 0
0	1	Bank 1
1	0	Bank 2
1	1	Bank 3

Sumber : Belajar Mikrokontroler ATMEL AT89S51

2.8.4.3. SFR (*Special Function Register*)

Untuk operasi AT89S51 yang menggunakan alamat internal RAM (00H-FFH). Beberapa dari *register-register* ini juga mampu dengan pengalamatan bit sehingga dapat dioperasikan seperti yang ada pada RAM.

2.8.4.3.1. PSW (*Program Status Word*)

Cara mendefenisikannya *register* ini ditunjukkan dalam tabel 2.5 :

Tabel 2-5
Fungsi D0-D7

Data	Simbol	Posisi	Fungsi /Art-1
D0	P	PSW.0	<i>Parity flag</i>
D1	-	PSW.1	<i>Flag didefinisikan oleh pemakai.</i>
D2	OV	PSW.2	<i>Overflow Flag</i>
D3	RS0	PSW.3	Bit pemilih <i>bank register.</i>
D4	RS1	PSW.4	Bit pemilih <i>bank register.</i>
D5	F0	PSW.5	<i>Flag 0</i>
D6	AC	PSW.6	<i>Auxiliary CarryFlag</i>
D7	CY	PSW.7	<i>Carry Flag</i>

Sumber : Belajar Mikrokontroler ATMEL AT89S51

2.8.4.3.2. PCON (*Power Control*)

Untuk *register* cara mendefenisikannya ditunjukkan dalam tabel 2.6 :

Tabel 2-6
Skema Mendefinisikan PCON

Data	Simbol	Fungsi /Arti
D0	IDL	<i>Idle mode bit</i>
D1	PD	<i>Power Down bit</i>
D2	GF0	<i>Bit flag serbaguna.</i>
D3	GF1	<i>Bit flag serbaguna.</i>
D4	-	Tidak dipakai.
D5	-	Tidak dipakai.
D6	-	Tidak dipakai.
D7	SMOD	Digunakan untuk menghasilkan <i>baudrate</i> dan <i>SMOD_1</i> , maka <i>baudrate</i> akan <i>double</i> baik mode 0,1,2 atau 3.

Sumber : Belajar Mikrokontroller ATME1. AT89S51

2.8.4.3.3. Sistem Interupsi

Mikrokontroller AT89S51 mempunyai 9 buah sumber interupsi yang dapat mengakibatkan permintaan interupsi, yaitu INT0, INT1, T0, T1 port serial dan beberapa port lainnya. Saat terjadi interupsi mikrokontroller secara otomatis akan menuju ke *subrutin* pada alamat tersebut. Setelah interupsi *service* selesai dikerjakan, Mikrokontroller akan mengerjakan program semula. Sumber interupsi *external* adalah INT0, INT1, dimana kedua interupsi *external* ini akan aktif pada transisi rendah selain itu juga ada *Timer/Counter 0*, *Timer/Counter 0* dan interupsi dari port serial (*receiver*). Interupsi serial dibangkitkan dengan melakukan operasi OR pada R1 dan T1. Tiap-tiap sumber interupsi dapat *di-enable* atau *di-disable* secara *software*. Tingkat prioritas semua sumber interupsi dapat diprogram sendiri-sendiri dengan *set* atau *clear* bit pada SFRS IP (*Interrupt Priority*).

Tabel 2-7
Alamat Sumber Interupsi

Sumber Interupsi	Alamat Awal
<i>Power On Reset</i>	0000h
<i>Interrupt</i> luar 0 (INT 0)	0003h
Pewaktu/ pencacah 0 (T0)	000Bh
<i>Interrupt</i> luar 1 (INT 1)	0013h
Pewaktu/ pencacah 1 (T1)	001Bh
Port 110 <i>Serial</i>	0023h

Sumber : Belajar Mikrokontroler ATMEL AT89S51

Register yang berperan dalam mengatur aktif tidaknya interupsi adalah *interrupt enable register*, susunan dari bit-bit beserta kegunaannya adalah :

Tabel 2-8
Kegunaan *Interrupt Enable Register*

Data	Simbol	Posisi	Fungsi /Arti
D0	EX0	IE.0	Diatur secara <i>software</i> untuk interupsi dari INT1.
D1	ET0	IE.1	Diatur secara <i>software</i> untuk interupsi dari <i>timer/counter</i> 1.
D2	EX 1	IE.2	Diatur secara <i>software</i> untuk interupsi dari INT 1.
D3	ET1	IE.3	Diatur secara <i>software</i> untuk interupsi dari <i>timer/counter</i> 1.
D4	ES	IE.4	Untuk mengatur <i>enable</i> atau <i>disables</i> atau interupsi R1/T1.
D5	-	IE.5	Kosong
D6	-	IE.6	Kosong
D7	EA	IE.7	Jika diatur 0 maka semua interupsi <i>di-disable</i> , jika diatur 1 maka interupsi diatur <i>di-disable</i> atau <i>di-enable</i> menurut masing-masing bit.

Sumber : Belajar Mikrokontroler ATMEL AT89S51

2.8.4.3.4. *Timer/Counter*

Pengendalian kerja dari *timer/counter* dilakukan dengan pengaturan register yang berhubungan dengan kerja dari *timer/counter* yaitu melalui sebuah *timer/counter mode control*. Untuk mengaktifkan *timer/counter* yang meliputi penentuan fungsi sebagai *timer* atau sebagai *counter* serta pemilihan *mode* operasi dapat diatur melalui TMOD. Konfigurasi dari *register* TMOD seperti yang ditunjukkan dalam tabel 2.9 berikut ini :

Tabel 2-9
Register TMOD

Data	Simbol	Posisi	Fungsi /Arti
D0	IT0	TCON.0	<i>Interrupt 0 type control bit.</i>
D1	IE0	TCON.1	<i>External interrupt 0 edge flag.</i>
D2	IT1	TCON.2	<i>Interrupt type 1 control bit. Diatur oleh software untuk menentukan aktif low atau high trigger dari external.</i>
D3	IE1	TCON.3	<i>External interrupt 1 edge flag. Diatur oleh hardware ketika external interrupt terdeteksi dan nol-kan melalui software ketika interrupt diproses.</i>
D4	TR0	TCON.4	<i>Timer 0 control bit. Diatur oleh software ketika timer counter 0.</i>
D5	TF0	TCON.5	<i>Timer 0 overflow flag control bit. Diatur oleh software ketika timer/counter 0 overflow.</i>
D6	TR1	TCON.6	<i>Timer 1 control bit. Diatur oleh software ketika timer counter 0.</i>
D7	TF1	TCON.7	<i>Timer 1 overflow flag control bit. Diatur oleh software ketika timer/counter 0 overflow.</i>

Sumber : Belajar Mikrokontroler ATMEL AT89S51

Tabel 2-10
Timer/Counter Mode Control Register

Data	Simbol	Fungsi/Arti
D0	Timer 0; M0 (0)	Untuk memilih mode timer.
D1	Timer 0; M1 (0)	Untuk memilih mode timer.
D2	Timer 0; C/T (0)	1 = Counter & 0 = Timer
D3	Timer 0; GATE (0)	Timer akan berjalan jika bit di set dan INT0 (untuk Timer 0) atau INT1 (untuk Timer 1).
D4	Timer 1; M0 (1)	Untuk memilih mode timer.
D5	Timer 1; M1 (1)	Untuk memilih mode timer.
D6	Timer 1; C/T (0)	1 = Counter & 0 = Timer
D7	Timer 1; GATE (1)	Timer akan berjalan jika bit di set dan INT0 (untuk Timer 0) atau INT1 (untuk Timer 1).

Sumber : Belajar Mikrokontroler ATMEL AT89S51

Tabel 2-11
Mode Operasi Timer/Counter

M1	M0	Operating Mode
0	0	Timer 13 bit
0	1	Timer/Counter 16 bit
1	0	8 bit Auto reload Timer/Counter
1	1	TL0 dari Timer adalah 8 Bit Timer/Counter dikendalikan oleh kontrol bit Timer 0. TH0 adalah 8 bit yang dikendalikan oleh Timer 1 control bit.

Sumber : Belajar Mikrokontroler ATMEL AT89S51

2.8.4.3.5. Metode Pengalamatan

1. Pengalamatan bit (*Direct Bit Addressing*) :

Pengalamatan langsung tiap bit ini hanya dilakukan pada lokasi RAM *internal* yaitu 20H-2FH, dan sebagian SFR yaitu port 0, port 1, port 2, port 3, TCON register, SCON register, IE register, PSW register, ACC dan B register.

2. Pengalamatan tak langsung (*Indirect Bit Addressing*) :

Pada pengalamatan tak langsung, instruksi menunjukkan suatu register yang isinya

adalah alamat dari *operand*, *eksternal* dan *internal* RAM dapat dialamati secara tidak langsung. *Register* alamat untuk data dengan lebar 8 bit dapat berupa R0 dan R1 yang digunakan untuk memilih angka *register* atau *stack pointer*. *Register* alamat untuk data, dengan lebar 16 bit digunakan *Data Pointer* (DPTR).

3. Pengalamatan ber-indeks :

Yang dapat diakses dengan pengalamatan berindeks hanya *memory program*. Mode ini dimaksudkan untuk membaca *look-up table program*.

4. Konstanta *immediat* :

Pengalamatan langsung dilakukan dengan memberikan nilai ke *register* secara langsung, dilakukan dengan menggunakan tanda #, (Contoh : Mov A, #100).

2.9. LCD (*Liquid Crystal Display*) M1632

LCD (*Liquid Crystal Display*) adalah salah satu jenis piranti *output* yang menggunakan daya rendah dengan pengendali kontras dan kecerahan. Pengendali utamanya dan karakter ada pada ROM (*Read Only Memory*) *generator* dan *display* data RAM (*Random Access Memory*) yang akan menghasilkan *extended key codes* (kode tombol/*keyboard* standart *international* dalam Hexsa) jika padanya diberikan inputan. Untuk dapat memfungsikan dengan baik maka perlu diperhatikan proses inisialisasi yang telah ditentukan oleh pabrik pembuatnya. *Timing* penginisialisasian sangat perlu dipertimbangkan, karena jika meleset sampai orde *mili secon*, maka dapat dipastikan LCD itu tidak dapat berfungsi.

Ada dua jenis *register* yang terdapat dalam LCD M1632 ini, yaitu *data register* dan *instruction register*. Dengan menggunakan pin RS (*Register Select*) pada LCD,

pemakaian kedua *register* dapat dipilih. Pemilihan *register* pada LCD ditunjukkan dalam tabel 2.4 berikut ini :

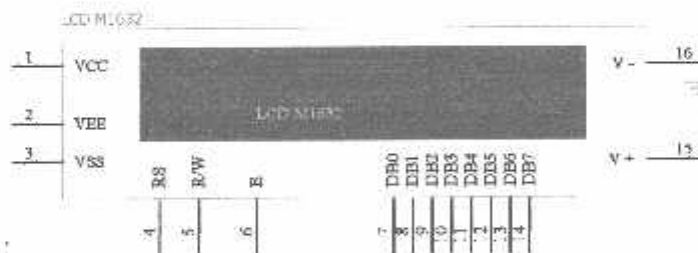
Tabel 2-12
Pemilihan *Register* Pada LCD M1632

Nama Sinyal	No. Terminal	I/O	Tujuan	Keterangan Sinyal
RS	4	Input	MPU	0 : Instruction Register 1 : Data Register

Sumber : Seiko Instrument Inc, 1987

Jika bagian yang dipilih adalah *instruction register* maka output yang dihasilkan adalah meliputi operasional dari LCD, misalnya fungsi *display clear, cursor home, entry mode set, display on/off, cursor shift* dan sejenisnya. Sebaliknya, jika bagian yang dipilih adalah *data register, output* yang dihasilkan adalah meliputi karakter yang tabelnya terdapat pada lampiran.

Berikut adalah gambar dari LCD dengan pin-pin yang akan terhubung dengan mikrokontroler AT89S51 :



Gambar 2-16. Pin-pin LCD M1632

Sumber : Seiko Instrument Inc, 1987

Di bawah ini adalah tabel instruksi dari LCD M1632.

Tabel 2-13. Instruksi LCD

Instruksi	Kode										Fungsi
	RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
Display Clear	0	0	0	0	0	0	0	0	0	1	Menghapus semua tampilan layar dan mengembalikan <i>cursor</i> ke posisi semula
Cursor Home	0	0	0	0	0	0	0	0	1	*	<i>Cursor</i> kembali ke posisi semula dan geser layar ke posisi semula
Empty Mode Set	0	0	0	0	0	0	0	1	1/D	S	Mengatur arah gerakan <i>cursor</i> dan menggeser layar ketika data sudah ditulis/dibaca
Display ON/OFF Control	0	0	0	0	0	0	1	D	C	B	Menyalakan/mematikan semua layar (D) dan <i>cursor</i> (C), dan membuat kolom <i>cursor</i> pada posisi awal kosong
Cursor/Display Shift	0	0	0	0	0	1	S/C	R/L	*	*	Memindahkan <i>cursor</i> dan menggeser layar
Function Set	0	0	0	0	1	DL	1	*	*	*	Mengatur penambahan banyaknya data
CG RAM Address Set	0	0	0	1	A _{CG}						Menulis alamat RAM ke karakter
DD RAM Address Set	0	0	1	A _{DD}						Menulis alamat RAM ke tampilan	
BF/address read	0	1	BF	AC						LCD dalam keadaan sibuk atau tidak sibuk	
Data Write to CG RAM or DD RAM	1	0	Write data								Menulis data ke DD RAM atau CG RAM
Data Write from CG RAM or DD RAM	1	1	Read data								Membaca data dari DD RAM atau CG RAM

Keterangan :

1. Empty mode Set : layar beraksi sebagai tampilan tulis.

S : 1/0 = menggeser layar.

I/D : 1 = kursor bergerak ke kanan dan layar bergerak ke kiri.

I/D : 0 = kursor bergerak ke kiri dan layar bergerak ke kanan

2. Display On/Off kontrol.

D : 1 = layar on

D : 0 = layar off

C : 1 = kursor on

C : 0 = kursor off

B : 1 = kursor berkedip-kedip

B : 0 = kursor tidak berkedip – kedip

3. Cursor Display Shift

S/C : 1 = LCD diidentifikasi sebagai layar

S/C : 0 = LCD diidentifikasi sebagai kursor

R/L : 1 = menggeser satu spasi ke kanan

R/L : 0 = menggeser satu spasi ke kiri

4. Fuction Set

DL : 1 = panjang data LCD pada 8 bit

DL : 0 = panjang data LCD pada 4 bit

Bit upper ditransfer terlebih dahulu kemudian diikuti dengan 4 bit lower.

5. CG RAM Address Set :

A_{CG} = alamat CG RAM

6. DD RAM address set :

A_{DD} = alamat DD RAM

7. BF/address read :

BF : 1 = pengoperasian instruksi sedang dijalankan

BF : 0 = instruksi dapat diterima

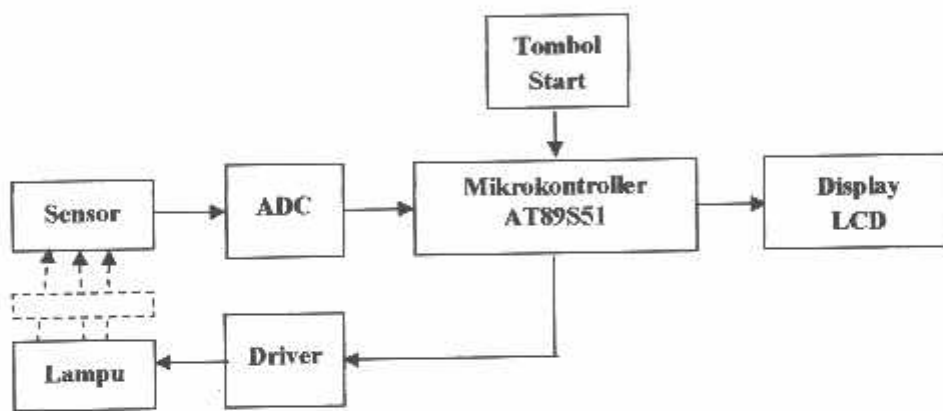
LCD M1632 mempunyai spesifikasi sebagai berikut :

- 16 karakter 2 baris dalam bentuk *dot matrik 5 x 7* dan kursor.
- *Duty ratio 1/16*.
- Memiliki ROM pembangkit karakter untuk 192 jenis karakter.
- RAM untuk data *display* sebanyak 80 x 8 bit (80 karakter maksimum).
- Dapat dirangkai dengan MPU (*Microprocesor Unit*) 8 bit atau 4 bit.
- RAM data *display* dan RAM pembangkit karakter dibaca oleh MPU.
- Memiliki fungsi instruksi : *display ON/OFF, cursor ON/OFF, display character blink, cursor shift* dan *display shift*.
- Memiliki rangkaian *oscillator* sendiri.
- Sumber tegangan tunggal +5 Volt.
- Memiliki rangkaian *reset* otomatis pada saat catu daya dihidupkan

BAB III

PERANCANGAN DAN PEMBUATAN ALAT

Dalam bab ini akan dibahas mengenai perancangan dan pembuatan alat yang meliputi perangkat keras (hardware) dan perangkat lunak (software). Pembahasan dalam bab ini akan dilakukan setiap bagian blok dari diagram keseluruhan seperti ditunjukkan pada gambar 3-1 di bawah ini :



Gambar 3-1. Diagram Blok Keseluruhan Sistem

Fungsi dari masing-masing blok :

1. Sensor

Sensor yang digunakan pada sistem ini adalah sensor LDR (*Light Dependent Resistors*) yang berfungsi untuk mendeteksi perubahan intensitas cahaya yang diterima.

2. ADC

Berfungsi untuk merubah sinyal analog dari sensor menjadi sinyal digital. ADC yang digunakan adalah 0804.

3. Mikrokontroler AT89S51

Untuk memproses sinyal atau data yang masuk dan mengeksekusi instruksi yang akan dijalankan oleh sistem.

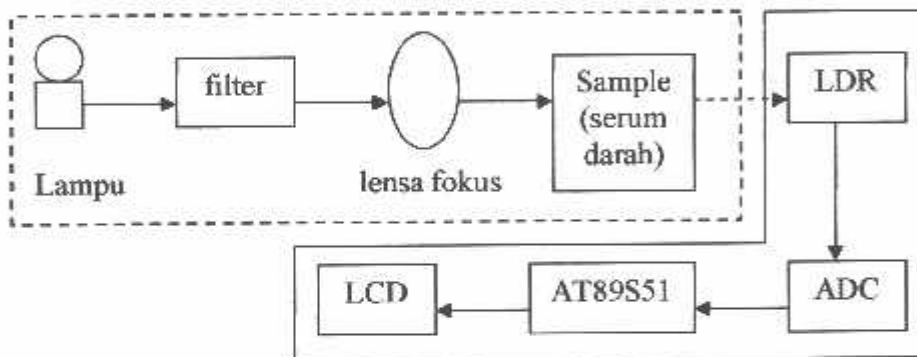
4. Tombol Start

Untuk memulai proses pengukuran.

6. Display

Untuk display yang digunakan adalah LCD sebagai keluaran dalam bentuk tulisan.

Prinsip Kerja Sistem :



Gambar 3.2. Prinsip Kerja Sistem

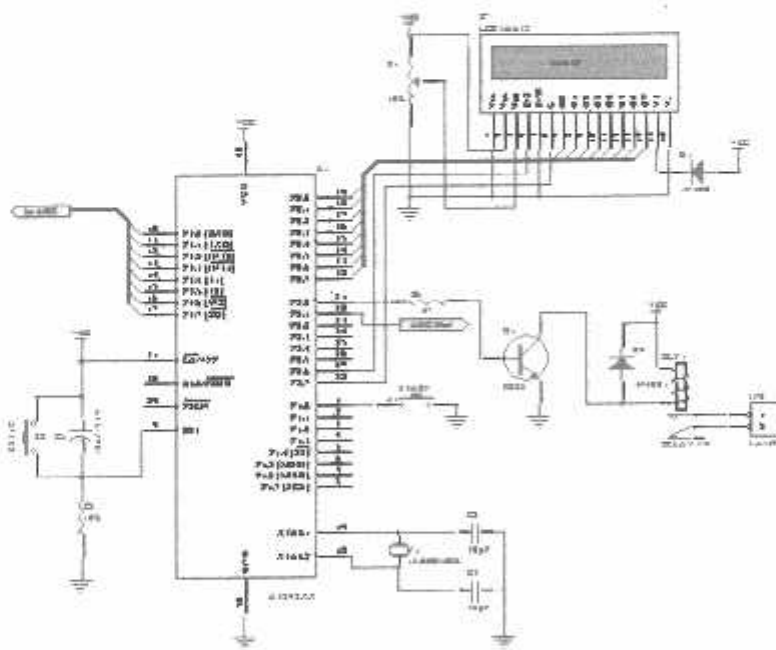
Ketika tombol start atau push button ditekan maka driver lampu akan bekerja dan sumber cahaya dari lampu berupa cahaya akan difilter oleh sebuah kaca/ transparan berwarna sehingga menghasilkan cahaya monokromatis dimana untuk kalsium adalah cahaya ungu. Selanjutnya cahaya tersebut difokuskan untuk mendapatkan intensitas cahaya tertinggi. Cahaya dilewatkan dalam sampel serum, sisa cahaya yang diteruskan sampel di tangkap oleh sensor LDR sebagai sensor cahaya . Selanjutnya tegangan dari LDR diubah menjadi sinyal digital oleh ADC. Sinyal digital dari ADC akan dibaca oleh mikrokontroler , diolah dan ditampilkan ke LCD display.

3.1. Perancangan Perangkat Keras (Hardware)

3.1.1. Rangkaian Mikrokontroler AT89S51

Rangkaian mikrokontroler AT89S51 berfungsi sebagai pengolah data yang dihasilkan oleh ADC 0804 yang berfungsi sebagai masukan dan menampilkan data tersebut ke dalam LCD yang berfungsi sebagai keluaran. Mikrokontroler juga akan menampilkan data identitas penulis ke dalam LCD pada awal penyalaan sistem.

Pengaturan jalur *input* dan *output* pada rangkaian mikrokontroler untuk sebuah rancangan terprogram, sangat berkaitan erat dengan program yang kita buat. Agar tidak terjadi kesalahan saat pembacaan data, mikrokontroler menyediakan jalur-jalur 32 *input-output* yang dapat digunakan secara berkelompok atau bersamaan untuk tiap kelompok terisi 8 bit. Untuk lebih jelasnya, hubungan mikrokontroler dengan perangkat pendukungnya dapat dilihat dalam gambar 3-3 di bawah ini.

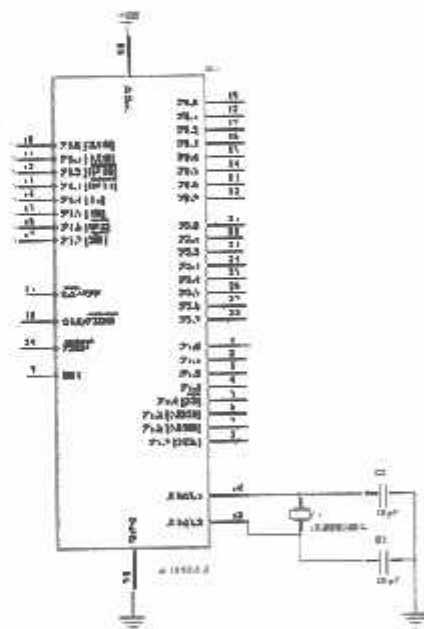


Gambar 3-3. Perancangan Mikrokontroler AT89S51

3.1.1.1. Rangkaian Clock

Kecepatan proses yang dilakukan oleh mikrokontroler ditentukan oleh sumber *clock* yang mengendalikan mikrokontroler tersebut. Sistem yang akan dirancang ini akan menggunakan asilator internal yang sudah tersedia dalam chip mikrokontroler AT89S51. Untuk menentukan frekuensi osilatonya cukup dengan cara menghubungkan kristal pada pin 19 (XTAL 1) dan pin 18 (XTAL 2) serta dua buah kapasitor ke pentanahan (ground).

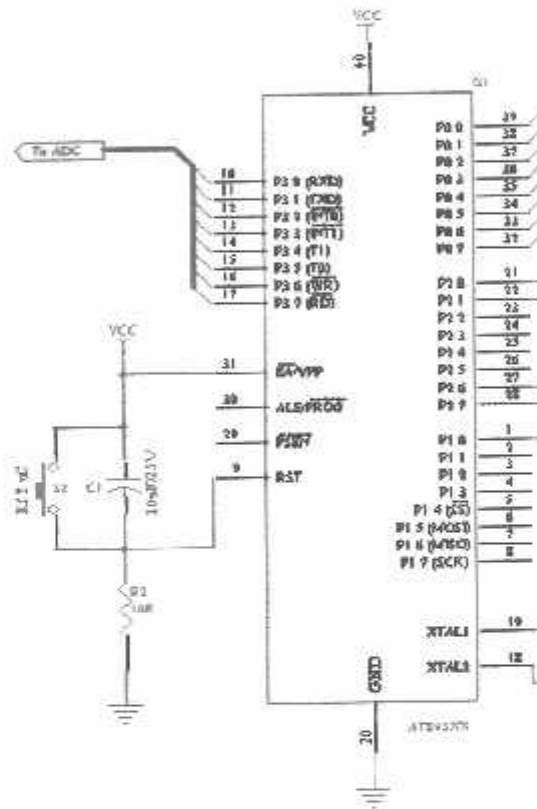
Besar kapasitansi, disesuaikan dengan spesifikasi pada lembar data AT89S51 yaitu 30 pF. Kristal yang digunakan adalah 12 MHz. gambar 3-4 memperlihatkan rangkaian *clock* yang digunakan.



Gambar 3-4. Perancangan Rangkaian Clock

3.1.1.2. Rangkaian Reset

Untuk *mereset* mikrokontroler AT89S51, maka pin RST diberi logika tinggi selama sekurang-kurangnya dua siklus mesin (24 periode osilator). Untuk membangkitkan sinyal *reset* kapasitor dihubungkan dengan Vcc dan sebuah resistor yang dihubungkan ke *ground*. Rangkaian *reset* ditunjukkan dalam gambar 3-5 sebagai berikut :



Gambar 3-5. Perancangan Rangkaian Reset

Karena kristal yang digunakan mempunyai frekuensi sebesar 12 MHz, maka satu periode membutuhkan waktu sebesar :

$$T = \frac{1}{f_{XTAL}} = \frac{1}{12 \text{ MHz}} \text{ s} = 8,333 \times 10^{-8} \text{ s}$$

Sehingga waktu minimal logika tinggi yang dibutuhkan untuk mereset mikrokontroler adalah :

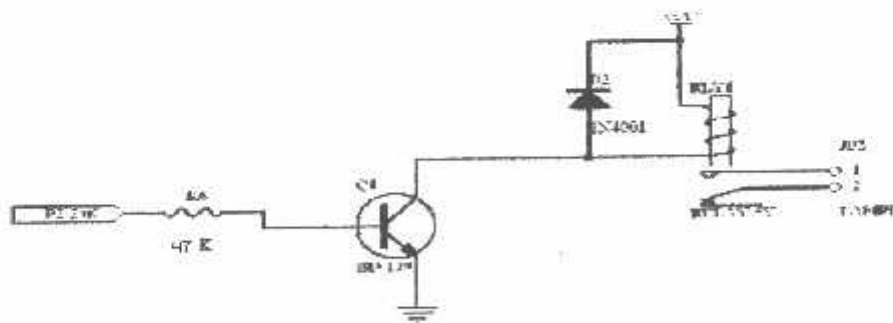
$$\begin{aligned} \text{Reset (min)} &= T \times \text{periode yang dibutuhkan} \\ &= 8,333 \times 10^{-8} \times 24 = 1,999 \mu\text{s} \end{aligned}$$

Jadi mikrokontroller membutuhkan waktu minimal 1,999 μs untuk mereset. Waktu minimal inilah yang dijadikan pedoman untuk menentukan nilai R dan C. Dari persamaan konstanta waktu $T = R \times C$ (Malvino, 1984 : 152) dan jika nilai R ditentukan sebesar 10 k Ω (Manual Data Sheet Book AT89S51) maka nilai C adalah

$$\begin{aligned} C &= \frac{T}{R} \\ &= \frac{1,999 \times 10^{-6}}{10 \times 10^3} \\ &= 199,9 \times 10^{-12} \text{ F} \end{aligned}$$

Kapasitor minimal yang dibutuhkan adalah 199,9 pF. Dengan menggunakan kapasitor sebesar 10 μF , maka akan menjamin waktu reset di atas nilai minimal waktu yang dibutuhkan untuk mereset mikrokontroller.

3.1.2. Rangkaian Driver Lampu



Gambar 3-6. Perancangan Rangkaian Driver Lampu

Relay di sini digunakan sebagai saklar untuk ON/OFF saja.

Diketahui data transistor :

$$h_{fe} = 320$$

$$V_{BE} = 0,7 \text{ V}$$

$$R_{\text{Relay}} = 420 \ \Omega$$

$$V_{CC} = 12 \text{ V}$$

Maka dapat dihitung :

$$I_C = \frac{V_{CC}}{R_{\text{Relay}}} = \frac{12}{420} = 28,57 \text{ mA}$$

$$I_B = \frac{I_C}{h_{fe}} = \frac{0,028}{320} = 0,00008928$$

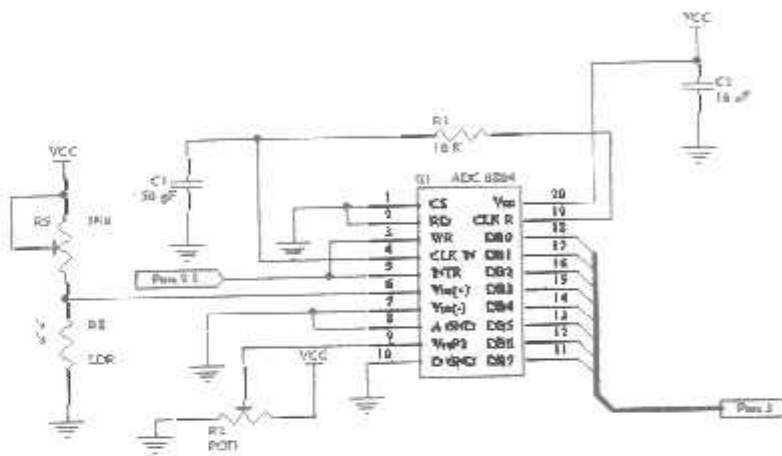
$$R_B = \frac{5 - V_{BE}}{I_B} = \frac{5 - 0,7}{0,00008928} = 48 \text{ K}\Omega$$

Karena nilai resistansi di atas tidak ada di pasaran maka diambil nilai hambatan yang mendekati yaitu 47 K Ω . Pemasangan dioda disusun secara paralel dengan relay bertujuan membuang arus balik pada saat relay dalam keadaan ON. Jika arus ini tidak dibuang maka akan menyebabkan induksi magnetic pada kumparan relay sehingga menyebabkan rusaknya transistor.

3.1.3. Rangkaian ADC 0804

Dalam pembuatan alat ini juga dibutuhkan pengubah sinyal analog menjadi sinyal digital atau disebut juga Analog to Digital Converter (ADC), hal ini disebabkan karena sinyal-sinyal yang didapat dari sensor adalah berupa sinyal analog sedangkan rangkaian

mikrokontroller menggunakan system digital sehingga membutuhkan masukan berupa sinyal digital. ADC yang digunakan adalah ADC 0804. ADC ini dapat menerima hingga 8 inputan, tetapi yang digunakan pada alat ini hanya 1 inputan dan sisa inputan yang lain digroundkan. Karena hanya menggunakan 1 input maka ADD A, ADD B, ADD C diberi nilai low dengan cara dihubungkan ke ground. Rangkaian ADC 0804 ditunjukkan dalam gambar 3-7 sebagai berikut :



Gambar 3-7. Perancangan Rangkaian ADC 0804

Penjelasannya adalah sebagai berikut :

- Input 0 (pin 26) merupakan masukan yang berupa sinyal analog dari sensor LDR. Input 1 sampai input 7 digroundkan karena tidak digunakan.
- D0 sampai D7 yang merupakan output ADC 0804 dipergunakan untuk mengirim data digital ke mikrokontoller AT89S51.

3.1.4. Rangkaian LCD M1632

LCD Display Module M1632 buatan Seiko Instrument Inc. adalah komponen *display* yang paling umum digunakan saat ini. LCD M1632 merupakan panel LCD sebagai media penampil informasi dalam bentuk huruf/angka dua baris, masing-masing baris bisa menampung 16 huruf/angka.

Proses mengirim/mengambil data ke/dari M1632 bisa dijabarkan sebagai berikut :

RS harus dipersiapkan dulu, untuk menentukan jenis data seperti yang telah dibicarakan di atas.

➤ **R/W*** di-nol-kan untuk menandakan akan diadakan pengiriman data ke M1632.

Data yang akan dikirim disiapkan di **DB0..DB7**, sesaat kemudian sinyal **E** di-satu-kan dan di-nol-kan kembali. Sinyal **E** merupakan sinyal sinkronisasi, saat **E** berubah dari 1 menjadi 0 data di **DB0 .. DB7** diterima oleh M1632.

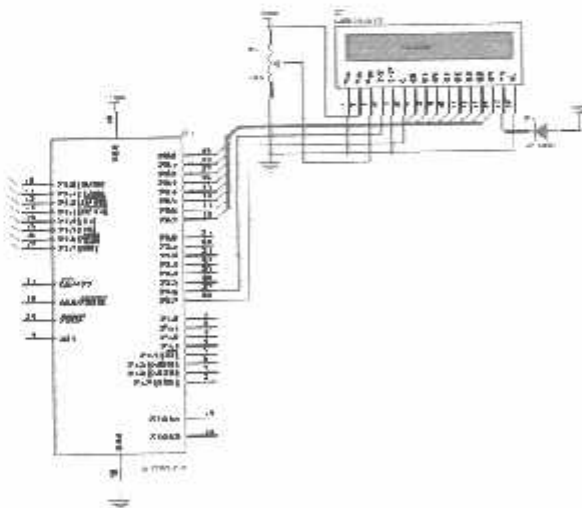
➤ Untuk mengambil data dari M1632 sinyal **R/W*** di-satu-kan, menyusul sinyal **E** di-satu-kan. Pada saat **E** menjadi 1, M1632 akan meletakkan datanya di **DB0 .. DB7**, data ini harus diambil sebelum sinyal **E** di-nol-kan kembali.

Untuk berhubungan dengan mikrokontroler, pemakai LCD M1632 dilengkapi dengan 8 jalur data (**DB0..DB7**) yang dipakai untuk menyalurkan kode ASCII maupun perintah pengatur kerjanya M1632. Selain itu dilengkapi pula dengan **E**, **R/W*** dan **RS** seperti layaknya komponen yang kompatibel dengan mikroprocessor.

RS (Register Select) dipakai untuk membedakan jenis data yang dikirim ke M1632, kalau **RS=0** data yang dikirim adalah perintah untuk mengatur kerja M1632, sebaliknya kalau **RS=1** data yang dikirim adalah kode ASCII yang ditampilkan.

M1632 mempunyai seperangkat perintah untuk mengatur tata kerjanya, perangkat perintah tersebut meliputi perintah untuk menghapus tampilan, meletakkan kembali cursor pada baris huruf pertama baris pertama, menghidup/matikan tampilan dan lain sebagainya, semua itu dibahas secara terperinci dalam Lembar Data M1632.

Untuk tampilan dipergunakan LCD Dot Matrik 2 x 16 karakter. Sinyal-sinyal yang diperlukan oleh LCD adalah RS dan Enable, sinyal RS dan Enable dipergunakan sebagai input yang outputnya dipakai untuk mengaktifkan LCD. LCD akan aktif apabila mikrokontroller memberikan instruksi tulis pada LCD. Saat kondisi RS don't care dan Enable 0 maka LCD tetap pada kondisi semula, pengiriman data ke LCD dilakukan saat RS berlogika 0 dan enable berlogika 1. Instruksi dikirim pada LCD bila keadaan RS 1 dan Enable 1. Pin LCD ini untuk data terkoneksi pada *Port 0* mikrokontroller. Kemudian untuk RS dihubungkan pada *Port 2.0*, tulis/baca (*Read/Write*) diberikan logika *low* karena disini LCD bersifat menulis data, dan yang terakhir *Enable* (E) dikendalikan dengan *Port 2.1*. Gambar rangkaian LCD ditunjukkan pada gambar 3-8 sebagai berikut :

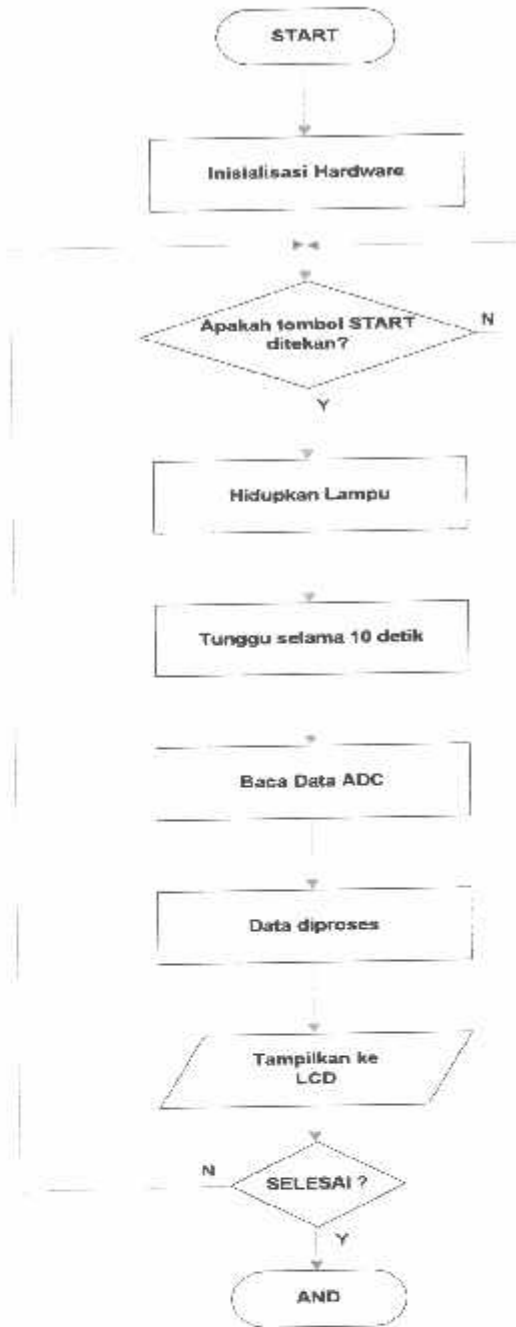


Gambar 3-8 Perancangan Liquid Crystal Display (LCD)

3.2. Perancangan Perangkat Lunak (Software)

Perancangan perangkat lunak (*software*) sangat diperlukan oleh *programmer* dalam mempermudah menentukan langkah-langkah atau alur dari program. Selain mempermudah langkah-langkah pemrograman, diagram alir juga difungsikan supaya program sesuai dan sinkron dengan kerja perangkat keras (*hardware*), sehingga sesuai dengan apa yang direncanakan. Mikrokontroler AT89S51 menggunakan bahasa C.

Dalam upaya untuk membuat program yang efisien sehingga perlu dirancang suatu *flowchart* untuk memudahkan dalam penganalisaan dan menjalankan suatu program dengan cepat. Diagram alirnya seperti ditunjukkan pada gambar berikut:



Gambar 3-9. Flowchart Perangkat Lunak (Software)

BAB IV

PENGUJIAN ALAT

Setelah perangkat keras dan perangkat lunak yang direncanakan selesai dibuat, selanjutnya dilakukan pengujian terhadap alat yang dibuat. Tahap pengujian alat ini perlu untuk dilakukan untuk mendapatkan hasil pengukuran serta kerja alat sesuai dengan yang diharapkan.

4.1. Pengujian LDR

4.1.1. Tujuan

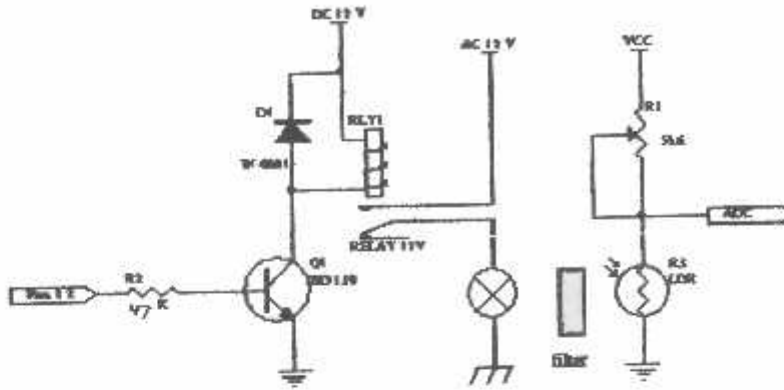
Pengujian LDR bertujuan untuk menguji kepekaan LDR terhadap intensitas cahaya yang dilewatkan.

4.1.2. Peralatan yang digunakan

- Power Supply
- Rangkain Pengujian LDR (sebagai sensor)
- Multimeter Digital

4.1.3. Langkah pengujian

- Merangkai rangkaian seperti pada gambar 4-1
- Menghubungkan rangkaian pengujian LDR dengan sumber tegangan.
- Menghubungkan kutub positif dan negatif multimeter digital (multimeter diset pada skala 20 Volt DC) dan mencatatnya pada tabel 4-1.



Gambar 4-1. Rangkaian Pengujian LDR

4.1.4. Hasil Pengujian

Tabel 4-1. Hasil Pengujian Kepekaan LDR

Percobaan	Tegangan Keluaran (Vo)		
	Lampu → LDR	Lampu → Filter → LDR	Lampu → Filter → Fokus → LDR
1	1,37 Volt	1,63 Volt	1,08 Volt
2	1,38 Volt	1,64 Volt	1,09 Volt
3	1,39 Volt	1,65 Volt	1,10 Volt
4	1,40 Volt	1,65 Volt	1,10 Volt
5	1,40 Volt	1,66 Volt	1,11 Volt

Dari hasil pengujian dapat dihitung rata-rata tegangan keluaran (Vo) LDR sebagai berikut

- Vo rata-rata Lampu → LDR

$$V_o = \frac{1,37 + 1,38 + 1,39 + 1,40 + 1,40}{5}$$

$$= 1,388 \text{ Volt}$$

- Vo rata-rata Lampu → Filter → LDR

$$V_o = \frac{1,63 + 1,64 + 1,65 + 1,65 + 1,66}{5}$$

$$= 1,646 \text{ Volt}$$

- V_o rata-rata Lampu → Filter → Fokus → LDR

$$V_o = \frac{1,08 + 1,09 + 1,10 + 1,10 + 1,11}{5}$$

$$= 1,096 \text{ Volt}$$

4.2. Pengujian ADC 0804

4.2.1 Tujuan

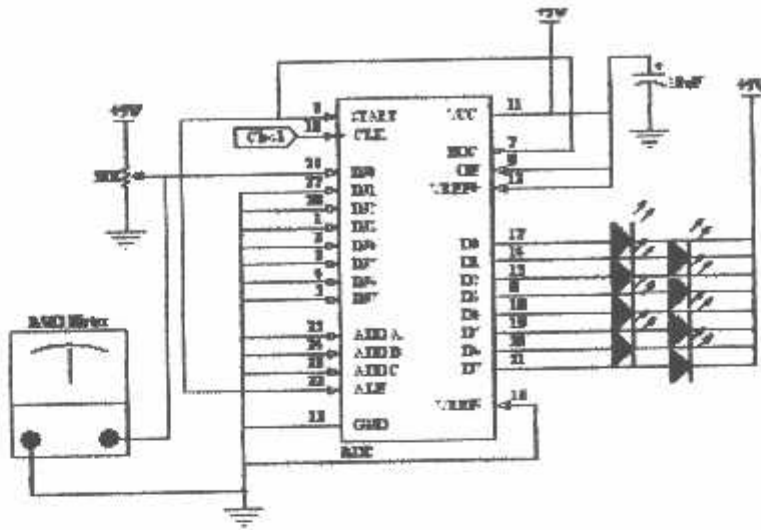
Untuk mengetahui kombinasi logika keluaran dari ADC terhadap inputan tegangan yang diberikan.

4.2.2. Peralatan yang digunakan

- Power Supply
- Rangkaian Pengujian ADC 0804
- Multimeter Digital

4.2.3. Langkah Pengujian

- Merangkai rangkaian seperti pada gambar 4-2
 - Menghubungkan pin – pin keluaran dari ADC 0804 dengan rangkaian LED.
 - Menghubungkan rangkaian pengujian ADC 0804 dengan sumber tegangan 5 Volt.
 - Menghubungkan kutub positif dan negatif multimeter digital (multimeter diset pada skala 20 Volt DC) pada V_R sebagai V_{in-0} , kemudian memutar V_R (tentukan nilai V_{in-0} yang diinginkan) dan mencatatnya pada tabel 4-2.
 - Mengamati LED yang menyala dan mati sebagai indikator keluaran 8 bit dari ADC 0804. Mencatat hasilnya pada tabel 4-2
-



Gambar 4-2. Rangkaian Pengujian ADC 0804

4.2.4. Hasil Pengujian

Tabel 4-2. Hasil Pengujian ADC 0804

Vin (Volt)	Keluaran ADC 0804			
	Pengukuran		Perhitungan	
	D7 – D0	Hexa	D7 – D0	Hexa
0	00000000	00h	00000000	00h
3,12	10011100	9Ch	10011111	5Fh
1,28	01000000	20h	10000001	41h
3,68	10111000	B8h	10111100	6Ch
2,16	01101100	6Ch	11011110	6Eh
4,08	11001100	CCh	11010000	D0h

Untuk perhitungan Beda tegangan/bit dari output ADC 0804 dapat dicari dengan menggunakan rumus berikut:

$$\text{Beda tegangan / bit} = \frac{V_{ref}^{(+)} - V_{ref}^{(-)}}{2^8 - 1}$$

Dimana: $V_{ref}^{(+)} = 5 \text{ Volt}$

$V_{ref}^{(-)} = 0 \text{ Volt}$

Sehingga:

$$\begin{aligned} \text{Beda tegangan / bit} &= \frac{V_{ref}^{(+)} - V_{ref}^{(-)}}{2^8 - 1} \\ &= \frac{5 - 0}{256 - 1} = \frac{5}{255} = 0,0196 \text{ Volt} \end{aligned}$$

Dan untuk keluaran ADC 0808 dapat dicari dengan menggunakan rumus berikut:

$$Out_{ADC(\text{desimal})} = \frac{V_{in}}{\text{BedaTegangan/Bit}}$$

Dimana:

V_{in} = tegangan input ADC 0804

Beda Tegangan/Bit = 0,0196 Volt

Contoh: Jika diketahui V_{in} 3,12 Volt. Maka berapakah keluaran ADC 0804 ?

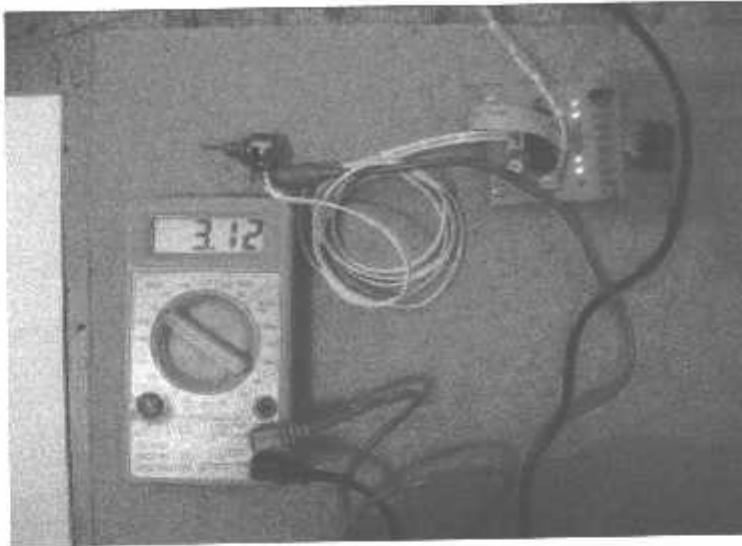
Penyelesaian:

$$Out_{ADC(\text{desimal})} = \frac{V_{in}}{\text{BedaTegangan/Bit}}$$

$$\begin{aligned} Out_{ADC(\text{desimal})} &= \frac{3,12}{0,0196} \\ &= 159,18 \approx 159_{(10)} \end{aligned}$$

$$Out_{ADC(\text{biner})} = 10011111_{(2)}$$

$$Out_{ADC(\text{hexa})} = 5F_{(16)}$$



Gambar 4-3. Hasil Pengujian ADC 0804

4.3. Pengujian LCD M1632

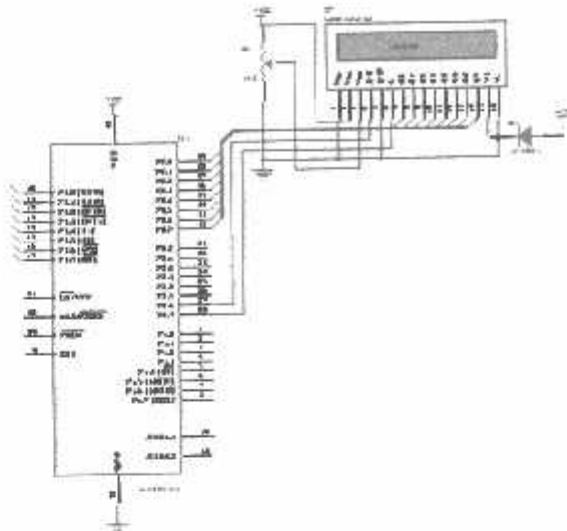
4.3.1. Tujuan

Untuk mengetahui LCD yang digunakan dalam keadaan baik.

4.3.2. Peralatan yang digunakan

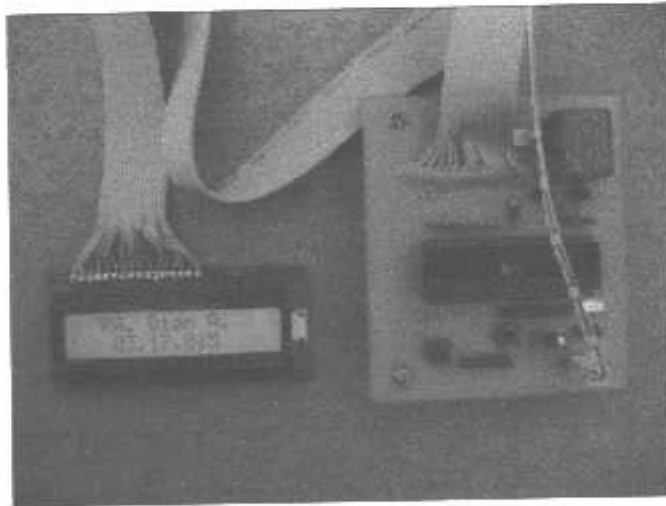
- Minimum Sistem AT89S51
- LCD M1632
- Power Supply

Berikut adalah gambar dari rangkaian LCD M1632 yang akan diuji :



Gambar 4-4 Rangkaian LCD M1632

4.3.3. Hasil Pengujian



Gambar 4-5 Hasil Pengujian LCD M1632

4.4. Pengujian Alat Keseluruhan

4.4.1. Tujuan

Untuk mengetahui alat yang dibuat sesuai dengan yang telah direncanakan.

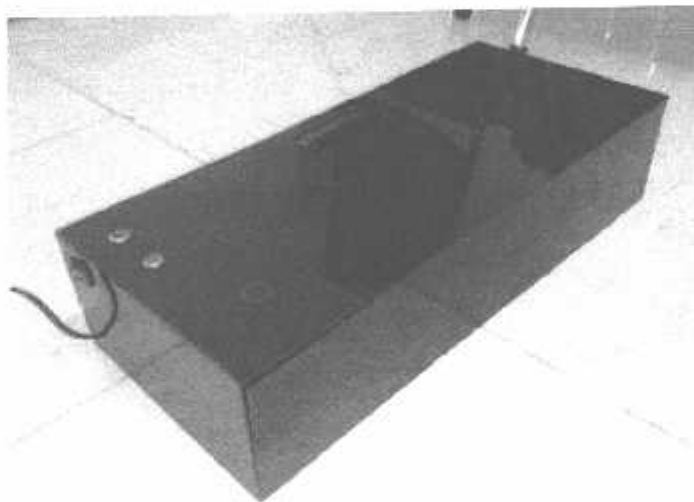
4.4.2. Peralatan yang digunakan

- Alat Ukur Kadar Ca Darah
- Sampel serum darah
- Wadah sampel (kuvet)
- Suntik

4.4.3. Langkah Pengujian

- Siapkan serum darah dalam kuvet dan letakkan kuvet pada tempat yang disediakan pada alat
- Hidupkan saklar catu daya
- Tekan tombol start dan tunggu sampai muncul tampilan hasil
- Untuk melakukan pengukuran ulang, tekan tombol start

Di bawah ini adalah gambar alat yang akan diuji :



Gambar 4-6. Alat Pengukur Kadar Ca Darah

4.4.4. Hasil Pengujian Dalam Waktu 10 detik

Tabel 4-3. Hasil Pengujian Alat

Sampel	Kadar Ca Darah (mg/dL)		Selisih Hasil Pengukuran
	Automatic Analyzer	Alat Ukur Ca Darah	
1	9,4	9,4	0
		9,5	0,1
		9,5	0,1
		9,4	0
		9,5	0,1
2	9,1	9,2	0,1
		9,3	0,2
		9,3	0,2
		9,2	0,1
		9,3	0,2
3	10,7	10,8	0,1
		10,5	0,2
		10,5	0,2
		10,6	0,1
		10,6	0,1

Dari tabel diatas dapat dicari persentase kesalahan (%error) alat. Untuk persentase kesalahan dapat dicari dengan menggunakan persamaan sebagai berikut:

$$\text{Error rata-rata} = \frac{\text{JumlahSelisih}}{\text{BanyakPercobaan}} \times 100\%$$

Jika dari tabel diketahui untuk kadar Ca darah = 9,4 mg/dL :

$$\Sigma \text{ Selisih hasil pengukuran} = 0,3$$

$$\Sigma \text{ Banyak percobaan} = 5$$

Sehingga kesalahan rata-ratanya:

$$\begin{aligned}\text{Error rata-rata} &= \frac{\text{JumlahSelisih}}{\text{BanyakPercobaan}} \times 100\% \\ &= \frac{0,3}{5} \times 100\% \\ &= 0,06 \%\end{aligned}$$

Jika dari tabel diketahui untuk kadar Ca darah = 9,1 mg/dL :

$$\sum \text{Selisih hasil pengukuran} = 0,8$$

$$\sum \text{Banyak percobaan} = 5$$

Sehingga kesalahan rata-ratanya:

$$\begin{aligned}\text{Error rata-rata} &= \frac{\text{JumlahSelisih}}{\text{BanyakPercobaan}} \times 100\% \\ &= \frac{0,8}{5} \times 100\% \\ &= 0,16 \%\end{aligned}$$

Jika dari tabel diketahui untuk kadar Ca darah = 10,7 mg/dL :

$$\sum \text{Selisih hasil pengukuran} = 0,7$$

$$\sum \text{Banyak percobaan} = 5$$

Sehingga kesalahan rata-ratanya:

$$\begin{aligned}\text{Error rata-rata} &= \frac{\text{JumlahSelisih}}{\text{BanyakPercobaan}} \times 100\% \\ &= \frac{0,7}{5} \times 100\% \\ &= 0,14 \%\end{aligned}$$

4.4.5. Hasil Pengujian Dalam Waktu 2 jam

Tabel 4-4. Hasil Pengujian Alat

Sampel	Kadar Ca Darah (mg/dL)		Selisih Hasil Pengukuran
	Automatic Analyzer	Alat Ukur Ca Darah	
1	9,4	10,1	0,7
		10,1	0,7
		9,8	0,4
		10,0	0,7
		9,8	0,4
2	9,1	9,6	0,5
		9,6	0,5
		9,9	0,8
		9,9	0,8
		9,8	0,7
3	10,7	11,3	0,6
		11,5	0,8
		11,3	0,6
		11,4	0,7
		11,4	0,7

Dari tabel diatas dapat dicari persentase kesalahan (%error) alat. Untuk persentase kesalahan dapat dicari dengan menggunakan persamaan sebagai berikut:

$$\text{Error rata-rata} = \frac{\text{Jumlah Selisih}}{\text{Banyak Percobaan}} \times 100\%$$

Jika dari tabel diketahui untuk kadar Ca darah – 9,4 mg/dl. :

$$\sum \text{ Selisih hasil pengukuran} = 2,9$$

$$\sum \text{ Banyak percobaan} = 5$$

Sehingga kesalahan rata-ratanya:

$$\begin{aligned}\text{Error rata-rata} &= \frac{\text{JumlahSelisih}}{\text{BanyakPercobaan}} \times 100\% \\ &= \frac{2,9}{5} \times 100\% \\ &= 0,58 \%\end{aligned}$$

Jika dari tabel diketahui untuk kadar Ca darah = 9,1 mg/dL :

$$\sum \text{Selisih hasil pengukuran} = 3,3$$

$$\sum \text{Banyak percobaan} = 5$$

Sehingga kesalahan rata-ratanya:

$$\begin{aligned}\text{Error rata-rata} &= \frac{\text{JumlahSelisih}}{\text{BanyakPercobaan}} \times 100\% \\ &= \frac{3,3}{5} \times 100\% \\ &= 0,66 \%\end{aligned}$$

Jika dari tabel diketahui untuk kadar Ca darah = 10,7 mg/dL :

$$\sum \text{Selisih hasil pengukuran} = 3,4$$

$$\sum \text{Banyak percobaan} = 5$$

Sehingga kesalahan rata-ratanya:

$$\begin{aligned}\text{Error rata-rata} &= \frac{\text{JumlahSelisih}}{\text{BanyakPercobaan}} \times 100\% \\ &= \frac{3,4}{5} \times 100\% \\ &= 0,68 \%\end{aligned}$$

BAB V

PENUTUP

5.1. Kesimpulan

Dari perancangan dan pembuatan alat pengukur kadar kalsium (Ca) darah berbasis mikrokontroller AT89S51 ini, maka dapat diambil kesimpulan sebagai berikut :

1. Dari hasil pengujian dalam waktu 10 detik, untuk serum dengan kadar Ca 9,4mg/dL terdapat error rata-rata 0,06 %, serum dengan kadar Ca 9,1 mg/dL terdapat error rata-rata 0,16 %, dan untuk serum dengan kadar Ca 10,7 mg/dL terdapat error rata-rata 0,14%.

Dari tiga sampel yang diambil,error rata-rata terbesar terdapat pada serum dengan kadar kalsium sebesar Ca 9,1 mg/dL yaitu dengan error rata-rata 0.16%.

2. Dalam pengujian alat yang dilakukan selama 2 jam, diperoleh error rata-rata yang cukup besar. Kalsium darah dengan kadar 9,4 mg/dL error rata-rata sebesar 0,58%, kalsium darah dengan kadar 9,1 mg/dL error rata-rata sebesar 0,66%, dan kalsium darah dengan kadar 10,7 mg/dL error rata-rata sebesar 0,68 %.
3. Waktu yang lama mempengaruhi error yang diperoleh dari pangujian alat, karena faktor panas dari sumber cahaya yaitu lampu halogen.
4. Pada pengujian LDR, V_o rata-rata dari lampu ke LDR diperoleh tegangan 1,388 volt, V_o rata-rata dari Lampu → Filter → LDR diperoleh tegangan 1,646 volt, dan V_o rata-rata dari Lampu → Filter → Fokus → LDR diperoleh tegangan 1,096 volt. Dengan demikian semakin banyak penghalang antara lampu ke sensor maka tegangan keluarannya semakin kecil.

5.2. Saran

1. Agar alat ini dapat bekerja dengan lebih baik, sebaiknya menggunakan komponen-komponen yang lebih baik dan lebih sensitive misalnya sensor yang digunakan dapat menggunakan sensor photodiode silicon type VTB1012 atau VTB1013
 2. Untuk pengembangan lebih lanjut, sebaiknya alat ini dihubungkan langsung ke komputer sehingga dapat dijadikan data base dan hasil pengukuran juga dapat langsung dicetak.
-

DAFTAR PUSTAKA

- [1] Bassett J, dkk, *Buku Ajar Vogel Kimia Analisis Kuantitatif Anorganik*, EGC, Jakarta, 1994.
 - [2] Tipler Paul. A, *Fisika Untuk Sains dan Teknik*, Erlangga, Jakarta, 2001.
 - [3] *Dot Matrix Liquid Crystal Display Module M1632 User Manual*
 - [4] www.atmel.com, download data sheet AT89S51
 - [5] Ibnu Malik, Muhammad. 2003. *Belajar Mikrokontroler AT89S51*. Yogyakarta, Gava Media
 - [6] www.aidsinfonet.org
 - [7] Ward. Kory M, *Spectrophotometry Chapter2*
 - [8] National Semikonduktor, datasheet ADC 0804
 - [9] www.invac.com, datasheet LDR VAC54
 - [10] www.google.com, tungsten halogen
 - [11] www.electroniclab.com
 - [12] www.national.com
 - [13] RS Component
-



LEMBAR PERBAIKAN SKRIPSI

Nama : RA. Dian Ayuningtyas R
NIM : 03.17.015
Jurusan : Teknik Elektro S-1
Konsentrasi : Teknik Elektronika
Masa Bimbingan : 17 Juli 2007 s/d 17 Juli 2008
Judul Skripsi : Perencanaan Dan Pembuatan Alat Pengukur
Kadar Kalsium (Ca) Dalam Darah Berbasis
Mikrokontroler AT89S51
Hari/tgl Ujian : Senin, 17 Maret 2008

No.	Materi Perbaikan	Paraf
1.	Penulisan Abstrak Diperbaiki	
2.	Diuji Lagi Untuk Mendapatkan Error Dalam Waktu Yang Cukup Lama	
3.	Pertanyaan : Proses Perhitungan Dalam Program	

Diperiksa / Disetujui

Penguji

Ir. F. Yudi Limpraptono, MT
NIP.Y. 1039500274

Mengetahui

Dosen pembimbing I

Ir. Sidik Noertjahiono, MT.
NIP.Y 1028700167

Dosen Pembimbing II

Sotyo Hadi, ST,
NIP.Y 1039700309



PERKUMPULAN PENGELOLA PENDIDIKAN UMUM DAN TEKNOLOGI NASIONAL MALANG
INSTITUT TEKNOLOGI NASIONAL MALANG

**FAKULTAS TEKNOLOGI INDUSTRI
 FAKULTAS TEKNIK SIPIL DAN PERENCANAAN
 PROGRAM PASCASARJANA MAGISTER TEKNIK**

Kampus I : Jl. Bendungan Sigura-gura No. 2 Telp. (0341) 551431 (Hunting) Fax. (0341) 553015 Malang 65145
 Kampus II : Jl. Haya Karangio, Km 2 Telp. (0341) 417636 Fax. (0341) 417634 Malang

II (PERSERO) MALANG
 NK NIAGA MALANG

Malang, 15 Januari 2008

Nomor : ITN-042/7/TA /2008
 Lampiran :
 Perihal : Bimbingan Skripsi

Kepada : Yth. Sdr. **IR. H. SIDIK NOERTJAHJONO, MT ***)
 Dosen Pembimbing
 Jurusan Teknik Elektro S-1
 di
 Malang

Dengan hormat,
 Sesuai dengan permohonan dan persetujuan dalam proposal skripsi
 untuk mahasiswa:

Nama : RA. DIAN AYUNINGTYAS
 Nim : 0317015
 Fakultas : **Teknologi Industri**
 Jurusan : **Teknik Elektro S-1**
 Konsentrasi : **Teknik Elektronika S-1**

Maka dengan ini pembimbingan tersebut kami serahkan sepenuhnya
 kepada Saudara/i selama masa waktu 6 (enam) bulan, terhitung mulai
 tanggal:

17 JANUARI 2008 S/D 17 JULI 2008

Adapun tugas tersebut merupakan salah satu syarat untuk memperoleh
 gelar Sarjana Teknik, Jurusan Elektro apabila lewat dari batas waktu
 tsb. Maka, skripsinya akan digugurkan.
 Demikian atas perhatian serta kerjasama yang baik kami ucapkan
 terima kasih

Tindakan:

3. *)Perpanjangan
4. Mahasiswa yang Bersangkutan
5. Arsip

Ketua Jurusan
 Teknik Elektro S-1

H. F. Nudi Limpraptono, MT
 NIP. Y. 1039500274



PERKUMPULAN PENGELOLA PENDIDIKAN UMUM DAN TEKNOLOGI NASIONAL MALANG
INSTITUT TEKNOLOGI NASIONAL MALANG

**FAKULTAS TEKNOLOGI INDUSTRI
 FAKULTAS TEKNIK SIPIL DAN PERENCANAAN
 PROGRAM PASCASARJANA MAGISTER TEKNIK**

Kampus I : Jl. Bendungan Sigura-gura No. 2 Telp. (0341) 551431 (Hunting), Fax. (0341) 553015 Malang 65145
 Kampus II : Jl. Raya Karanglo, Km 2 Telp. (0341) 417836 Fax. (0341) 417634 Malang

NI (PERSERO) MALANG
 NIK NIAGA MALANG

Malang, 15 Januari 2008

Nomor : ITN-043/7/TA /2008
 Lampiran :
 Perihal : Bimbingan Skripsi

Kepada : Yth. Sdr. **SOTYOHADI, ST ***)
 Dosen Pembimbing
 Jurusan Teknik Elektro S-1
 di
 Malang

Dengan hormat,
 Sesuai dengan permohonan dan persetujuan dalam proposal skripsi
 untuk mahasiswa:

Nama : **RA. DIAN AYUNINGTYAS**
 Nim : **0317015**
 Fakultas : **Teknologi Industri**
 Jurusan : **Teknik Elektro S-1**
 Konsentrasi : **Teknik Elektronika S-1**

Maka dengan ini bimbingan tersebut kami serahkan sepenuhnya
 kepada Saudara/ selama masa waktu 6 (enam) bulan, terhitung mulai
 tanggal:

17 JANUARI 2008 S/D 17 JULI 2008

Adapun tugas tersebut merupakan salah satu syarat untuk memperoleh
 gelar Sarjana Teknik Jurusan Elektro apabila lewat dari batas waktu
 tsb. Maka, skripsinya akan digugurkan.
 Demikian atas perhatian serta kerjasama yang baik kami ucapkan
 terima kasih

Tindakan:

3. *)Perpanjangan
4. Mahasiswa yang Bersangkutan
5. Arsip



Ketua Jurusan
 Teknik Elektro S-1

H. F. Yudi Limpraptono, MT
 NIP. Y. 1039500274



PEMERINTAH PROPINSI JAWA TIMUR
RUMAH SAKIT UMUM Dr. SAIFUL ANWAR

Jl. Jaks Agung Suprpto No. 2 MALANG 65111
Telp. (0341) 362101, Fax. (0341) 369384
E-MAIL : staf-rsu-dr-saifulanwar@jatim.go.id

Malang, 07 Juli 2007

nomor : 070/4095/308/2006
ifat : Biasa
mpiran : --
erihal : **Permohonan Ijin Penelitian**
An.RA.Dian Ayuningtyas

Kepada
Yth. Sdr. Dekan
Fakultas Teknologi industri
Institut Teknologi Nasional
Jl. Bendungan Sigura-gura 2
di

Malang

Menanggapi surat saudara No. ITN-1401/III.TA-2/7/07 tanggal 14 Juli 2007 perihal sebagai tersebut pada pokok surat, dengan ini diberitahukan bahwa pada prinsipnya kami tidak berkeberatan dengan permohonan dimaksud. Selain itu ada beberapa hal yang perlu kami informasikan sebagai berikut :

1. Mahasiswa wajib mentaati peraturan dan tata tertib yang berlaku di RSU Dr Saiful Anwar al :
 - Memakai Jas Almamater
 - Tidak mengenakan pakaian dari bahan jeans dan kaos
 - Mengenakan pakaian yang sopan dan layak pakai
2. Keanggotaan Perpustakaan Mahasiswa dengan biaya Rp.7.500,-/orang mohon berhubungan langsung dengan Instalasi Diklat RSU Dr Saiful Anwar Malang
3. Penelitian bisa dilaksanakan mulai bulan Agustus 2007
4. Menyerahkan pas foto ukuran 3 x 3 sebanyak 1 (satu) lembar untuk pembuatan Kartu Tanda Pengenal
5. Besaran Biaya :
 - Biaya Penelitian : Rp. 75.000, /bulan
 - Kartu Pengenal : Rp. 5.000.-/orang

CV/BMB

Yth.
Tuan



FORMULIR BIMBINGAN SKRIPSI

Nama : RA. Dian Ayuningtyas
NIM : 03.17.015
Masa Bimbingan : 17 Januari 2008 - 17 Juli 2008
Judul Skripsi : **Perencanaan dan Pembuatan Alat Pengukur Kadar Kalsium (Ca) Dalam Darah Berbasis Mikrokontroler AT89S51**

NO	Tanggal	Uraian	Paraf Pembimbing
1			
2			
3			
4			
5			
6			
7	18/02/08	Konsultasi mekanisme, skema dan kerangka no. 122 ditandatangani	(Tanda Tangan)
8			
9			
10			

Malang,
Dosen Pembimbing I

Ir. H. Sidik Noertjahjono, MT
NIP.1028700167



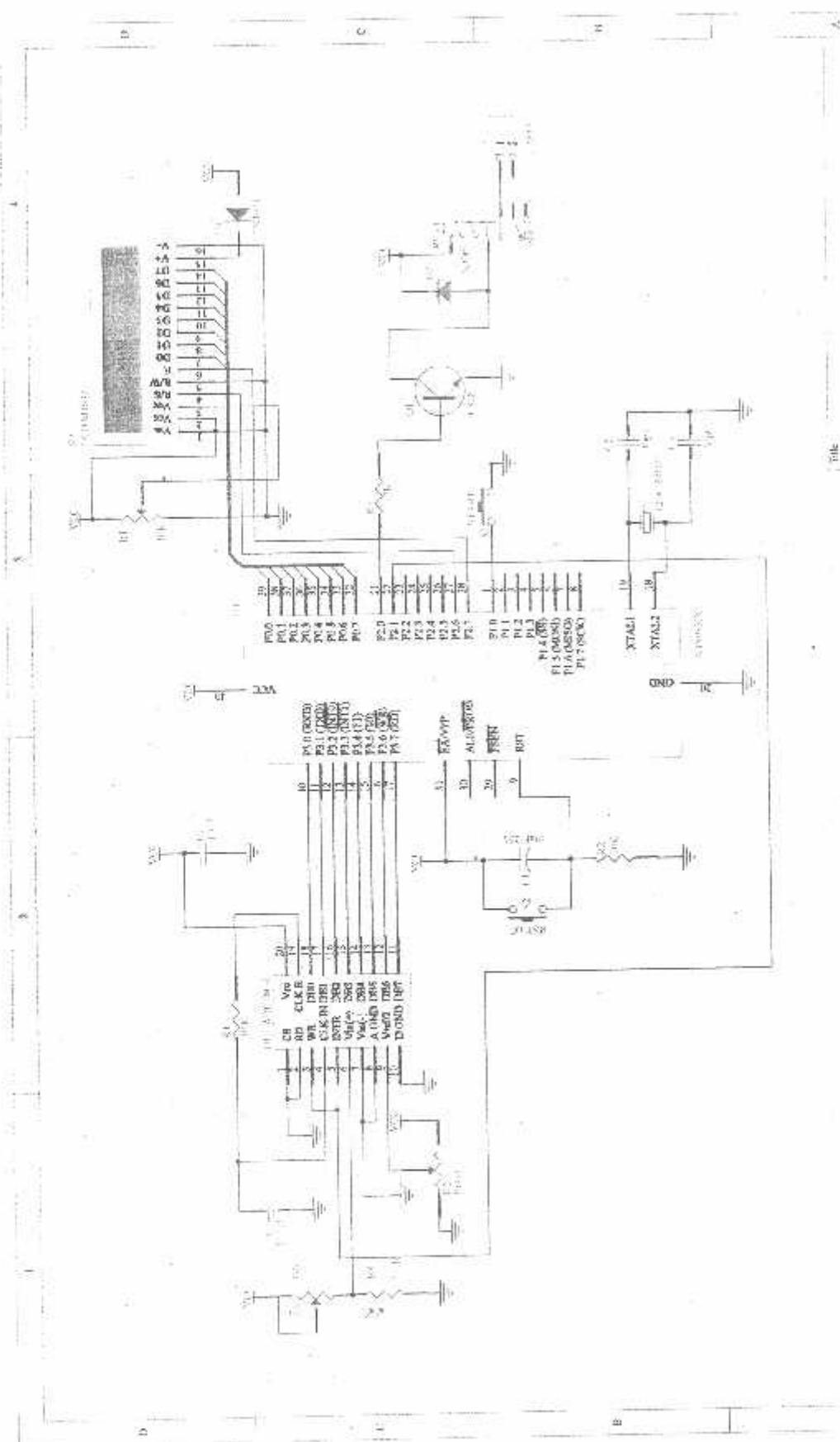
FORMULIR BIMBINGAN SKRIPSI

Nama : RA. Dian Ayuningtyas
NIM : 03.17.015
Masa Bimbingan : 17 Januari 2008 – 17 Juli 2008
Judul Skripsi : **Perencanaan dan Pembuatan Alat Pengukur Kadar Kalsium (Ca) Dalam Darah Berbasis Mikrokontroler AT89S51**

NO	Tanggal	Uraian	Paraf Pembimbing
1	14 Februari 2008	Nama dan NIM	<i>fadi</i>
2	19 Februari 2008	Perencanaan alat ukur dan pembuatan alat ukur berbasis mikrokontroler	<i>fadi</i>
3			
4			
5			
6			
7			
8			
9			
10			

Malang, 20 - 2 - 2008
Dosen Pembimbing II

Sotvohadi, ST, Msc
NIP. Y



File:
 Size:
 Name:
 Revision:
 Date:
 File:
 14 Mile 2008
 5 Drive Dept Land and Survey Division, Darwin, NT

```

/*****
*           RA. Dian Ayuningtyas
*           03.17.015
*           Institut Teknologi Nasional Malang
*
*****/

#include <AT89x51.h> //AT89S51.h
#include <stdio.h>
#include "lcd.h" //Data P0, RS P2.0, E P2.1

#define relay P2_0 //Aktif High
#define sadc P2_1 //Aktif Low
#define start P1_0 //Aktif Low
#define adc P3

float datadc;

void tampil_angka(char lokasi,char nilai)
{
    unsigned char angka;
    unsigned char koma = 0x00;
    LCDdata(0,0x04); //auto decremant
    LCDdata(0,lokasi);
    while(nilai > 9)
    {
        angka = nilai % 10;
        datang(angka + 0x30);

        nilai = nilai / 10;
        while( koma < 1 )
        {
            LCDdata(1,0x2E);
            koma++;
        }
    }
    datang(nilai + 0x30);
    while( koma < 1 )
    {
        LCDdata(1,0x2E);
        koma++;
    }
    LCDdata(1,0x20);
    LCDdata(0,0x06); //auto incremant
}

```

```

void startadc()
{
    sadc = 1;
    delay();
    sadc = 0;
    delay();
    sadc = 1;
}

void main()
{
    inittimer0();
    relay = 0;
    initLCD();
    clear();

    TulisLCD(0x80," RA. Dian A. ");
    TulisLCD(0xC0," 03.17.015 ");

    while(1)
    {
        if(start == 0)
        {
            relay = 1;
            startadc();
            tunggu();
            clear();
            TulisLCD(0x80," Kadar Ca Darah ");
            datadc = adc;
            if ( datadc >= 185 && datadc <=229 )
            {
                datadc = (datadc/256)*119;
                TulisLCD(0xC7,"mg/dl");
                tampil_angka(0xC5,datadc);
            }
            else
            {
                TulisLCD(0xC0," Data Error ");
            }
            relay = 0;
        }
    }
}

```

```

//=====
//          RA. Dian Ayuningtyas
//          Institut Teknologi Nasional
//=====
//          Program File LCD.H

#define P2_6
#define P2_7
#define P0

void inittimer0()
{
    TMOD = 0x10;
    TH1 = 60;
    TL1 = 176;
    TR1 = 1;
}

void delay()
{
    unsigned int j = 0;
    TR1 = 1;
    while(j < 20)
    {
        while(!TF1);
        TF1 = 0;
        j++;
    }
    TR1 = 0;
}

void clock ()
{
    ck = 1;
    delay();
    ck = 0;
    delay();
    ck = 1;
    delay();
}

void LCDdata(char c,char dat)
{
    rs = c;
    bitdata = dat;
}

```

```

        clock();
    }
    void TulisLCD(char a, char* dat)
    {
        char i = 0;
        LCDdata(0,a);
        while(dat[i] != 0)
        {
            LCDdata(1,dat[i]);
            i++;
        }
    }

    void initLCD()
    {
        LCDdata(0,0x3f);
        LCDdata(0,0x0c);
        LCDdata(0,0x06);
        LCDdata(0,0x01);
    }

    void clear ()
    {
        LCDdata(0,0x01);
    }

    void datang(char nil)
    {
        if (nil == 0x3E)
            LCDdata(1,0x2E);
        else
            LCDdata(1,nil);
    }

    void tunggu()
    {
        clear();
        TulisLCD(0x80,"Please Wait");
        delay();
        delay();
        TulisLCD(0x8B, ".");
        delay();
        delay();
        TulisLCD(0x8C, ".");
        delay();
    }

```

```
delay();  
TulisLCD(0x8D, ".");  
delay();  
delay();  
TulisLCD(0x8E, ".");  
delay();  
delay();
```

```
}
```

Features

- Compatible with MCS-51® Products
- 4K Bytes of In-System Programmable (ISP) Flash Memory
- Endurance: 1000 Write/Erase Cycles
- 3V to 5.5V Operating Range
- 0 Hz to 33 MHz Static Operation
- Two-level Program Memory Lock
- 8 x 8-bit Internal RAM
- 8 Programmable I/O Lines
- Two 16-bit Timer/Counters
- 5 Interrupt Sources
- Full Duplex UART Serial Channel
- Low-power Idle and Power-down Modes
- Interrupt Recovery from Power-down Mode
- Watchdog Timer
- Internal Data Pointer
- Power-off Flag
- Fast Programming Time
- Flexible ISP Programming (Byte and Page Mode)

Description

AT89S51 is a low-power, high-performance CMOS 8-bit microcontroller with 4K bytes of in-system programmable Flash memory. The device is manufactured using Atmel's high-density nonvolatile memory technology and is compatible with the industry standard 80C51 instruction set and pinout. The on-chip Flash allows the program memory to be reprogrammed in-system or by a conventional nonvolatile memory programmer. By combining a versatile 8-bit CPU with in-system programmable Flash on a monolithic chip, the Atmel AT89S51 is a powerful microcontroller which provides a cost-effective and flexible solution to many embedded control applications.

AT89S51 provides the following standard features: 4K bytes of Flash, 128 bytes of internal RAM, 32 I/O lines, Watchdog timer, two data pointers, two 16-bit timer/counters, a five- or two-level interrupt architecture, a full duplex serial port, on-chip oscillator, and support circuitry. In addition, the AT89S51 is designed with static logic for operation down to zero frequency and supports two software selectable power saving modes. Idle Mode stops the CPU while allowing the RAM, timer/counters, serial port, and interrupt system to continue functioning. The Power-down mode saves the RAM content but freezes the oscillator, disabling all other chip functions until the next external reset or hardware reset.



8-bit Microcontroller with 4K Bytes In-System Programmable Flash

AT89S51

Rev. 24176A-10/01



1 Configurations

PDIP

P1.0	1	40	VCC
P1.1	2	39	P0.0 (AD0)
P1.2	3	38	P0.1 (AD1)
P1.3	4	37	P0.2 (AD2)
P1.4	5	36	P0.3 (AD3)
(MOSI) P1.5	6	35	P0.4 (AD4)
(MISO) P1.6	7	34	P0.5 (AD5)
(SCK) P1.7	8	33	P0.6 (AD6)
RST	9	32	P0.7 (AD7)
(RXD) P3.0	10	31	EA/VPP
(TXD) P3.1	11	30	ALC/PROG
(INT0) P3.2	12	29	PSEN
(INT1) P3.3	13	28	P2.7 (A15)
(T0) P3.4	14	27	P2.6 (A14)
(T1) P3.5	15	26	P2.5 (A13)
(WR) P3.6	16	25	P2.4 (A12)
(RD) P3.7	17	24	P2.3 (A11)
XTAL2	18	23	P2.2 (A10)
XTAL1	19	22	P2.1 (A9)
GND	20	21	P2.0 (A8)

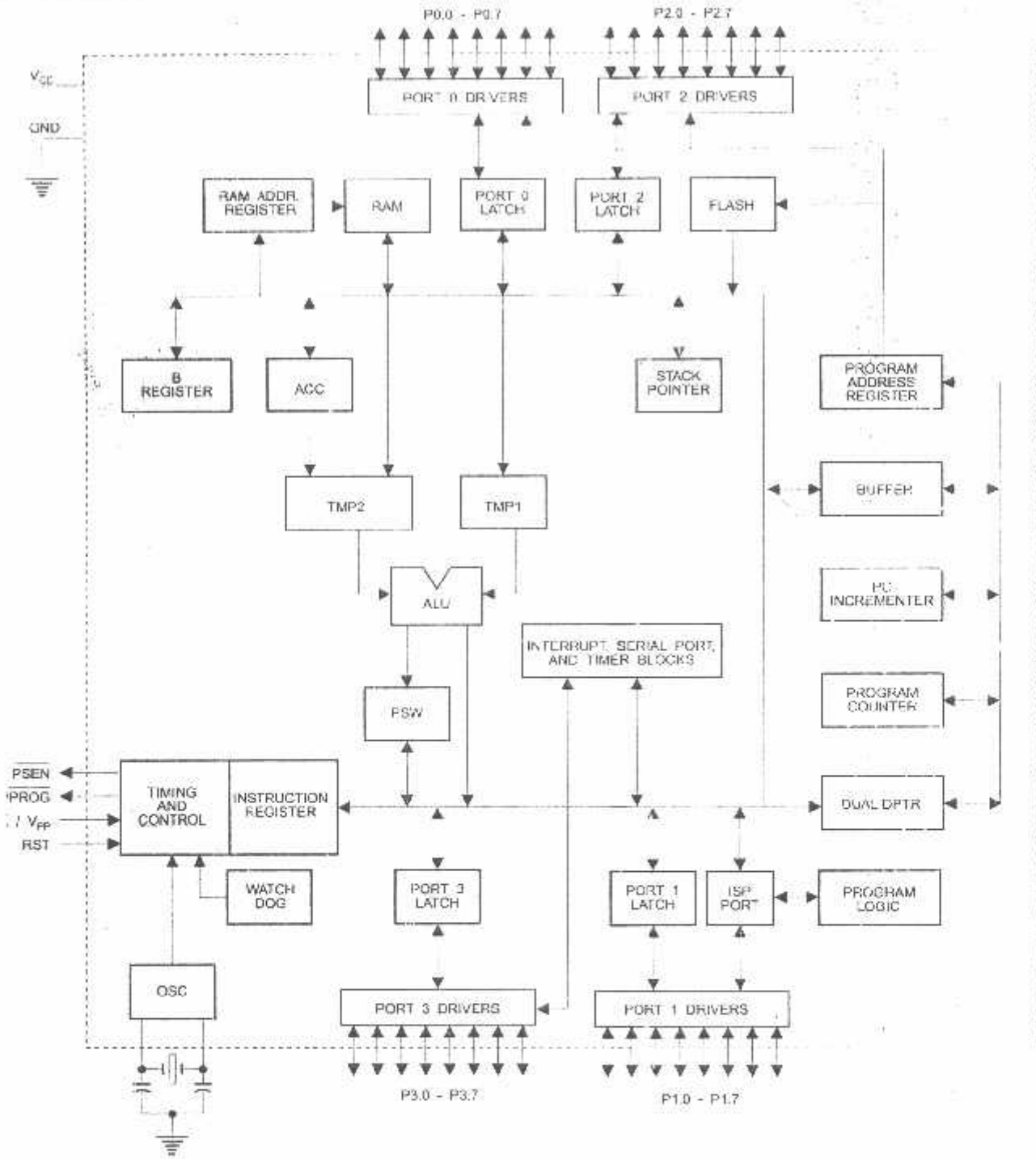
PLCC

P1.4	0	39	PC.4 (AD4)
P1.3	1	38	PC.5 (AD5)
P1.2	4	37	PC.6 (AD6)
P1.1	3	36	PC.7 (AD7)
P1.0	2	35	EA/VPP
NC	1	34	NC
VCC	44	33	ALC/PROG
P0.0 (AD0)	45	32	PSEN
P0.1 (AD1)	42	31	P2.7 (A15)
P0.2 (AD2)	41	30	P2.6 (A14)
P0.3 (AD3)	40	29	P2.5 (A13)
P1.5	7	28	P2.4 (A12)
P1.6	6	27	P2.3 (A11)
P1.7	9	26	P2.2 (A10)
RA1	10	25	P2.1 (A9)
P3.0	11	24	P2.0 (A8)
NC	12	23	
P3.1	13	22	
P3.2	14	21	
P3.3	15	20	
P3.4	16	19	
P3.5	17	18	
P3.6	16	17	
P3.7	15	16	
XTAL2	20	15	
XTAL1	21	14	
GND	22	13	
NC	23	12	
P2.0	24	11	
P2.1	25	10	
P2.2	26	9	
P2.3	27	8	
P2.4	28	7	

TQFP

P1.4	44	33	PC.4 (AD4)
P1.3	43	32	PC.5 (AD5)
P1.2	42	31	PC.6 (AD6)
P1.1	41	30	PC.7 (AD7)
P1.0	40	29	EA/VPP
NC	39	28	NC
VCC	38	27	ALC/PROG
P0.0 (AD0)	37	26	PSEN
P0.1 (AD1)	36	25	P2.7 (A15)
P0.2 (AD2)	35	24	P2.6 (A14)
P0.3 (AD3)	34	23	P2.5 (A13)
P1.5	7	22	P2.4 (A12)
P1.6	6	21	P2.3 (A11)
P1.7	9	20	P2.2 (A10)
RA1	10	19	P2.1 (A9)
P3.0	11	18	P2.0 (A8)
NC	12	17	
P3.1	13	16	
P3.2	14	15	
P3.3	15	14	
P3.4	16	13	
P3.5	17	12	
P3.6	18	11	
P3.7	19	10	
XTAL2	20	9	
XTAL1	21	8	
GND	22	7	
GND	23	6	
P2.0	24	5	
P2.1	25	4	
P2.2	26	3	
P2.3	27	2	
P2.4	28	1	

Block Diagram





1 Description

C Supply voltage.

D Ground.

t 0 Port 0 is an 8-bit open drain bidirectional I/O port. As an output port, each pin can sink eight TTL inputs. When 1s are written to port 0 pins, the pins can be used as high-impedance inputs.

Port 0 can also be configured to be the multiplexed low-order address/data bus during accesses to external program and data memory. In this mode, P0 has internal pull-ups.

Port 0 also receives the code bytes during Flash programming and outputs the code bytes during program verification. **External pull-ups are required during program verification.**

t 1 Port 1 is an 8-bit bidirectional I/O port with internal pull-ups. The Port 1 output buffers can sink/source four TTL inputs. When 1s are written to Port 1 pins, they are pulled high by the internal pull-ups and can be used as inputs. As inputs, Port 1 pins that are externally being pulled low will source current (I_{IL}) because of the internal pull-ups.

Port 1 also receives the low-order address bytes during Flash programming and verification.

Port Pin	Alternate Functions
P1.5	MOSI (used for In-System Programming)
P1.6	MISO (used for In-System Programming)
P1.7	SCK (used for In-System Programming)

t 2 Port 2 is an 8-bit bidirectional I/O port with internal pull-ups. The Port 2 output buffers can sink/source four TTL inputs. When 1s are written to Port 2 pins, they are pulled high by the internal pull-ups and can be used as inputs. As inputs, Port 2 pins that are externally being pulled low will source current (I_{IL}) because of the internal pull-ups.

Port 2 emits the high-order address byte during fetches from external program memory and during accesses to external data memory that use 16-bit addresses ($MOVX @ DPTR$). In this application, Port 2 uses strong internal pull-ups when emitting 1s. During accesses to external data memory that use 8-bit addresses ($MOVX @ RI$), Port 2 emits the contents of the P2 Special Function Register.

Port 2 also receives the high-order address bits and some control signals during Flash programming and verification.

t 3 Port 3 is an 8-bit bidirectional I/O port with internal pull-ups. The Port 3 output buffers can sink/source four TTL inputs. When 1s are written to Port 3 pins, they are pulled high by the internal pull-ups and can be used as inputs. As inputs, Port 3 pins that are externally being pulled low will source current (I_{IL}) because of the pull-ups.

Port 3 receives some control signals for Flash programming and verification.

Port 3 also serves the functions of various special features of the AT89S51, as shown in the following table.

Port Pin	Alternate Functions
P3.0	RXD (serial input port)
P3.1	TXD (serial output port)
P3.2	$\overline{\text{INT0}}$ (external interrupt 0)
P3.3	$\overline{\text{INT1}}$ (external interrupt 1)
P3.4	T0 (timer 0 external input)
P3.5	T1 (timer 1 external input)
P3.6	$\overline{\text{WR}}$ (external data memory write strobe)
P3.7	$\overline{\text{RD}}$ (external data memory read strobe)

RST Reset input. A high on this pin for two machine cycles while the oscillator is running resets the device. This pin drives High for 98 oscillator periods after the Watchdog times out. The DISRTO bit in SFR AUXR (address 8EH) can be used to disable this feature. In the default state of bit DISRTO, the RESET HIGH out feature is enabled.

$\overline{\text{P}}/\text{PROG}$

Address Latch Enable (ALE) is an output pulse for latching the low byte of the address during accesses to external memory. This pin is also the program pulse input (PROG) during Flash programming.

In normal operation, ALE is emitted at a constant rate of 1/6 the oscillator frequency and may be used for external timing or clocking purposes. Note, however, that one ALE pulse is skipped during each access to external data memory.

If desired, ALE operation can be disabled by setting bit 0 of SFR location 8EH. With the bit set, ALE is active only during a MOVX or MOVC instruction. Otherwise, the pin is weakly pulled high. Setting the ALE-disable bit has no effect if the microcontroller is in external execution mode.

$\overline{\text{P}}\text{SEN}$

Program Store Enable ($\overline{\text{PSEN}}$) is the read strobe to external program memory.

When the AT89S51 is executing code from external program memory, $\overline{\text{PSEN}}$ is activated twice each machine cycle, except that two $\overline{\text{PSEN}}$ activations are skipped during each access to external data memory.

VPP

External Access Enable, $\overline{\text{EA}}$ must be strapped to GND in order to enable the device to fetch code from external program memory locations starting at 0000H up to FFFFH. Note, however, that if lock bit 1 is programmed, $\overline{\text{EA}}$ will be internally latched on reset.

$\overline{\text{EA}}$ should be strapped to V_{CC} for internal program executions.

This pin also receives the 12-volt programming enable voltage (V_{PP}) during Flash programming.

L1

Input to the inverting oscillator amplifier and input to the internal clock operating circuit.

L2

Output from the inverting oscillator amplifier.



Special Function Registers

A map of the on-chip memory area called the Special Function Register (SFR) space is shown in Table 1.

Note that not all of the addresses are occupied, and unoccupied addresses may not be implemented on the chip. Read accesses to these addresses will in general return random data, and write accesses will have an indeterminate effect.

Table 1. AT89S51 SFR Map and Reset Values

FFH								0FFH
FEH	B 00000000							0FEH
FDH								0FDH
EDH								0EDH
EAH	ACC 00000000							0EAH
E9H								0E9H
E8H								0E8H
E7H								0E7H
E6H								0E6H
E5H								0E5H
E4H	PSW 00000000							0E4H
E3H								0E3H
E2H								0E2H
E1H								0E1H
E0H								0E0H
DFH								0DFH
DEH								0DEH
DDH								0DDH
DAH								0DAH
D9H								0D9H
D8H								0D8H
D7H	IP XX000000							0D7H
D6H								0D6H
D5H	P3 11111111							0D5H
D4H								0D4H
D3H	IE 0X000000							0D3H
D2H								0D2H
D1H	P2 11111111		AUXR1 XXXXXXXX0				WDTRST XXXXXXXXX	0D1H
D0H								0D0H
CFH	SCON 00000000	SBUF XXXXXXXXX						0CFH
CEH								0CEH
CDH								0CDH
CAH	P1 11111111							0CAH
C9H								0C9H
C8H	TCON 00000000	TMOD 00000000	TL0 00000000	TL1 00000000	TH0 00000000	TH1 00000000	AUXR XX000XX0	0C8H
C7H								0C7H
C6H								0C6H
C5H								0C5H
C4H								0C4H
C3H								0C3H
C2H								0C2H
C1H								0C1H
C0H	P0 11111111	SP 00000111	DP0L 00000000	DP0H 00000000	DP1L 00000000	DP1H 00000000	PCON 0XXX0000	0C0H

User software should not write 1s to these unlisted locations, since they may be used in future products to invoke new features. In that case, the reset or inactive values of the new bits will always be 0.

Interrupt Registers: The individual interrupt enable bits are in the IE register. Two priorities can be set for each of the five interrupt sources in the IP register.

Table 2. AUXR: Auxiliary Register

AUXR		Address = 8EH				Reset Value = XXX00XX0B		
Not Bit Addressable								
Bit	-	-	-	WDIDLE	DISRTO	-	-	DISALE
	7	6	5	4	3	2	1	0
-	Reserved for future expansion							
DISALE	Disable/Enable ALE							
	DISALE							
	Operating Mode							
	0	ALE is emitted at a constant rate of 1/6 the oscillator frequency						
	1	ALE is active only during a MOVX or MOVC instruction						
DISRTO	Disable/Enable Reset out							
	DISRTO							
	0	Reset pin is driven High after WDT times out						
	1	Reset pin is input only						
WDIDLE	Disable/Enable WDT in IDLE mode							
	WDIDLE							
	0	WDT continues to count in IDLE mode						
	1	WDT halts counting in IDLE mode						

Dual Data Pointer Registers: To facilitate accessing both internal and external data memory, two banks of 16-bit Data Pointer Registers are provided: DP0 at SFR address locations 82H-83H and DP1 at 84H-85H. Bit DPS = 0 in SFR AUXR1 selects DP0 and DPS = 1 selects DP1. The user should always initialize the DPS bit to the appropriate value before accessing the respective Data Pointer Register.





Power Off Flag: The Power Off Flag (POF) is located at bit 4 (PCON.4) in the PCON SFR. POF is set to "1" during power up. It can be set and reset under software control and is not affected by reset.

Table 3. AUXR1: Auxiliary Register 1

AUXR1								
Address = A2H								
Reset Value = XXXXXXX0B								
Not Bit Addressable								
Bit	7	6	5	4	3	2	1	DPS
-	-	-	-	-	-	-	-	-
-	Reserved for future expansion							
DPS	Data Pointer Register Select							
	DPS							
0	Selects DPTR Registers DP0L, DP0H							
1	Selects DPTR Registers DP1L, DP1H							

Memory Organization

Program Memory

MCS-51 devices have a separate address space for Program and Data Memory. Up to 64K bytes each of external Program and Data Memory can be addressed.

If the \overline{EA} pin is connected to GND, all program fetches are directed to external memory.

On the AT89S51, if \overline{EA} is connected to V_{CC} , program fetches to addresses 0000H through FFFH are directed to internal memory and fetches to addresses 1000H through FFFFH are directed to external memory.

Data Memory

The AT89S51 implements 128 bytes of on-chip RAM. The 128 bytes are accessible via direct and indirect addressing modes. Stack operations are examples of indirect addressing, so the 128 bytes of data RAM are available as stack space.

Watchdog Timer (WDT) (enabled with reset-out)

The WDT is intended as a recovery method in situations where the CPU may be subjected to software upsets. The WDT consists of a 14-bit counter and the Watchdog Timer Reset (WDTRST) SFR. The WDT is defaulted to disable from exiting reset. To enable the WDT, a user must write 01EH and 0E1H in sequence to the WDTRST register (SFR location 0A6H). When the WDT is enabled, it will increment every machine cycle while the oscillator is running. The WDT timeout period is dependent on the external clock frequency. There is no way to disable the WDT except through reset (either hardware reset or WDT overflow reset). When WDT overflows, it will drive an output RESET HIGH pulse at the RST pin.

Configuring the WDT

To enable the WDT, a user must write 01EH and 0E1H in sequence to the WDTRST register (SFR location 0A6H). When the WDT is enabled, the user needs to service it by writing 01EH and 0E1H to WDTRST to avoid a WDT overflow. The 14-bit counter overflows when it reaches 16383 (3FFFH), and this will reset the device. When the WDT is enabled, it will increment every machine cycle while the oscillator is running. This means the user must reset the WDT at least every 16383 machine cycles. To reset the WDT the user must write 01EH and 0E1H to WDTRST. WDTRST is a write-only register. The WDT counter cannot be read or written. When WDT overflows, it will generate an output RESET pulse at the RST pin. The RESET pulse duration is $98 \times TOSC$, where $TOSC = 1/FOSC$. To make the best use of the WDT, it

should be serviced in those sections of code that will periodically be executed within the time required to prevent a WDT reset.

T During Power-down or Idle

In Power-down mode the oscillator stops, which means the WDT also stops. While in Power-down mode, the user does not need to service the WDT. There are two methods of exiting Power-down mode: by a hardware reset or via a level-activated external interrupt, which is enabled prior to entering Power-down mode. When Power-down is exited with hardware reset, servicing the WDT should occur as it normally does whenever the AT89S51 is reset. Exiting Power-down with an interrupt is significantly different. The interrupt is held low long enough for the oscillator to stabilize. When the interrupt is brought high, the interrupt is serviced. To prevent the WDT from resetting the device while the interrupt pin is held low, the WDT is not started until the interrupt is pulled high. It is suggested that the WDT be reset during the interrupt service for the interrupt used to exit Power-down mode.

To ensure that the WDT does not overflow within a few states of exiting Power-down, it is best to reset the WDT just before entering Power-down mode.

Before going into the IDLE mode, the WDIDLE bit in SFR AUXR is used to determine whether the WDT continues to count if enabled. The WDT keeps counting during IDLE (WDIDLE bit = 0) as the default state. To prevent the WDT from resetting the AT89S51 while in IDLE mode, the user should always set up a timer that will periodically exit IDLE, service the WDT, and reenter IDLE mode.

With WDIDLE bit enabled, the WDT will stop to count in IDLE mode and resumes the count upon exit from IDLE.

UART

The UART in the AT89S51 operates the same way as the UART in the AT89C51. For further information on the UART operation, refer to the ATMEL Web site (<http://www.atmel.com>). From the home page, select 'Products', then '8051-Architecture Flash Microcontroller', then 'Product Overview'.

Timer 0 and 1

Timer 0 and Timer 1 in the AT89S51 operate the same way as Timer 0 and Timer 1 in the AT89C51. For further information on the timers' operation, refer to the ATMEL Web site (<http://www.atmel.com>). From the home page, select 'Products', then '8051-Architecture Flash Microcontroller', then 'Product Overview'.

Interrupts

The AT89S51 has a total of five interrupt vectors: two external interrupts ($\overline{INT0}$ and $\overline{INT1}$), two timer interrupts (Timers 0 and 1), and the serial port interrupt. These interrupts are all shown in Figure 1.

Each of these interrupt sources can be individually enabled or disabled by setting or clearing a bit in Special Function Register IE. IE also contains a global disable bit, EA, which disables all interrupts at once.

Note that Table 4 shows that bit position IE.6 is unimplemented. In the AT89S51, bit position IE.5 is also unimplemented. User software should not write 1s to these bit positions, since they may be used in future AT89 products.

The Timer 0 and Timer 1 flags, TF0 and TF1, are set at S5P2 of the cycle in which the timers overflow. The values are then polled by the circuitry in the next cycle.

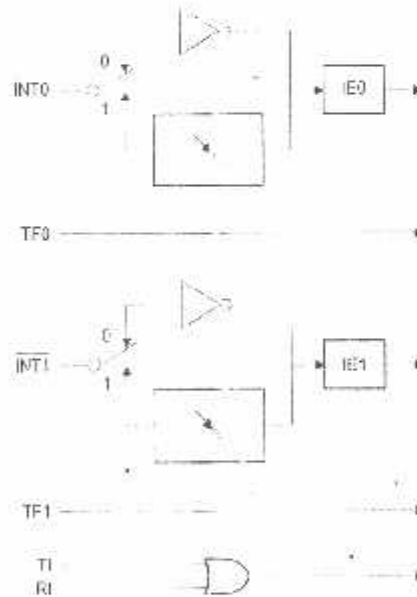
Table 4. Interrupt Enable (IE) Register

(MSB)		(LSB)					
EA	-	-	ES	ET1	EX1	ET0	EX0
Enable Bit = 1 enables the interrupt.							
Enable Bit = 0 disables the interrupt.							

Symbol	Position	Function
EA	IE.7	Disables all interrupts. If EA = 0, no interrupt is acknowledged. If EA = 1, each interrupt source is individually enabled or disabled by setting or clearing its enable bit.
-	IE.6	Reserved
-	IE.5	Reserved
ES	IE.4	Serial Port interrupt enable bit
ET1	IE.3	Timer 1 interrupt enable bit
EX1	IE.2	External interrupt 1 enable bit
ET0	IE.1	Timer 0 interrupt enable bit
EX0	IE.0	External interrupt 0 enable bit

User software should never write 1s to reserved bits, because they may be used in future AT89 products.

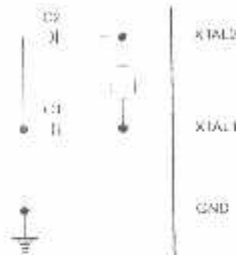
Figure 1. Interrupt Sources



Oscillator Characteristics

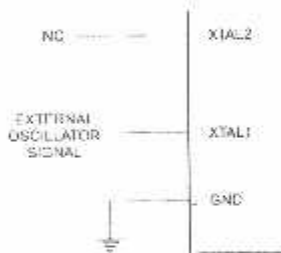
XTAL1 and XTAL2 are the input and output, respectively, of an inverting amplifier that can be configured for use as an on-chip oscillator, as shown in Figure 2. Either a quartz crystal or ceramic resonator may be used. To drive the device from an external clock source, XTAL2 should be left unconnected while XTAL1 is driven, as shown in Figure 3. There are no requirements on the duty cycle of the external clock signal, since the input to the internal clocking circuitry is through a divide-by-two flip-flop, but minimum and maximum voltage high and low time specifications must be observed.

Figure 2. Oscillator Connections



Note: C1, C2 = 30 pF ± 10 pF for Crystals = 40 pF ± 10 pF for Ceramic Resonators

Figure 3. External Clock Drive Configuration



Idle Mode

In idle mode, the CPU puts itself to sleep while all the on-chip peripherals remain active. The mode is invoked by software. The content of the on-chip RAM and all the special function registers remain unchanged during this mode. The idle mode can be terminated by any enabled interrupt or by a hardware reset.

Note that when idle mode is terminated by a hardware reset, the device normally resumes program execution from where it left off, up to two machine cycles before the internal reset algorithm takes control. On-chip hardware inhibits access to internal RAM in this event, but access to the port pins is not inhibited. To eliminate the possibility of an unexpected write to a port pin when idle mode is terminated by a reset, the instruction following the one that invokes idle mode should not write to a port pin or to external memory.

Power-down Mode

In the Power-down mode, the oscillator is stopped, and the instruction that invokes Power-down is the last instruction executed. The on-chip RAM and Special Function Registers retain their values until the Power-down mode is terminated. Exit from Power-down mode can be initiated either by a hardware reset or by activation of an enabled external interrupt into INT0 or INT1. Reset redefines the SFRs but does not change the on-chip RAM. The reset should not be activated before V_{CC} is restored to its normal operating level and must be held active long enough to allow the oscillator to restart and stabilize.

Table 5. Status of External Pins During Idle and Power-down Modes

Mode	Program Memory	ALE	PSEN	PORT0	PORT1	PORT2	PORT3
Idle	Internal	1	1	Data	Data	Data	Data
Idle	External	1	1	Float	Data	Address	Data
Power-down	Internal	0	0	Data	Data	Data	Data
Power-down	External	0	0	Float	Data	Data	Data

Program Memory Lock Bits

The AT89S51 has three lock bits that can be left unprogrammed (U) or can be programmed (P) to obtain the additional features listed in the following table.

Table 6. Lock Bit Protection Modes

Program Lock Bits				Protection Type
LB1	LB2	LB3		
1	U	U	U	No program lock features
2	P	U	U	MOV _C instructions executed from external program memory are disabled from fetching code bytes from internal memory, EA is sampled and latched on reset, and further programming of the Flash memory is disabled
3	P	P	U	Same as mode 2, but verify is also disabled
4	P	P	P	Same as mode 3, but external execution is also disabled

When lock bit 1 is programmed, the logic level at the EA pin is sampled and latched during reset. If the device is powered up without a reset, the latch initializes to a random value and holds that value until reset is activated. The latched value of EA must agree with the current logic level at that pin in order for the device to function properly.

Programming Flash – Parallel Mode

The AT89S51 is shipped with the on-chip Flash memory array ready to be programmed. The programming interface needs a high-voltage (12-volt) program enable signal and is compatible with conventional third-party Flash or EPRCM programmers.

The AT89S51 code memory array is programmed byte-by-byte.

Programming Algorithm: Before programming the AT89S51, the address, data, and control signals should be set up according to the Flash programming mode table and Figures 13 and 14. To program the AT89S51, take the following steps:

1. Input the desired memory location on the address lines.
2. Input the appropriate data byte on the data lines.
3. Activate the correct combination of control signals.
4. Raise \overline{EA}/V_{PP} to 12V.
5. Pulse ALE/PROG once to program a byte in the Flash array or the lock bits. The byte-write cycle is self-timed and typically takes no more than 50 μ s. Repeat steps 1 through 5, changing the address and data for the entire array or until the end of the object file is reached.

Data Polling: The AT89S51 features Data Polling to indicate the end of a byte write cycle. During a write cycle, an attempted read of the last byte written will result in the complement of the written data on P0.7. Once the write cycle has been completed, true data is valid on all outputs, and the next cycle may begin. Data Polling may begin any time after a write cycle has been initiated.

Ready/Busy: The progress of byte programming can also be monitored by the RDY/ $\overline{\text{BSY}}$ output signal. P3.0 is pulled low after ALE goes high during programming to indicate BUSY. P3.0 is pulled high again when programming is done to indicate READY.

Program Verify: If lock bits LB1 and LB2 have not been programmed, the programmed code data can be read back via the address and data lines for verification. The status of the individual lock bits can be verified directly by reading them back.

Reading the Signature Bytes: The signature bytes are read by the same procedure as a normal verification of locations 000H, 100H, and 200H, except that P3.6 and P3.7 must be pulled to a logic low. The values returned are as follows.

(000H) = 1EH indicates manufactured by Atmel
 (100H) = 51H indicates 89S51
 (200H) = 06H

Chip Erase: In the parallel programming mode, a chip erase operation is initiated by using the proper combination of control signals and by pulsing ALE/PROG low for a duration of 200 ns - 500 ns.

In the serial programming mode, a chip erase operation is initiated by issuing the Chip Erase instruction. In this mode, chip erase is self-timed and takes about 500 ms.

During chip erase, a serial read from any address location will return 00H at the data output.

Programming Flash – Serial Mode

The Code memory array can be programmed using the serial ISP interface while RST is pulled to V_{CC} . The serial interface consists of pins SCK, MOSI (input) and MISO (output). After RST is set high, the Programming Enable instruction needs to be executed first before other operations can be executed. Before a reprogramming sequence can occur, a Chip Erase operation is required.

The Chip Erase operation turns the content of every memory location in the Code array into FFH.

Either an external system clock can be supplied at pin XTAL1 or a crystal needs to be connected across pins XTAL1 and XTAL2. The maximum serial clock (SCK) frequency should be less than 1/16 of the crystal frequency. With a 33 MHz oscillator clock, the maximum SCK frequency is 2 MHz.

To program and verify the AT89S51 in the serial programming mode, the following sequence is recommended:

1. Power-up sequence:
 Apply power between VCC and GND pins.
 Set RST pin to "H".
 If a crystal is not connected across pins XTAL1 and XTAL2, apply a 3 MHz to 33 MHz clock to XTAL1 pin and wait for at least 10 milliseconds.
2. Enable serial programming by sending the Programming Enable serial instruction to pin MOSI/P1.5. The frequency of the shift clock supplied at pin SCK/P1.7 needs to be less than the CPU clock at XTAL1 divided by 16.
3. The Code array is programmed one byte at a time in either the Byte or Page mode. The write cycle is self-timed and typically takes less than 0.5 ms at 5V.
4. Any memory location can be verified by using the Read instruction that returns the content at the selected address at serial output MISO/P1.6.
5. At the end of a programming session, RST can be set low to commence normal device operation.





Power-off sequence (if needed):

Set XTAL1 to "L" (if a crystal is not used).

Set RST to "L".

Turn V_{CC} power off.

Data Polling: The Data Polling feature is also available in the serial mode. In this mode, during a write cycle an attempted read of the last byte written will result in the complement of the MSB of the serial output byte on MISO.

Serial Programming Instruction Set

The Instruction Set for Serial Programming follows a 4-byte protocol and is shown in Table 8 on page 18.

Serial Programming Interface – Parallel Mode

Every code byte in the Flash array can be programmed by using the appropriate combination of control signals. The write operation cycle is self-timed and once initiated, will automatically time itself to completion.

All major programming vendors offer worldwide support for the Atmel microcontroller series. Please contact your local programming vendor for the appropriate software revision.

7. Flash Programming Modes

Mode	V_{CC}	RST	PSEN	ALE/ PROG	EA/ V_{PP}	P2.6	P2.7	P3.3	P3.6	P3.7	P0.7-0 Data	Address	
												P2.3-0	P1.7-0
Write Code Data	5V	H	L		12V	L	H	H	H	H	D_{IN}	A11-8	A7-0
Read Code Data	5V	H	L	H	H	L	L	L	H	H	D_{OUT}	A11-8	A7-0
Write Lock Bit 1	5V	H	L		12V	H	H	H	H	H	X	X	X
Write Lock Bit 2	5V	H	L		12V	H	H	H	L	L	X	X	X
Write Lock Bit 3	5V	H	L		12V	H	L	H	H	L	X	X	X
Write Lock Bits 1-3	5V	H	L	H	H	H	H	L	H	L	P0.2, P0.3, P0.4	X	X
Erase	5V	H	L		12V	H	L	H	L	L	X	X	X
Atmel ID	5V	H	L	H	H	L	L	L	L	L	1EH	0000	00H
Device ID	5V	H	L	H	H	L	L	L	L	L	51H	0001	00H
Device ID	5V	H	L	H	H	L	L	L	L	L	06H	0010	00H

1. Each PROG pulse is 200 ns - 500 ns for Chip Erase.
2. Each PROG pulse is 200 ns - 500 ns for Write Code Data.
3. Each PROG pulse is 200 ns - 500 ns for Write Lock Bits.
4. RDY/BSY signal is output on P3.0 during programming.
5. X = don't care.

Figure 4. Programming the Flash Memory (Parallel Mode)

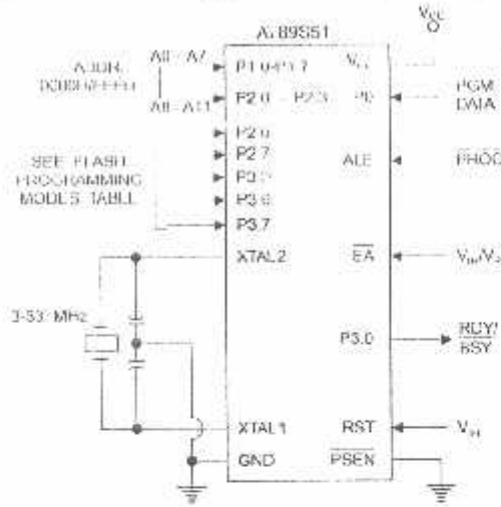
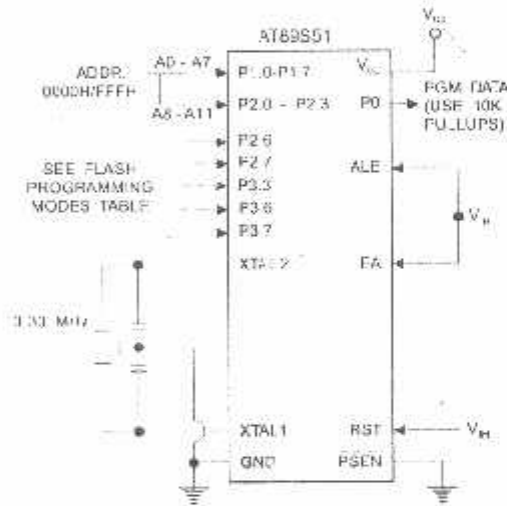


Figure 5. Verifying the Flash Memory (Parallel Mode)



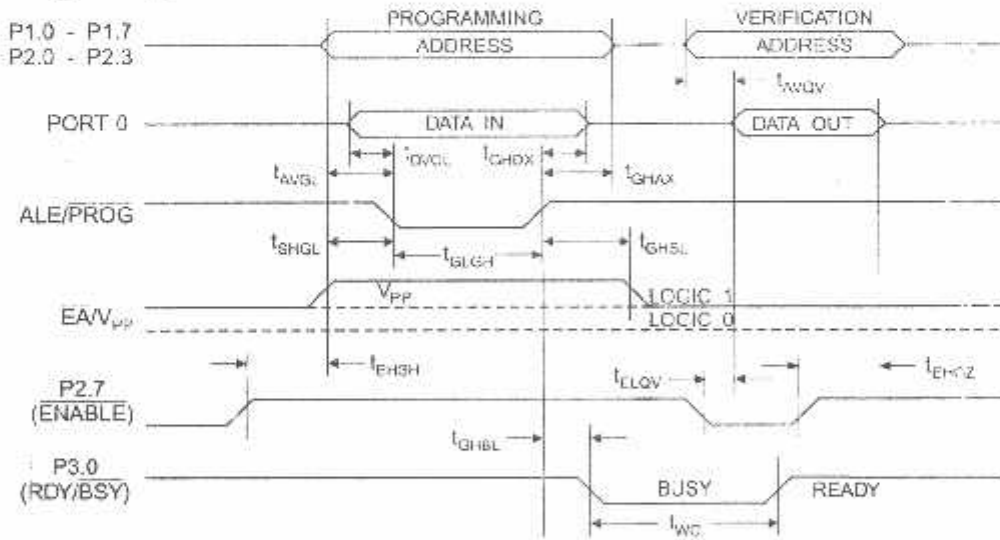


Flash Programming and Verification Characteristics (Parallel Mode)

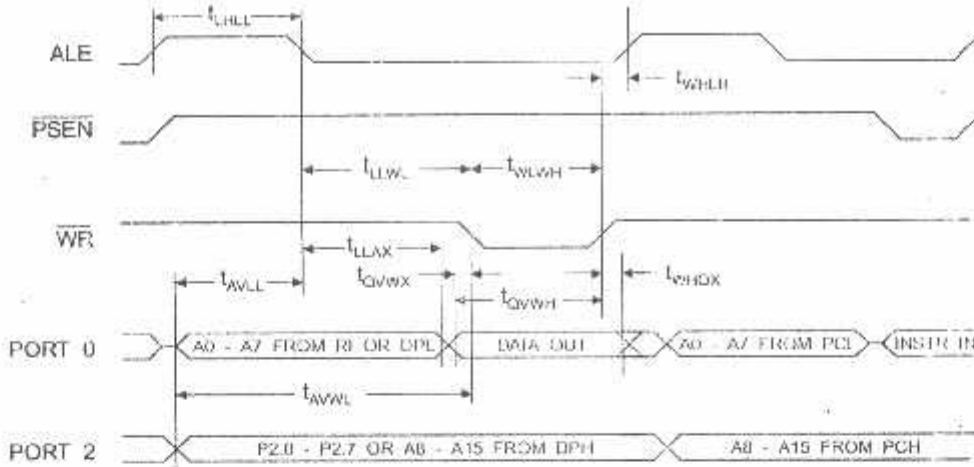
20°C to 30°C, $V_{CC} = 4.5$ to 5.5V

Symbol	Parameter	Min	Max	Units
	Programming Supply Voltage	11.5	12.5	V
	Programming Supply Current		10	mA
	V_{CC} Supply Current		30	mA
LCL	Oscillator Frequency	3	33	MHz
L	Address Setup to $\overline{\text{PROG}}$ Low	$48t_{CLCL}$		
X	Address Hold After $\overline{\text{PROG}}$	$48t_{CLCL}$		
L	Data Setup to $\overline{\text{PROG}}$ Low	$48t_{CLCL}$		
X	Data Hold After $\overline{\text{PROG}}$	$48t_{CLCL}$		
H	P2.7 (ENABLE) High to V_{PP}	$48t_{CLCL}$		
L	V_{PP} Setup to $\overline{\text{PROG}}$ Low	10		μs
L	V_{PP} Hold After $\overline{\text{PROG}}$	10		μs
H	$\overline{\text{PROG}}$ Width	0.2	1	μs
V	Address to Data Valid		$48t_{CLLL}$	
V	ENABLE Low to Data Valid		$48t_{CLLL}$	
Z	Data Float After ENABLE	0	$48t_{CLCL}$	
L	$\overline{\text{PROG}}$ High to BUSY Low		1.0	μs
	Byte Write Cycle Time		50	μs

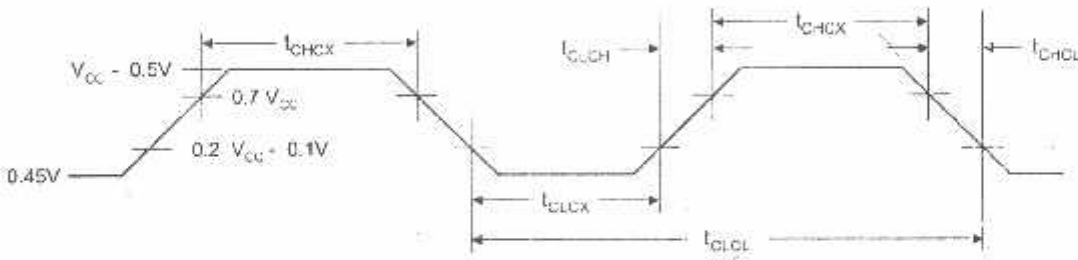
Figure 6. Flash Programming and Verification Waveforms – Parallel Mode



External Data Memory Write Cycle



External Clock Drive Waveforms



External Clock Drive

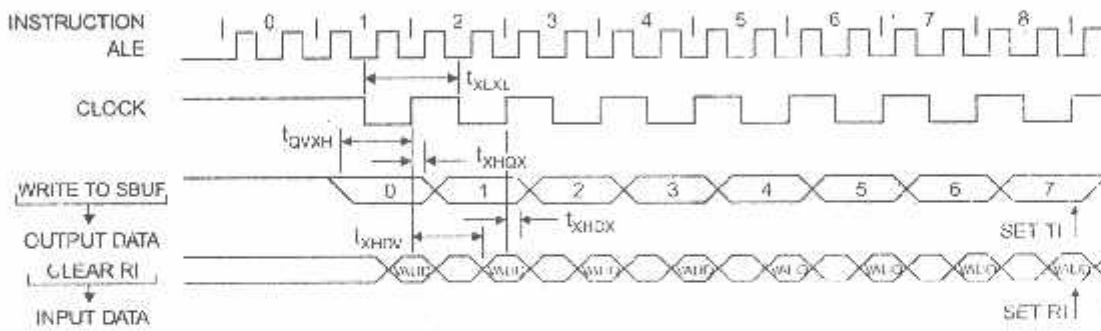
Symbol	Parameter	Min	Max	Units
f_{CL}	Oscillator Frequency	0	33	MHz
	Clock Period	30		ns
t_{CH}	High Time	12		ns
t_{CL}	Low Time	12		ns
t_{R}	Rise Time		5	ns
t_{F}	Fall Time		5	ns

Serial Port Timing: Shift Register Mode Test Conditions

Values in this table are valid for $V_{CC} = 4.0V$ to $5.5V$ and Load Capacitance = 80 pF .

Symbol	Parameter	12 MHz Osc		Variable Oscillator		Units
		Min	Max	Min	Max	
	Serial Port Clock Cycle Time	1.0		$12t_{CLCL}$		μs
t_{SD}	Output Data Setup to Clock Rising Edge	700		$10t_{CLCL}-133$		ns
t_{HD}	Output Data Hold After Clock Rising Edge	50		$2t_{CLCL}-80$		ns
t_{IH}	Input Data Hold After Clock Rising Edge	0		0		ns
t_{IV}	Clock Rising Edge to Input Data Valid		700		$10t_{CLCL}-133$	ns

Shift Register Mode Timing Waveforms

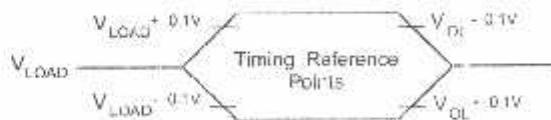


Testing Input/Output Waveforms⁽¹⁾



- AC inputs during testing are driven at $V_{CC} - 0.5V$ for a logic 1 and $0.45V$ for a logic 0. Timing measurements are made at V_{IH} min. for a logic 1 and V_{IL} max. for a logic 0.

Timing Waveforms⁽¹⁾



- For timing purposes, a port pin is no longer floating when a 100 mV change from load voltage occurs. A port pin begins to float when a 100 mV change from the loaded V_{OH}/V_{OL} level occurs.

Ordering Information

Lead (Hz)	Power Supply	Ordering Code	Package	Operation Range	
24	4.0V to 5.5V	AT89S51-24AC	44A	Commercial (0° C to 70° C)	
		AT89S51-24JC	44J		
		AT89S51-24PC	40P6		
	33	4.5V to 5.5V	AT89S51-24AI	44A	Industrial (-40° C to 85° C)
			AT89S51-24JI	44J	
			AT89S51-24PI	40P6	
33	4.5V to 5.5V	AT89S51-33AC	44A	Commercial (0° C to 70° C)	
		AT89S51-33JC	44J		
		AT89S51-33PC	40P6		

□ = Preliminary Availability

Package Type

44-lead, Thin Plastic Gull Wing Quad Flatpack (TQFP)

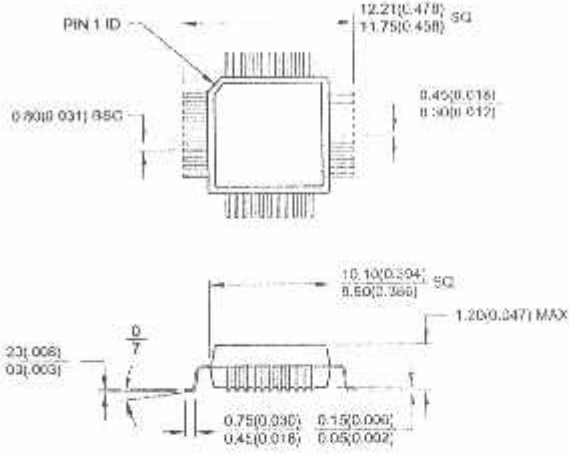
44-lead, Plastic J-leaded Chip Carrier (PLCC)

40-pin, 0.600" Wide, Plastic Dual Inline Package (PDIP)

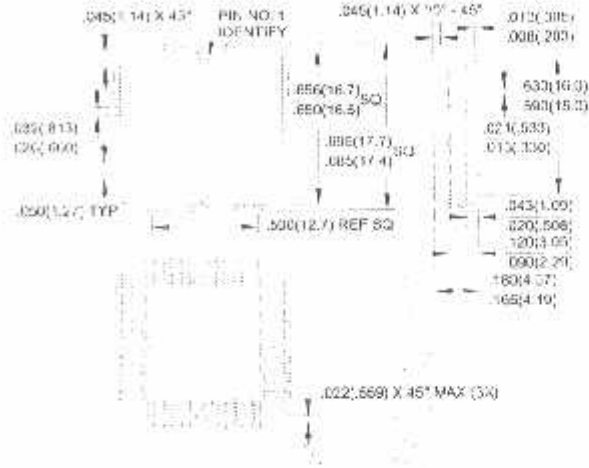


Packaging Information

4A, 44-lead, Thin (1.0 mm) Plastic Gull Wing Quad Flat Package (TQFP)
Dimensions in Millimeters and (Inches)*

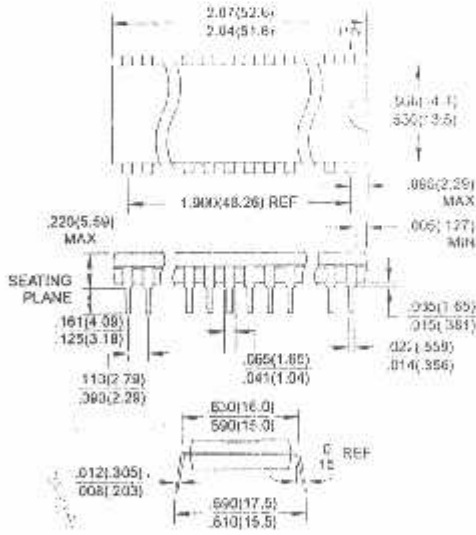


44J, 44-lead, Plastic J-Headed Chip Carrier (PLCC)
Dimensions in Inches and (Millimeters)



Controlling dimension: millimeters

JP6, 40-pin, 0.600" Wide, Plastic Dual In-line Package (PDIP)
Dimensions in Inches and (Millimeters)
DEC STANDARD MS-011 AC





Atmel Headquarters

Corporate Headquarters
125 Orchard Parkway
Folsom, CA 95131
TEL (408) 441-0311
FAX (408) 487-2600

Atmel Europe
Atmel SarL
Route des Arsenaux 41
Case Postale 80
CH-1705 Fribourg
Switzerland
TEL (41) 26-426-5555
FAX (41) 26-426-5500

Atmel Asia, Ltd.
Room 1219
Ainachem Golden Plaza
1 Mody Road Tsimshatsui
East Kowloon
Hong Kong
TEL (852) 2721-9778
FAX (852) 2722-1369

Atmel Japan K.K.
1-1, Tonetsu-Shinkawa Bldg.
24-8 Shinkawa
Nishi-ku, Tokyo 104-0033
Japan
TEL (81) 3-3523-3551
FAX (81) 3-3523-7581

Atmel Product Operations

Atmel Colorado Springs
1150 E. Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906
TEL (719) 576-3300
FAX (719) 540-1759

Atmel Grenoble
Avenue de Rochepleine
BP 123
38521 Saint-Egreve Cedex, France
TEL (33) 4-7658-3000
FAX (33) 4-7658-3480

Atmel Heilbronn
Theresienstrasse 2
POB 3535
D-74025 Heilbronn, Germany
TEL (49) 71 31 67 25 94
FAX (49) 71 31 67 24 23

Atmel Nantes
La Chantrerie
BP 70602
44306 Nantes Cedex 3, France
TEL (33) 0 2 40 18 18 18
FAX (33) 0 2 40 18 19 60

Atmel Roussel
Zone Industrielle
13106 Roussel Cedex, France
TEL (33) 4-4253-6000
FAX (33) 4-4253-6001

Atmel Smart Card ICs
Scottish Enterprise Technology Park
East Kilbride, Scotland G75 0QR
TEL (44) 1355-357-000
FAX (44) 1355-242-743

e-mail
literature@atmel.com

Web Site
<http://www.atmel.com>

Atmel Corporation 2001.

Atmel Corporation makes no warranty for the use of its products, other than those expressly contained in the Company's standard warranty as detailed in Atmel's Terms and Conditions located on the Company's web site. The Company assumes no responsibility for any errors that may appear in this document, reserves the right to change devices or specifications detailed herein at any time without notice, and does not make any commitment to update the information contained herein. No licenses to patents or other intellectual property of Atmel are granted by the Company in connection with the sale of Atmel products, expressly or by implication. Atmel's products are not authorized for use as critical components in life support devices or systems.

Atmel is the registered trademark of Atmel.

Intel is the registered trademark of Intel Corporation. Terms and product names in this document may be trademarks of others.

Printed on recycled paper.

2457A-10P01xM

ADC0801/ADC0802/ADC0803/ADC0804/ADC0805

8-Bit μ P Compatible A/D Converters

General Description

The ADC0801, ADC0802, ADC0803, ADC0804 and ADC0805 are CMOS 8-bit successive approximation A/D converters that use a differential potentiometric ladder—similar to the 256R products. These converters are designed to allow operation with the NSC800 and INS8080A derivative control bus with TRI-STATE output latches directly driving the data bus. These A/Ds appear like memory locations or I/O ports to the microprocessor and no interfacing logic is needed.

Differential analog voltage inputs allow increasing the common-mode rejection and offsetting the analog zero input voltage value. In addition, the voltage reference input can be adjusted to allow encoding any smaller analog voltage span to the full 8 bits of resolution.

Features

- Compatible with 8080 μ P derivatives—no interfacing logic needed - access time - 135 ns
- Easy interface to all microprocessors, or operates "stand alone"

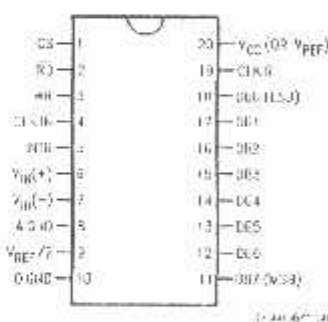
- Differential analog voltage inputs
- Logic inputs and outputs meet both MOS and TTL voltage level specifications
- Works with 2.5V (LM336) voltage reference
- On-chip clock generator
- 0V to 5V analog input voltage range with single 5V supply
- No zero adjust required
- 0.3" standard width 20-pin DIP package
- 20-pin molded chip carrier or small outline package
- Operates ratiometrically or with 5 V_{DD} , 2.5 V_{REF} , or analog span adjusted voltage reference

Key Specifications

- Resolution 8 bits
- Total error $\pm 1/4$ LSB, $\pm 1/2$ LSB and ± 1 LSB
- Conversion time 100 μ s

Connection Diagram

ADC080X
Dual-In-Line and Small Outline (SO) Packages



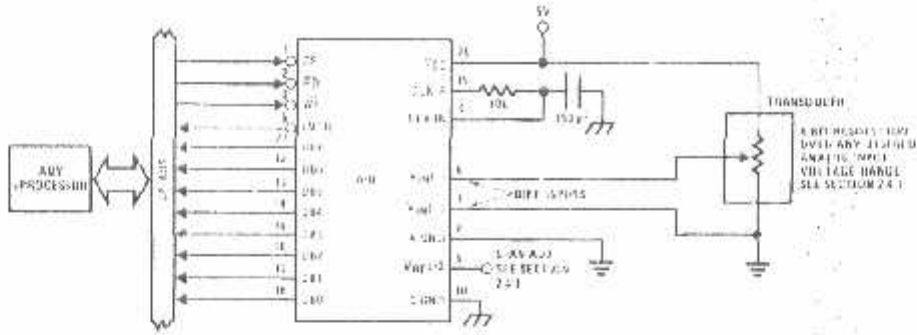
See Ordering Information

Ordering Information

TEMP RANGE		0°C TO 70°C	0°C TO 70°C	-40°C TO +85°C
ERROR	$\pm 1/4$ Bit Adjusted			ADC0801LCN
	$\pm 1/2$ Bit Unadjusted	ADC0802LCWM		ADC0802LCN
	$\pm 1/2$ Bit Adjusted			ADC0803LCN
	± 1 Bit Unadjusted	ADC0804LCWM	ADC0804LCN	ADC0805LCN/ADC0804LCN
PACKAGE OUTLINE		M20B—Small Outline	N20A—Molded DIP	

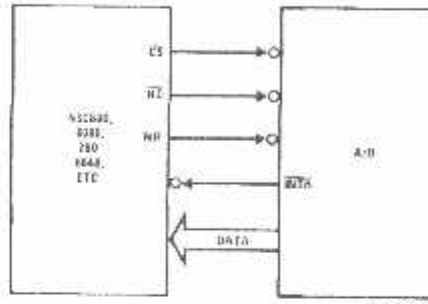
2.80V is a registered trademark of Intel Corp.

Typical Applications



DS90C01-01

8080 Interface



2500007-01

Error Specification (Includes Full-Scale, Zero Error, and Non-Linearity)

Part Number	Full-Scale Adjusted	V _{REF/2} =2.500 V _{DC} (No Adjustments)	V _{REF/2} =No Connection (No Adjustments)
ADC0801	± 1/2 LSB		
ADC0802		± 1/2 LSB	
ADC0803	± 1/2 LSB		
ADC0804		± 1 LSB	
ADC0805			± 1 LSB

Absolute Maximum Ratings (Notes 1, 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage (V_{CC}) (Note 3)	8.5V
Voltage	
Logic Control Inputs	-0.3V to +18V
At Other Input and Outputs	-0.3V to ($V_{CC}+0.3V$)
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260 °C
Dual-In-Line Package (ceramic)	300 °C
Surface Mount Package	
Vapor Phase (60 seconds)	215 °C

Infrared (15 seconds)	300 °C
Storage Temperature Range	-65 °C to +150 °C
Package Dissipation at $T_A=25^\circ\text{C}$	775 mW
ESD Susceptibility (Note 10)	800V

Operating Ratings (Notes 1, 2)

Temperature Range	T_{MIN} to T_{MAX}
ADC0804LCJ	-40 °C to +85 °C
ADC0801R/02/03/05LCN	-40 °C to +85 °C
ADC0804LCN	0 °C to +70 °C
ADC0802/04LCWM	0 °C to +70 °C
Range of V_{CC}	4.5 V_{DD} to 0.5 V_{DD}

Electrical Characteristics

The following specifications apply for $V_{CC}=5 V_{DD}$, T_{MIN} to T_{MAX} and $f_{CLK}=640$ kHz unless otherwise specified.

Parameter	Conditions	Min	Typ	Max	Units
ACC001: Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			$\pm 1/2$	LSB
ACC002: Total Unadjusted Error (Note 8)	$V_{REF}/2=2.500 V_{DD}$			$\pm 1/2$	LSB
ACC003: Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			$\pm 1/2$	LSB
ACC004: Total Unadjusted Error (Note 8)	$V_{REF}/2=2.500 V_{DD}$			± 1	LSB
ACC005: Total Unadjusted Error (Note 8)	$V_{REF}/2$ -No Connection			± 1	LSB
$R_{IN}/2$ Input Resistance (Pin #)	ADC0801/02/03/05 ADC0804 (Note 9)	2.5 0.75	8.0 1.1		k Ω k Ω
Analog Input Voltage Range	(Note 4) V_{IN+} or V_{IN-}	Ground-0.05		$V_{CC}+0.05$	V_{DD}
Common-Mode Error	Over Analog Input Voltage Range		$\pm 1/16$	$\pm 1/2$	LSB
Power Supply Sensitivity	$V_{CC}=5 V_{DD} \pm 10\%$ Over Allowed V_{IN+} and V_{IN-} Voltage Range (Note 4)		$\pm 1/16$	$\pm 1/2$	LSB

AC Electrical Characteristics

The following specifications apply for $V_{CC}=5 V_{DD}$ and T_{MIN} to T_{MAX} unless otherwise specified.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
	Conversion Time	$f_{CLK}=640$ kHz (Note 6)	103		114	μs
	Conversion Time	(Notes 5, 6)	66		73	$1/f_{CLK}$
	Clock Frequency	$V_{CC}=5V$ (Note 5)	100	640	1480	kHz
	Clock Duty Cycle		40		60	%
	Conversion Rate in Free-Running Mode	INTR tied to WR with $\overline{CS}=0 V_{DD}$, $f_{CLK}=640$ kHz	8770		9708	conv/s
	Width of WR Input (Setup Pulse Width)	$\overline{CS}=0 V_{DD}$ (Note 7)	100			ns
	Access Time (Delay from Falling Edge of \overline{RD} to Output Data Valid)	$C_L=100$ pF		135	200	ns
	TRI-STATE Control (Delay from Rising Edge of \overline{RD} to HI-Z State)	$C_L=10$ pF, $R_L=10k$ (See TRI-STATE Test Circuits)		125	200	ns
	Delay from Falling Edge of WR or \overline{RD} to Reset of INTR			300	450	ns
	Input Capacitance of Logic Control Inputs			5	7.5	pF

AC Electrical Characteristics (Continued)

The following specifications apply for $V_{CC}=5 V_{DC}$ and $T_{MIN} \leq T_A \leq T_{MAX}$ unless otherwise specified.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
C_{OUT}	TRI-STATE Output Capacitance (Data Buffers)			5	7.5	pF
CONTROL INPUTS [Note: CLK IN (Pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately]						
$V_{IH}(1)$	Logical "1" Input Voltage (Except Pin 4 CLK IN)	$V_{CC} = 5.25 V_{DC}$	2.0		1.8	V_{DC}
$V_{IL}(0)$	Logical "0" Input Voltage (Except Pin 4 CLK IN)	$V_{CC} = 4.75 V_{DC}$			0.8	V_{DC}
$I_{IH}(1)$	Logical "1" Input Current (All Inputs)	$V_{CC} = 5 V_{DC}$		0.005	1	μA_{DC}
$I_{IL}(0)$	Logical "0" Input Current (All Inputs)	$V_{CC} = 0 V_{DC}$	-1	-0.005		μA_{DC}
CLOCK IN AND CLOCK R						
V_{T+}	CLK IN (Pin 4) Positive Going Threshold Voltage		2.7	3.1	3.5	V_{DC}
V_{T-}	CLK IN (Pin 4) Negative Going Threshold Voltage		1.5	1.3	2.1	V_{DC}
V_H	CLK IN (Pin 4) Hysteresis ($V_{T+} - V_{T-}$)		0.6	1.3	2.0	V_{DC}
$V_{OUT}(0)$	Logical "0" CLK R Output Voltage	$I_O = 380 \mu A$ $V_{CC} = 4.75 V_{DC}$			0.4	V_{DC}
$V_{OUT}(1)$	Logical "1" CLK R Output Voltage	$I_O = -300 \mu A$ $V_{CC} = 4.75 V_{DC}$	2.4			V_{DC}
DATA OUTPUTS AND INTR						
$V_{OUT}(0)$	Logical "0" Output Voltage Data Outputs INTR Output	$I_{OUT} = 1.6 mA, V_{CC} = 4.75 V_{DC}$ $I_{OUT} = 1.0 mA, V_{CC} = 4.75 V_{DC}$			0.1 0.4	V_{DC} V_{DC}
$V_{OUT}(1)$	Logical "1" Output Voltage	$I_O = 380 \mu A, V_{CC} = 4.75 V_{DC}$	2.4			V_{DC}
$V_{OUT}(1)$	Logical "1" Output Voltage	$I_O = 10 \mu A, V_{CC} = 4.75 V_{DC}$	4.5			V_{DC}
I_{OOUT}	TRI-STATE Disabled Output Leakage (All Data Buffers)	$V_{OUT} = 0 V_{DC}$ $V_{CC} = 5 V_{DC}$	-3		3	μA_{DC} μA_{DC}
$I_{OOUT(0)}$		V_{OUT} float to Gnd, $I_O = 20 \mu C$	4.5	6		mA_{DC}
$I_{OOUT(1)}$		V_{OUT} float to V_{CC} , $T_A = 25^\circ C$	9.0	16		mA_{DC}
POWER SUPPLY						
I_{CC}	Supply Current (includes Ladder Current)	$f_{CLK} = 640 kHz$ $V_{REF} = NC, T_A = 25^\circ C$ and $CS = 5V$				
	ADC0801/02/03/04/05			1.1	1.8	mA
	ADC0804/05			1.9	2.5	mA

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to Gnd, unless otherwise specified. The separate A (lead pin) should always be wired to Pin 0 (Gnd).

Note 3: A zener diode exists internally from V_{CC} to Gnd and has a typical breakdown voltage of $2 V_{CC}$.

Note 4: For $V_{IH}(+)$ or $V_{IH}(-)$ the digital output code will be 00000000. Two on-chip diodes are built into an analog input (see block diagram) which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the V_{CC} supply. Be careful, during testing at low V_{CC} levels (4.5V), as high level analog inputs (5V) can cause the input diode to conduct, especially at elevated temperatures, and cause errors for analog inputs near full scale. The spec allows 50 mV forward bias of either diode. This means that as long as the analog V_{IN} does not exceed the supply voltage by more than 50 mV, the output code will be correct. To achieve an absolute 0 V_{DC} to 5 V_{DC} input voltage range will therefore require a minimum supply voltage of $4.950 V_{DC}$ over temperature variations, initial tolerance and loading.

Note 5: Accuracy is guaranteed at $f_{CLK} = 640 kHz$. At higher clock frequencies accuracy can degrade. For lower clock frequencies, the duty cycle can be as long as the maximum clock high time interval or minimum clock low time interval is not less than 275 ns.

Note 6: With an asynchronous start pulse, up to 8 clock periods may be required before the internal clock phases are proper to start the conversion process. The start request is internally latched, see Figure 4 and section 2.0.

AC Electrical Characteristics (Continued)

Note 7: The CS input is assumed to bracket the WR strobe input and therefore timing is dependent on the WR pulse width. An arbitrarily wide pulse width will hold the converter in a reset mode and the start of conversion is initiated by the low to high transition of the WR pulse. (See timing diagrams).

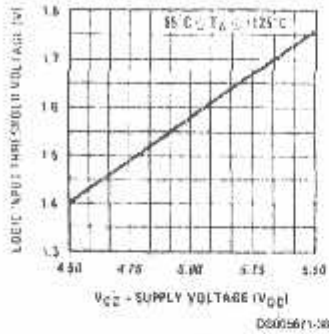
Note 8: Note of these ADTs applies a time delay (see section 2.5.1). To obtain data rates at other analog input voltages see section 2.5 and Figure 7.

Note 9: The $V_{REF}/2$ pin is the center point of a 1-bit resistor ladder connected from V_{CC} to ground. In all versions of the ADC0801, ADC0802, ADC0803, and ADC0805, and in the ADC0804(LC), each resistor is typically 16 k Ω . In all versions of the ADC0804 except the ADC0804(LC), each resistor is typically 2.2 k Ω .

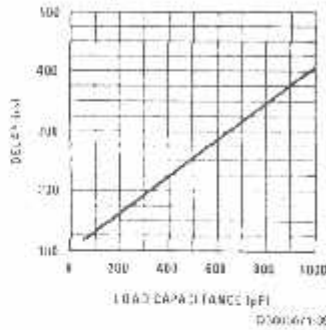
Note 10: Human body model, 100 pF discharged through a 1.5 k Ω resistor.

Typical Performance Characteristics

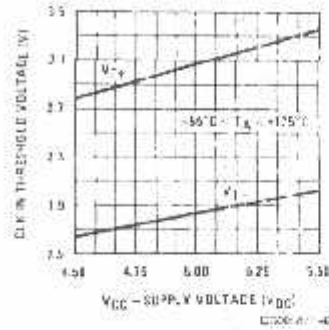
Logic Input Threshold Voltage vs. Supply Voltage



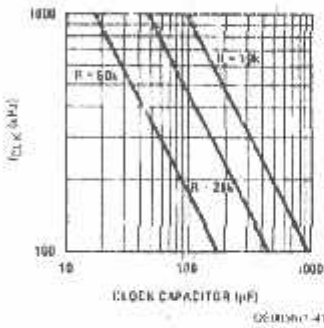
Delay From Falling Edge of RD to Output Data Valid vs. Load Capacitance



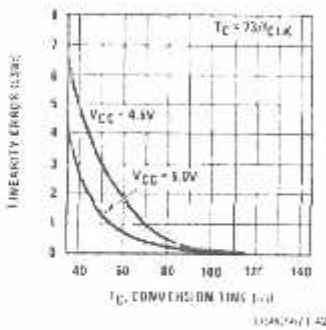
CLK IN Schmitt Trip Levels vs. Supply Voltage



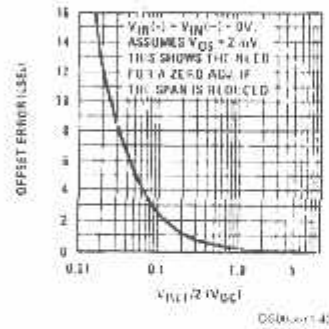
CLK vs. Clock Capacitor



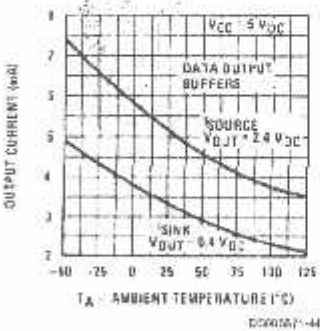
Full-Scale Error vs Conversion Time



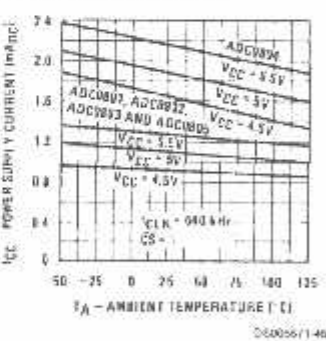
Effect of Unadjusted Offset Error vs. VREF/2 Voltage



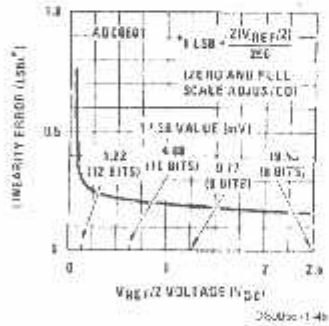
Output Current vs Temperature



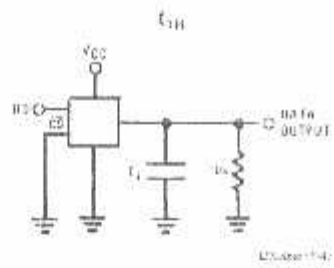
Power Supply Current vs Temperature (Note 9)



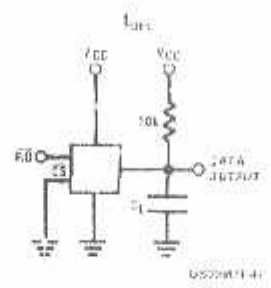
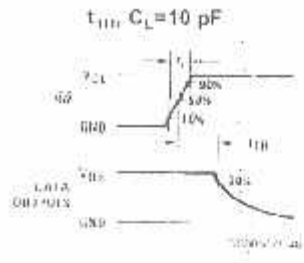
Linearity Error at Low VREF/2 Voltages



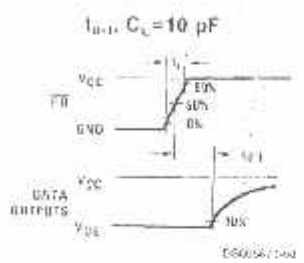
TRI-STATE Test Circuits and Waveforms



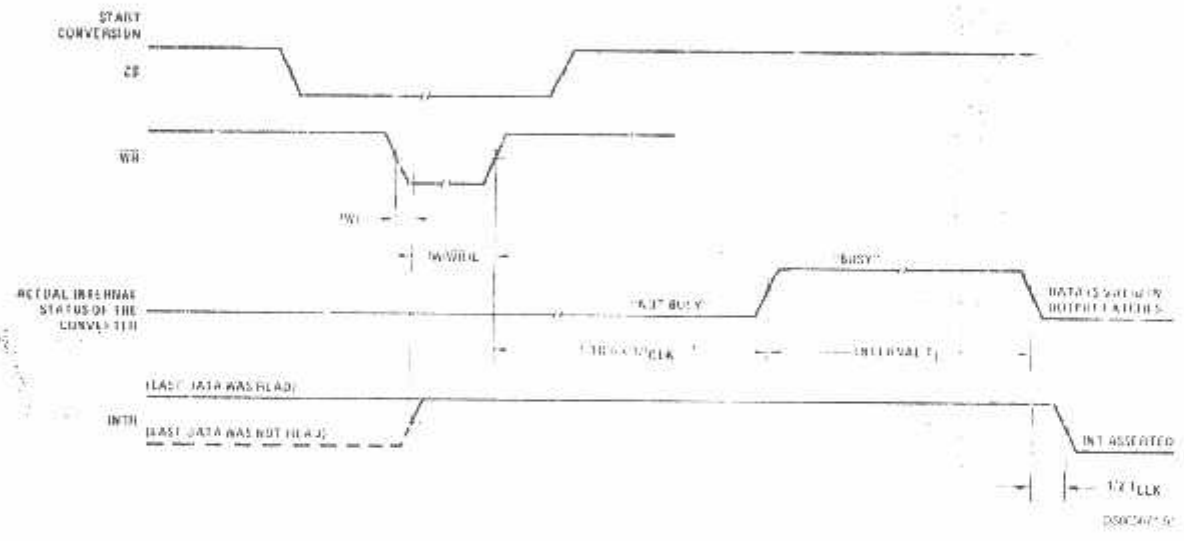
$t_L = 20 \text{ ns}$



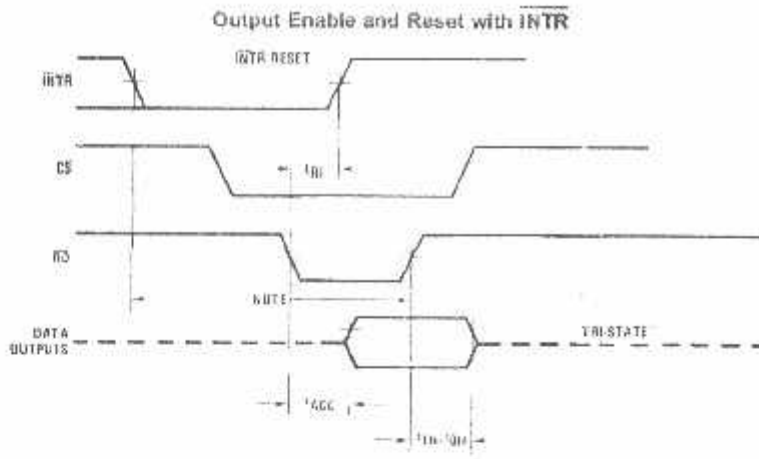
$t_L = 20 \text{ ns}$



Timing Diagrams (All timing is measured from the 50% voltage points)



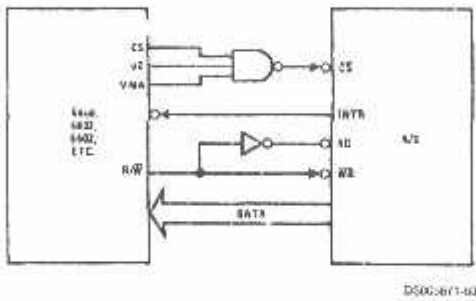
Timing Diagrams (All timing is measured from the 50% voltage points) (Continued)



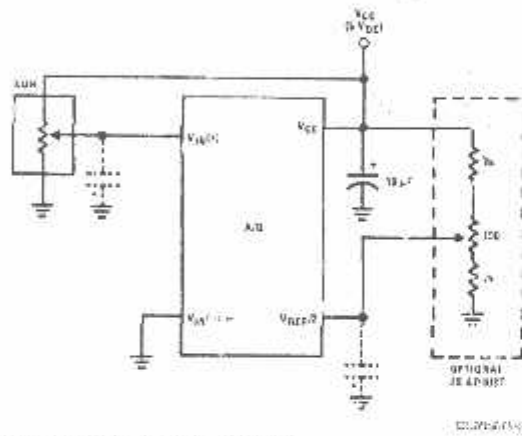
Note: Read strobe must occur t_{RD} periods (t_{RD}/f_{clk}) after assertion of interrupt to guarantee reset of INTR.

Typical Applications

6800 Interface



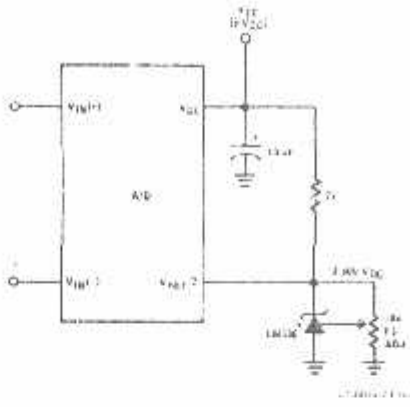
Ratiometric with Full-Scale Adjust



Note: before using caps at V_{REF1} or V_{REF2} , see section 2.3.2, Input Bypass Capacitors.

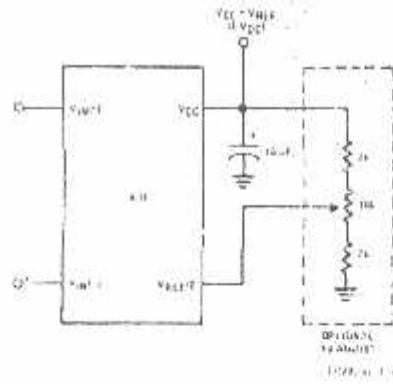
Typical Applications (Continued)

Absolute with a 2.500V Reference

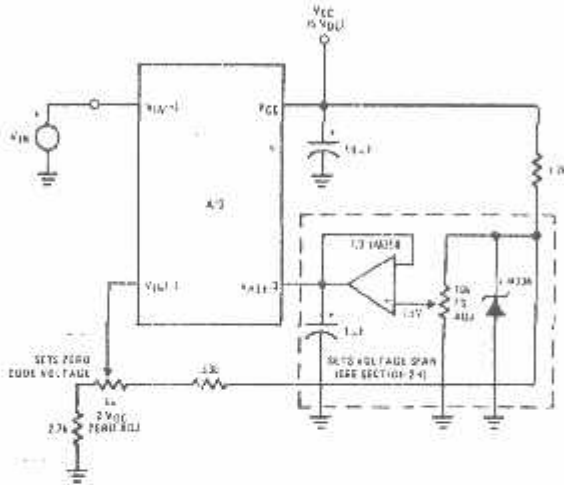


*For low power, see also LMS35-23.

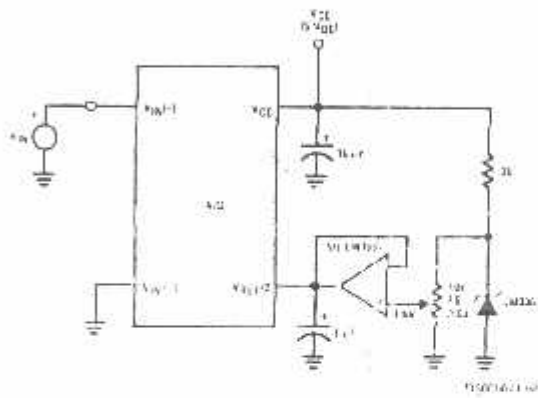
Absolute with a 5V Reference



Zero-Shift and Span Adjust: $2V \leq V_{IN} \leq 5V$

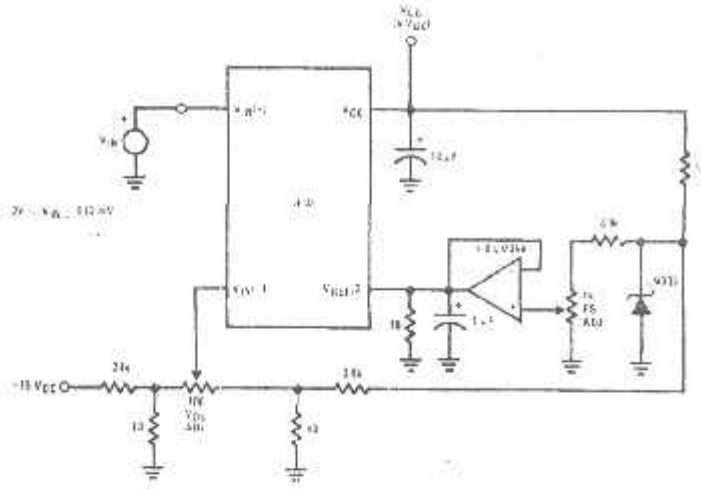


Span Adjust: $0V \leq V_{IN} \leq 3V$



Typical Applications (Continued)

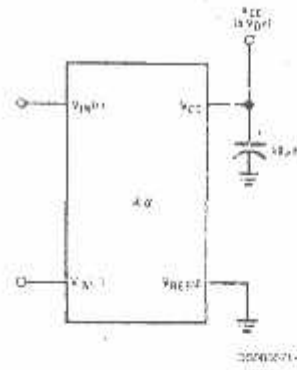
Directly Converting a Low-Level Signal



0240671-30

$I_{REF}/2 = 256 \text{ mV}$

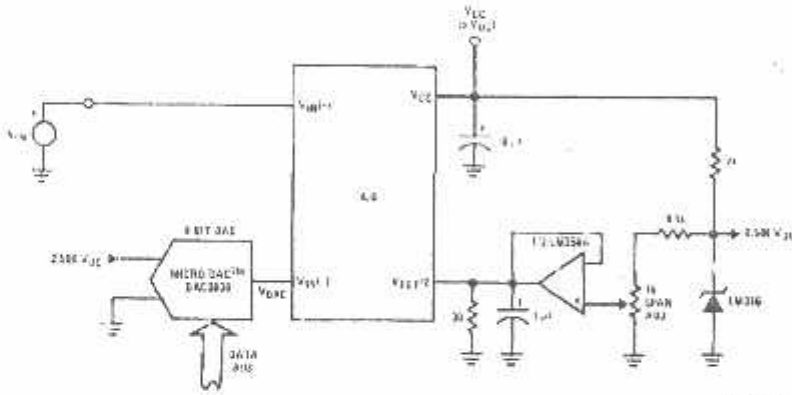
A μP Interfaced Comparator



0240671-40

For:
 $V_{IN(+)} > V_{IN(-)}$
 Output = FF HEX
 For:
 $V_{IN(+)} < V_{IN(-)}$
 Output = 00 HEX

1 mV Resolution with μP Controlled Range

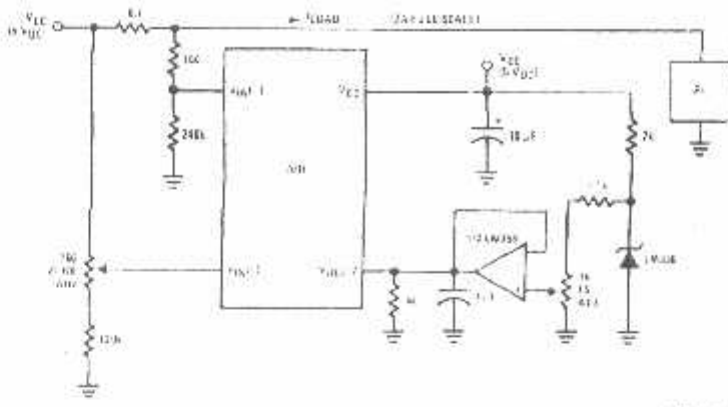


0240671-50

$REF/2 = 128 \text{ mV}$
 $LSS = 1 \text{ mV}$
 $DAC \text{ SV}_{IN} = (V_{DAC} \times 256 \text{ mV})$
 $0 < V_{DAC} < 2.5 \text{ V}$

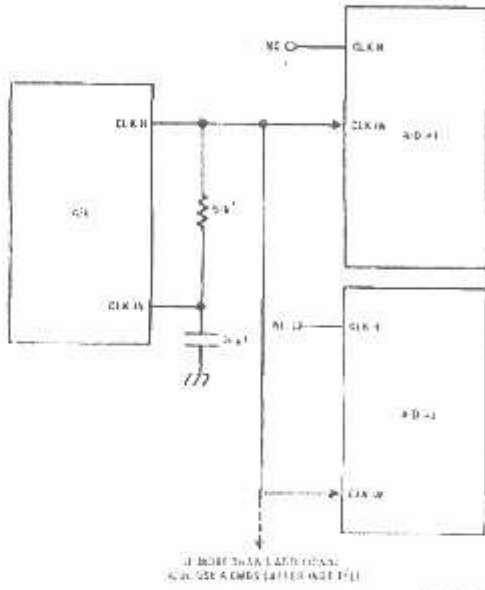
Typical Applications (Continued)

Digitizing a Current Flow



DS006-110

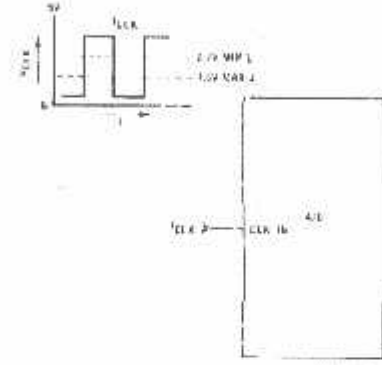
Self-Clocking Multiple A/Ds



* If more than 1 A/D is used, use a 5k resistor (after A/D #1).

DS006-110

External Clocking

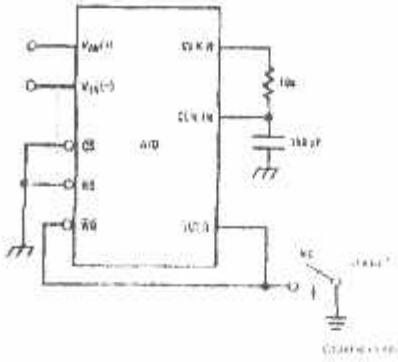


100 kHz f_{CLK} <math>< 100</math> kHz

DS006-110

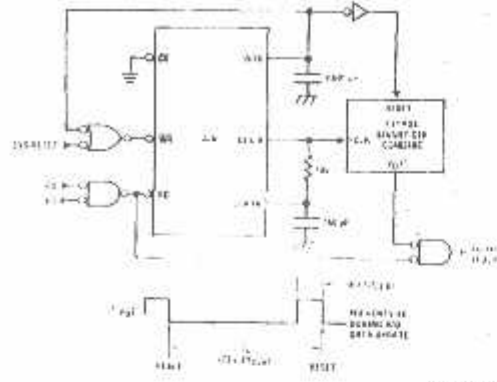
* Use a large R value to reduce loading at CLK R output

Self-Clocking in Free-Running Mode



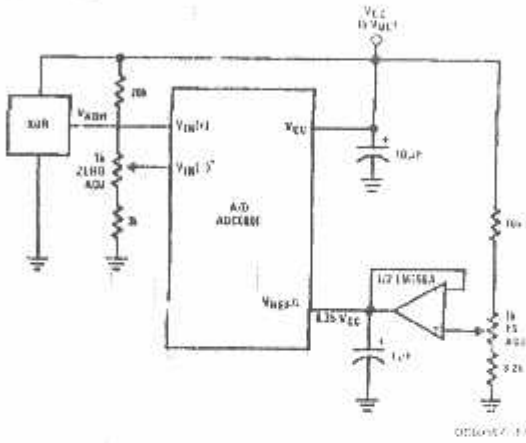
After power-up, a momentary grounding of the \overline{WR} input is needed to guarantee operation.

μ P Interface for Free-Running A/D



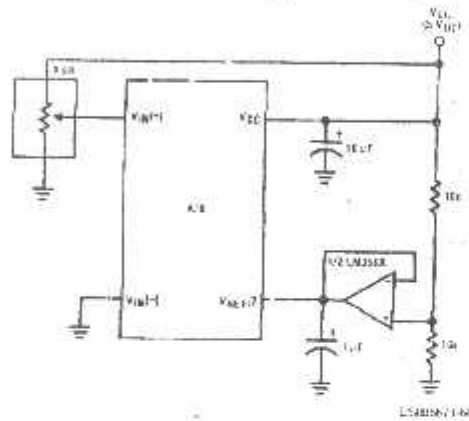
DS08017-06

Operating with "Automotive" Potentiometric Transducers



DS08017-07

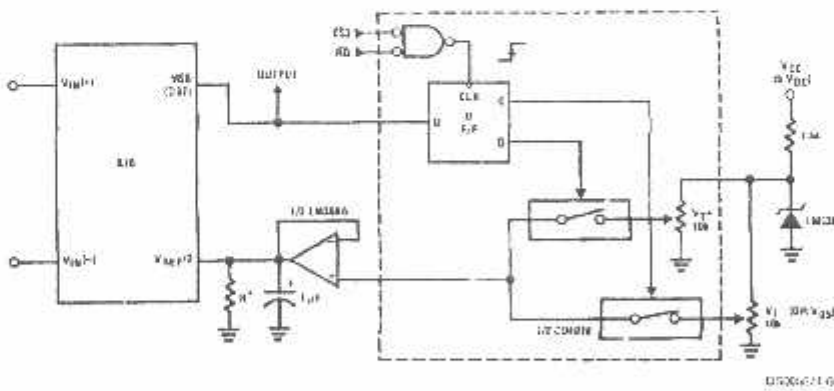
Potentiometric with $V_{REF}/2$ Forced



LS48067-06

$V_{REF-} = 0.15 V_{CC}$
 $5\% \text{ of } V_{CC} < V_{XDR} < 65\% \text{ of } V_{CC}$

μ P Compatible Differential-Input Comparator with Pre-Set V_{OS} (with or without Hysteresis)

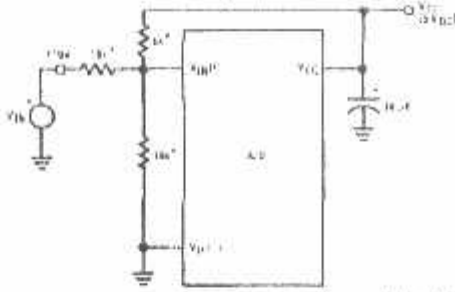


DS08017-08

see Figure 5 to select R value
 $R=11$ for $V_{IN(+)} - V_{IN(-)} = V_{REF}/2$
 All circuitry within the dotted area if
 hysteresis is not needed

Typical Applications (Continued)

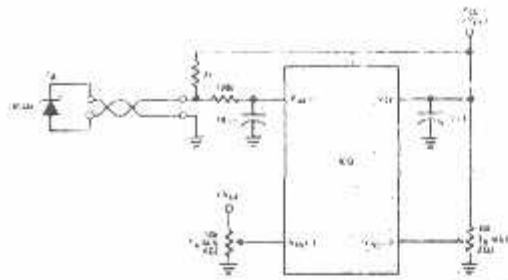
Handling $\pm 10V$ Analog Inputs



*Beckman Instruments #654 0-R10K resistor array

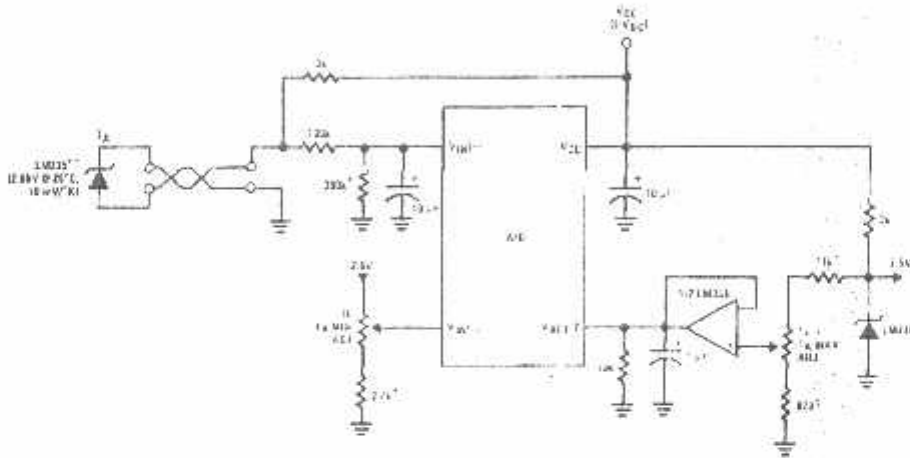
LS69611-01

Low-Cost, μP Interfaced, Temperature-to-Digital Converter



DS02401-01

μP Interfaced Temperature-to-Digital Converter



LS69611-01

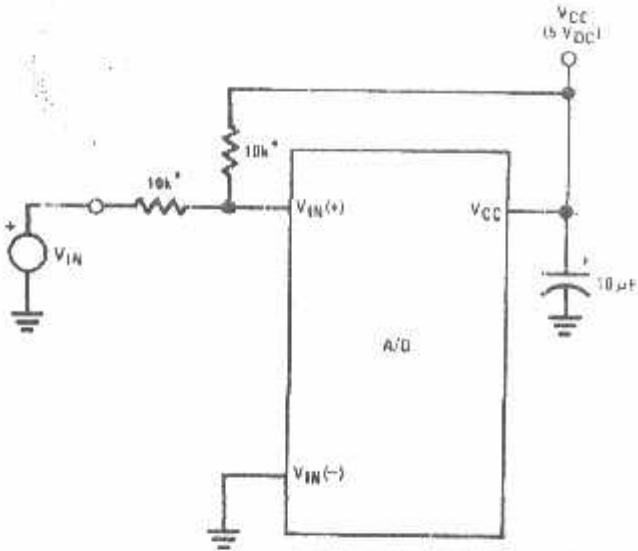
Circuit values shown are for $0 \leq T_A \leq 125^\circ C$

**Can calibrate each sensor to allow easy replacement; then A/D can be calibrated with a precise input voltage.

Typical Applications (Continued)

ADC0801/ADC0802/ADC0803/ADC0804/ADC0805

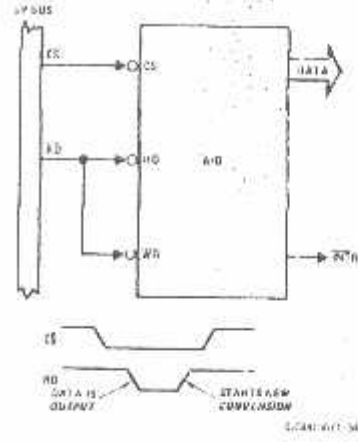
Handling $\pm 5V$ Analog Inputs



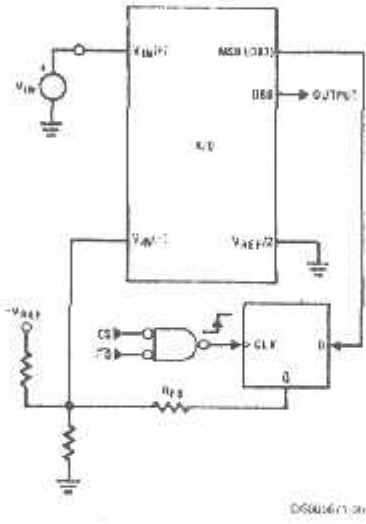
DS44071-03

Beckman Instruments #634 3-R10K resistor array

Read-Only Interface

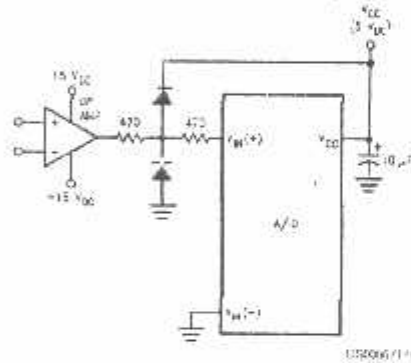


μP Interfaced Comparator with Hysteresis



DS44061-03

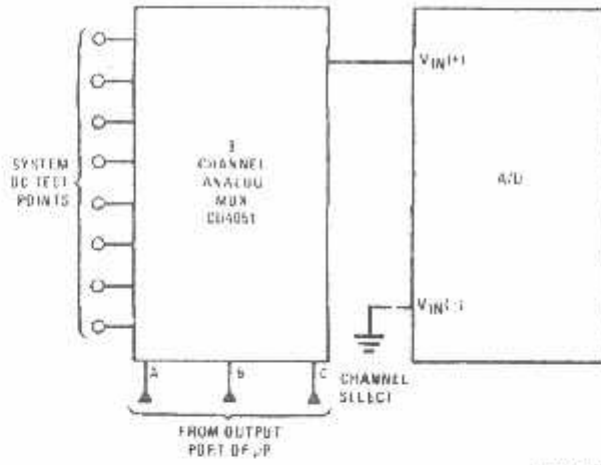
Protecting the input



Diodes are 1N614

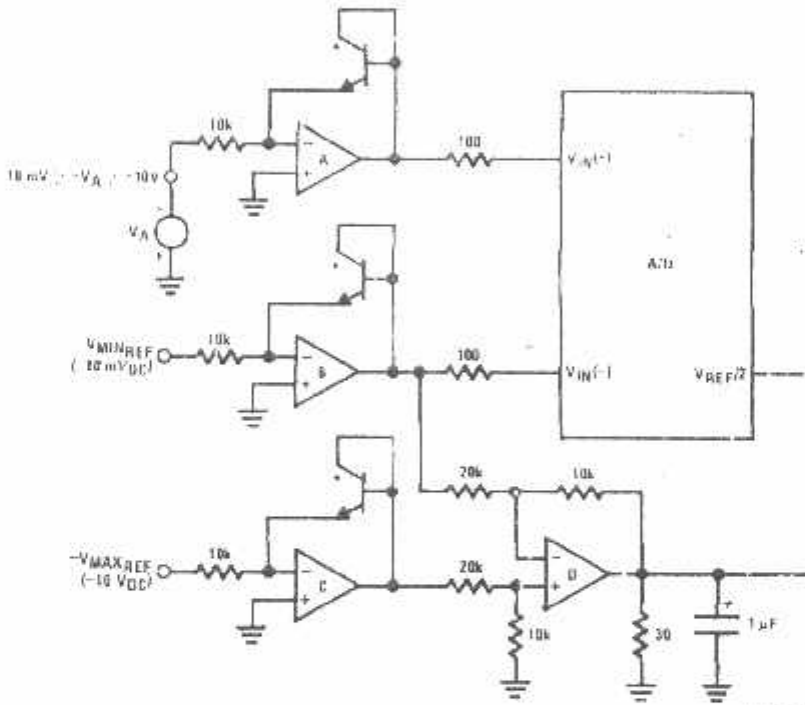
Typical Applications (Continued)

Analog Self-Test for a System



DS0256-1/70

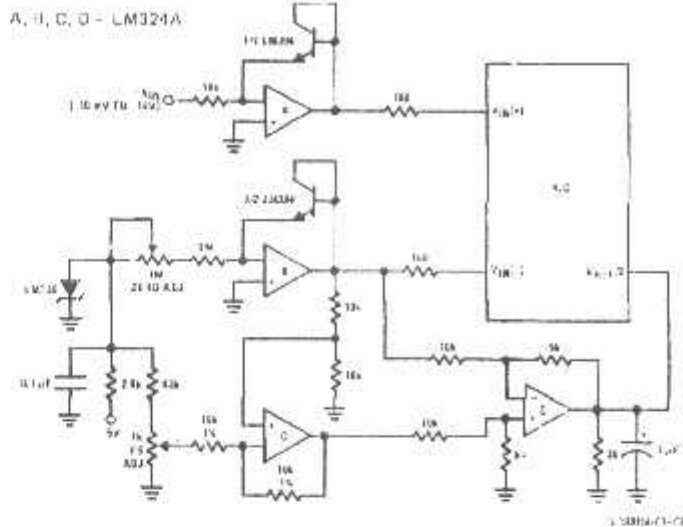
A Low-Cost, 3-Decade Logarithmic Converter



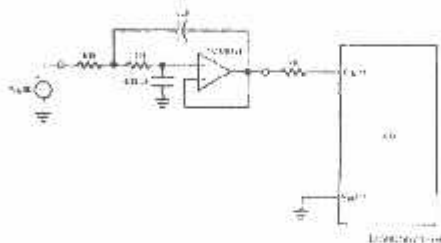
DS0256-1/70

*LM329 transistors
A, B, C, D = LM324A quad op. amp

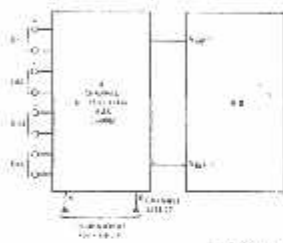
3-Decade Logarithmic A/D Converter



Noise Filtering the Analog Input

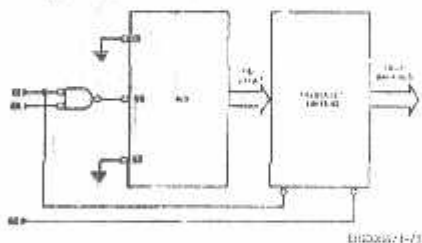


Multiplexing Differential Inputs

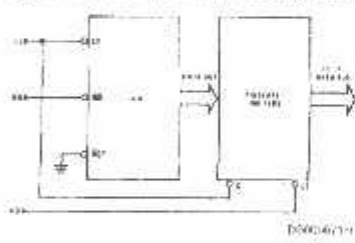


20 Hz
uses Chebyshev implementation for 50 dB rejection of half-unit gain, 2nd order low-pass filter
adding a separate filter for each channel increases system response time when analog multiplexer is used

Output Buffers with A/D Data Enabled



Increasing Bus Drive and/or Reducing Time on Bus

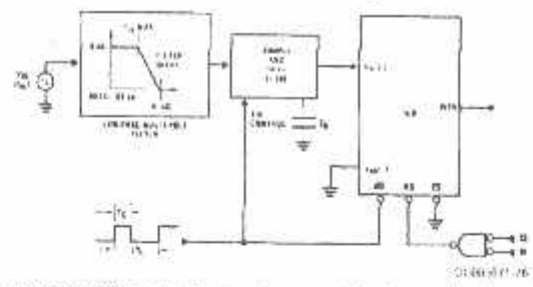


Output data is updated 1 CLK period prior to assertion of INTR

*Allows output data to set-up at falling edge of CS

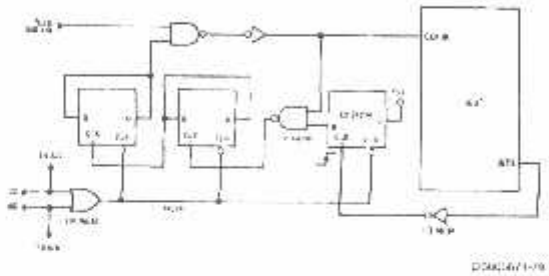
Typical Applications (Continued)

Sampling an AC Input Signal



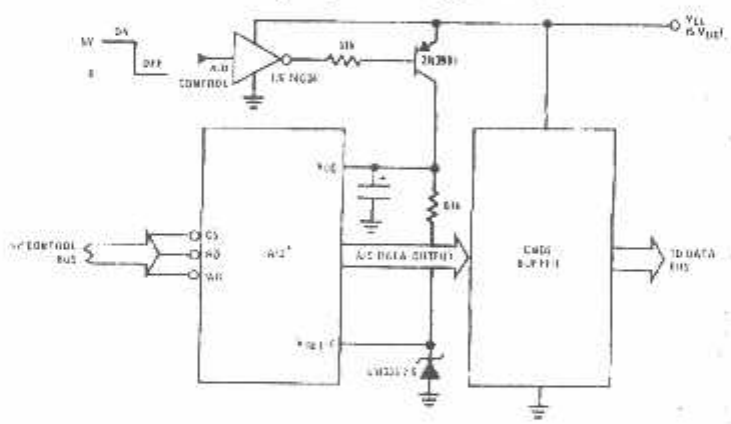
Note 11: Oversample whenever possible (keep $f_s \geq 2f(-60)$) to eliminate input frequency folding (aliasing) and to allow for the skirt response of the filter.
 Note 12: Consider the amplitude errors which are introduced within the passband of the filter.

70% Power Savings by Clock Gating



(Complete shutdown takes ~ 30 seconds.)

Power Savings by A/D and V_{REF} Shutdown



*Use ADC0801, 02, 03 or 05 for lowest power consumption.
 Note: Logic inputs can be driven to V_{DD} with A/D supply at zero volts.
 Buffer prevents data bus from overdriving output of A/D when in shutdown mode.

Functional Description

1.0 UNDERSTANDING A/D ERROR SPECS

A perfect A/D transfer characteristic (staircase waveform) is shown in Figure 1. The horizontal scale is analog input voltage and the particular points labeled are in steps of 1 LSB (19.53 mV with 2.5V tied to the $V_{REF}/2$ pin). The digital output codes that correspond to these inputs are shown as

0-1, D, and D+1. For the perfect A/D, not only will center-value (A-1, A, A+1, ...) analog inputs produce the correct output digital codes, but also each riser (the transitions between adjacent output codes) will be located $\pm 1/2$ LSB away from each center-value. As shown, the risers are ideal and have no width. Correct digital output codes will be provided for a range of analog input voltages that extend

Functional Description (Continued)

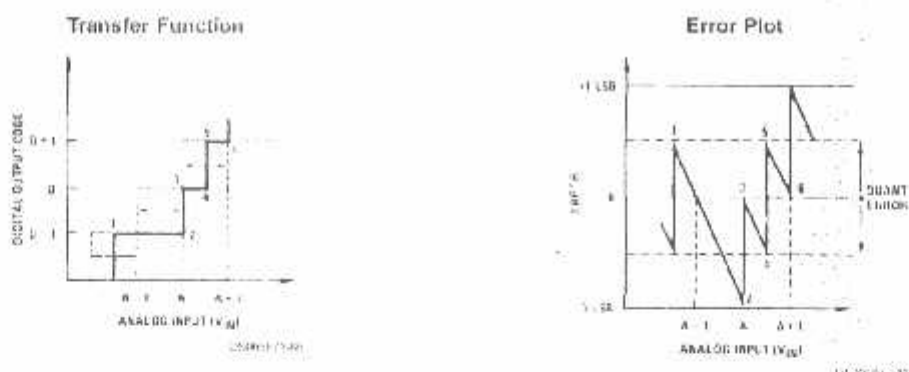


FIGURE 3. Clarifying the Error Specs of an A/D Converter
Accuracy = $\pm 1/2$ LSB

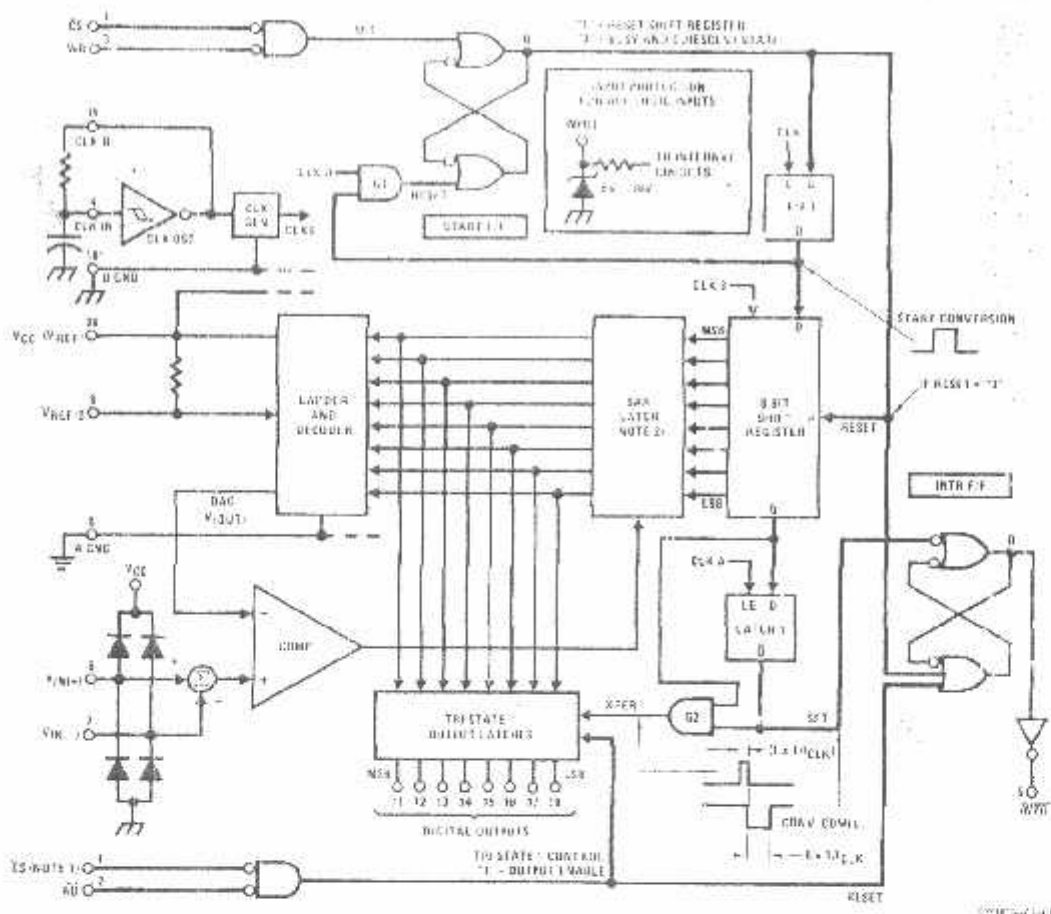
2.0 FUNCTIONAL DESCRIPTION

The ADC0801 series contains a circuit equivalent of the 256R network. Analog switches are sequenced by successive approximation logic to match the analog difference input voltage [$V_{IN(+)} - V_{IN(-)}$] to a corresponding tap on the R network. The most significant bit is tested first and after 8 comparisons (64 clock cycles) a digital 8-bit binary code (1111 1111 = full-scale) is transferred to an output latch and then an interrupt is asserted (\overline{INTR} makes a high-to-low transition). A conversion in process can be interrupted by issuing a second start command. The device may be operated in the free-running mode by connecting \overline{INTR} to the \overline{WR} input with $\overline{CS} = 0$. To ensure start-up under all possible conditions, an external \overline{WR} pulse is required during the first power-up cycle.

On the high-to-low transition of the \overline{WR} input the internal SAR latches and the shift register stages are reset. As long as the \overline{CS} input and \overline{WR} input remain low, the A/D will remain in a reset state. Conversion will start from 1 to 5 clock periods after at least one of these inputs makes a low-to-high transition.

A functional diagram of the A/D converter is shown in Figure 4. All of the package pinouts are shown and the major logic control paths are drawn in heavier weight lines.

The converter is started by having \overline{CS} and \overline{WR} simultaneously low. This sets the start flip-flop (F/F) and the resulting "1" level resets the 8-bit shift register, resets the interrupt (\overline{INTR}) F/F and inputs a "1" to the D flip, F/F1, which is at the input end of the 8-bit shift register. Internal clock signals then transfer this "1" to the Q output of F/F1. The AND gate, G1, combines this "1" output with a clock signal to provide a reset signal to the start F/F. If the set signal is no longer present (either \overline{WR} or \overline{CS} is a "1") the start F/F is reset and the 8-bit shift register then can have the "1" clocked in, which starts the conversion process. If the set signal were to still be present, this reset pulse would have no effect (both outputs of the start F/F would momentarily be at a "1" level) and the 8-bit shift register would continue to be held in the reset mode. This logic therefore allows for wide \overline{CS} and \overline{WR} signals and the converter will start after at least one of these signals returns high and the internal clocks again provide a reset signal for the start F/F.



Note 13: CS shown twice for clarity.
 Note 14: SAR = Successive Approximation Register.

FIGURE 4. Block Diagram

After the "1" is clocked through the 8-bit shift register (which completes the SAR search) it appears as the input to the D-type latch, LATCH 1. As soon as this "1" is output from the shift register, the AND-gate, G2, causes the new digital word to transfer to the TRI-STATE output latches. When LATCH 1 is subsequently enabled, the Q output makes a high-to-low transition which causes the INTR F/F to set. An inverting buffer then supplies the INTR input signal.

Note that this SET control of the INTR F/F remains low for 8 of the external clock periods (as the internal clocks run at 1/8 of the frequency of the external clock). If the data output is continuously enabled (CS and RD both hold low), the INTR output will still signal the end of conversion (by a high-to-low transition) because the SET input can control the Q output of the INTR F/F even though the RESET input is constantly at a "1" level in this operating mode. This INTR output will therefore stay low for the duration of the SET signal, which is periods of the external clock frequency (assuming the A/D not started during this interval).

When operating in the free-running or continuous conversion mode (INTR pin fixed to WR and CS wired low—see also section 2.8), the START F/F is SET by the high-to-low transition of the INTR signal. This resets the SHIFT REGISTER

which causes the input to the D-type latch, LATCH 1, to go low. As the latch enable input is still present, the Q output will go high, which then allows the INTR F/F to be RESET. This reduces the width of the resulting INTR output pulse to only a few propagation delays (approximately 300 ns).

When data is to be read, the combination of both CS and RD being low will cause the INTR F/F to be reset and the TRI-STATE output latches will be enabled to provide the 8-bit digital outputs.

2.1 Digital Control Inputs

The digital control inputs (CS, RD, and WR) meet standard TTL logic voltage levels. These signals have been renamed when compared to the standard A/D Start and Output Enable labels. In addition, these inputs are active low to allow an easy interface to microprocessor control buses. For non-microprocessor based applications, the CS input (pin 1) can be grounded and the standard A/D Start function is obtained by an active low pulse applied at the WR input (pin 3) and the Output Enable function is caused by an active low pulse at the RD input (pin 2).

Functional Description (Continued)

2.2 Analog Differential Voltage Inputs and Common-Mode Rejection

This A/D has additional applications flexibility due to the analog differential voltage input. The $V_{IN(-)}$ input (pin 7) can be used to automatically subtract a fixed voltage value from the input reading (zero correction). This is also useful in 4 mA–20 mA current loop conversion. In addition, common-mode noise can be reduced by use of the differential input.

The time interval between sampling $V_{IN(+)}$ and $V_{IN(-)}$ is 4 1/2 clock periods. The maximum error voltage due to this slight time difference between the input voltage samples is given by

$$\Delta V_e(\text{MAX}) = (V_p) (2\pi f_{cm}) \left(\frac{4.5}{f_{CLK}} \right)$$

where:

ΔV_e is the error voltage due to sampling delay

V_p is the peak value of the common-mode voltage

f_{cm} is the common-mode frequency

As an example, to keep this error to 1/4 LSB (–5 mV) when operating with a 60 Hz common-mode frequency, f_{cm} , and using a 640 kHz A/D clock, f_{CLK} , would allow a peak value of the common-mode voltage, V_p , which is given by:

$$V_p = \frac{[\Delta V_e(\text{MAX}) (f_{CLK})]}{(2\pi f_{cm}) (4.5)}$$

or

$$V_p = \frac{(5 \times 10^{-3}) (640 \times 10^3)}{(6.28) (60) (4.5)}$$

which gives

$$V_p = 1.9V$$

The allowed range of analog input voltages usually places more severe restrictions on input common-mode noise levels.

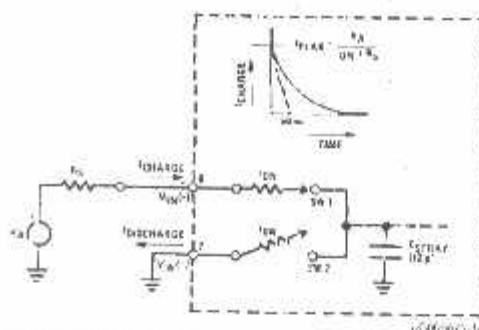
An analog input voltage with a reduced span and a relatively large zero offset can be handled easily by making use of the differential input (see section 2.4 Reference Voltage).

2.3 Analog Inputs

2.3.1 Input Current

Normal Mode

Due to the internal switching action, displacement currents will flow at the analog inputs. This is due to on-chip stray capacitance to ground as shown in Figure 5.



*ON of SW1 and SW2 = 5 ns

**ON C_STRAY = 5 kΩ x 12 pF = 60 ns

FIGURE 5. Analog Input Impedance

The voltage on this capacitance is switched and will result in currents entering the $V_{IN(+)}$ input pin and leaving the $V_{IN(-)}$ input which will depend on the analog differential input voltage levels. These current transients occur at the leading edge of the internal clocks. They rapidly decay and *do not cause errors* as the on-chip comparator is strobed at the end of the clock period.

Fault Mode

If the voltage source applied to the $V_{IN(+)}$ or $V_{IN(-)}$ pin exceeds the allowed operating range of $V_{CC} \pm 50$ mV, large input currents can flow through a parasitic diode to the V_{CC} pin. If these currents can exceed the 1 mA max. allowed spec, an external diode (1N914) should be added to bypass this current to the V_{CC} pin (with the current bypassed with this diode, the voltage at the $V_{IN(-)}$ pin can exceed the V_{CC} voltage by the forward voltage of this diode).

2.3.2 Input Bypass Capacitors

Bypass capacitors at the inputs will average these charges and cause a DC current to flow through the output resistances of the analog signal sources. This charge pumping action is worse for continuous conversions with the $V_{IN(+)}$ input voltage at full-scale. For continuous conversions with a 640 kHz clock frequency with the $V_{IN(+)}$ input at 5V, this DC current is at a maximum of approximately 5 μ A. Therefore, *bypass capacitors should not be used at the analog inputs or the $V_{REF}/2$ pin for high resistance sources (> 1 k Ω)*. If input bypass capacitors are necessary for noise filtering and high source resistance is desirable to minimize capacitor size, the detrimental effects of the voltage drop across this input resistance, which is due to the average value of the input current, can be eliminated with a full-scale adjustment while the given source resistor and input bypass capacitor are both in place. This is possible because the average value of the input current is a precise linear function of the differential input voltage.

2.3.3 Input Source Resistance

Large values of source resistance where an input bypass capacitor is not used, *will not cause errors* as the input currents settle out prior to the comparison time. If a low pass filter is required in the system, use a low valued series resistor (≤ 1 k Ω) for a passive RC section or add an op amp RC active low pass filter. For low source resistance applications, (≤ 1 k Ω), a 0.1 μ F bypass capacitor at the inputs will prevent noise pickup due to series lead inductance of a long

Functional Description (Continued)

time. A 100Ω series resistor can be used to isolate this capacitor—both the R and C are placed outside the feedback loop—from the output of an op amp, if used.

2.3.4 Noise

The leads to the analog inputs (pins 6 and 7) should be kept as short as possible to minimize input noise coupling. Both noise and undesired digital clock coupling to these inputs can cause system errors. The source resistance for these inputs should, in general, be kept below 5 kΩ. Larger values of source resistance can cause undesired system noise pickup. Input bypass capacitors, placed from the analog inputs to ground, will eliminate system noise pickup but can create analog scale errors, as these capacitors will average the transient input switching currents of the A/D (see section 2.3.1.). This scale error depends on both a large source resistance and the use of an input bypass capacitor. This error can be eliminated by doing a full-scale adjustment of the A/D (adjust $V_{REF}/2$ for a proper full-scale reading—see section 2.5.2 on Full-Scale Adjustment) with the source resistance and input bypass capacitor in place.

2.4 Reference Voltage

2.4.1 Span Adjust

For maximum applications flexibility, these A/Ds have been designed to accommodate a $5 V_{CC}$, $2.5 V_{CC}$, or an adjusted voltage reference. This has been achieved in the design of the IC as shown in Figure 6.

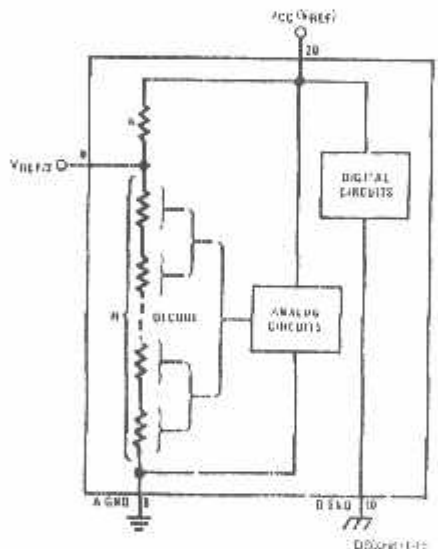


FIGURE 6. The $V_{REFERENCE}$ Design on the IC

Note that the reference voltage for the IC is either 1/2 of the voltage applied to the V_{CC} supply pin, or is equal to the voltage that is externally forced at the $V_{REF}/2$ pin. This allows for a ratiometric voltage reference using the V_{CC} supply, a $5 V_{CC}$ reference voltage can be used for the V_{CC} supply or a voltage less than $2.5 V_{CC}$ can be applied to the $V_{REF}/2$ input for increased application flexibility. The internal gain to the $V_{REF}/2$ input is 2, making the full-scale differential input voltage twice the voltage at pin 5.

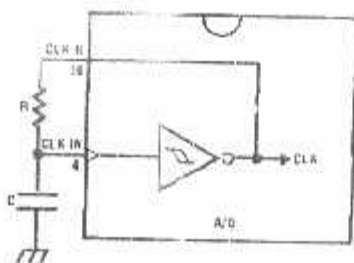
An example of the use of an adjusted reference voltage is to accommodate a reduced span—or dynamic voltage range of the analog input voltage. If the analog input voltage were to range from $0.5 V_{CC}$ to $3.5 V_{CC}$, instead of $0V$ to $5 V_{CC}$, the span would be $3V$ as shown in Figure 7. With $0.5 V_{CC}$ applied to the $V_{IN}(-)$ pin to absorb the offset, the reference voltage can be made equal to 1/2 of the $3V$ span or $1.5 V_{CC}$. The A/D now will encode the $V_{IN}(+)$ signal from $0.5V$ to $3.5 V$ with the $0.5V$ input corresponding to zero and the $3.5 V_{CC}$ input corresponding to full-scale. The full 8 bits of resolution are therefore applied over this reduced analog input voltage range.

2.4.2 Reference Accuracy Requirements

The converter can be operated in a ratiometric mode or an absolute mode. In ratiometric converter applications, the magnitude of the reference voltage is a factor in both the output of the source transducer and the output of the A/D converter and therefore cancels out in the final digital output code. The ADC0805 is specified particularly for use in ratiometric applications with no adjustments required. In absolute conversion applications, both the initial value and the temperature stability of the reference voltage are important factors in the accuracy of the A/D converter. For $V_{REF}/2$ voltages of $2.4 V_{CC}$ nominal value, initial errors of $\pm 10 mV_{CC}$ will cause conversion errors of ± 1 LSB due to the gain of 2 of the $V_{REF}/2$ input. In reduced span applications, the initial value and the stability of the $V_{REF}/2$ input voltage become even more important. For example, if the span is reduced to $2.5V$, the analog input LSB voltage value is correspondingly reduced from $20 mV$ ($5V$ span) to $10 mV$ and 1 LSB at the $V_{REF}/2$ input becomes $5 mV$. As can be seen, this reduces the allowed initial tolerance of the reference voltage and requires correspondingly less absolute change with temperature variations. Note that for spans smaller than $2.5V$ even tighter requirements on the initial accuracy and stability of the reference source.

In general, the magnitude of the reference voltage will require an initial adjustment. Errors due to an improper value of reference voltage appear as full-scale errors in the A/D transfer function. IC voltage regulators may be used for references if the ambient temperature changes are not excessive. The LM336B 2.5V $\pm 0.1\%$ reference diode (from National Semiconductor) has a temperature stability of $1.3 mV$ typ ($6 mV$ max) over $0\text{ }^{\circ}\text{C}$ to $70\text{ }^{\circ}\text{C}$. Other temperature range parts are also available.

Functional Description (Continued)



$$f_{CLK} \approx \frac{1}{1.1 RC}$$
$$R \approx 10 \text{ k}\Omega$$

FIGURE 8. Self-Clocking the A/D

Heavy capacitive or DC loading of the clock R pin should be avoided as this will disturb normal converter operation. Loads less than 50 pF, such as driving up to 7 A/D converter clock inputs from a single clock R pin of 1 converter, are allowed. For larger clock line loading, a CMOS or low power TTL buffer or PNP input logic should be used to minimize the loading on the clock R pin (do not use a standard TTL buffer).

2.7 Restart During a Conversion

If the A/D is restarted (\overline{CS} and \overline{WR} go low and return high) during a conversion, the converter is reset and a new conversion is started. The output data latch is not updated if the conversion in process is not allowed to be completed, therefore the data of the previous conversion remains in this latch. The \overline{INTR} output simply remains at the "1" level.

2.8 Continuous Conversions

For operation in the free-running mode an initializing pulse should be used, following power-up, to ensure circuit operation. In this application, the \overline{CS} input is grounded and the \overline{WR} input is tied to the \overline{INTR} output. This \overline{WR} and \overline{INTR} mode could be momentarily forced to logic low following a power-up cycle to guarantee operation.

9 Driving the Data Bus

As MOS A/D, like MOS microprocessors and memories, will require a bus driver when the total capacitance of the data bus gets large. Other circuitry, which is tied to the data bus, will add to the total capacitive loading, even in tri-state (high impedance mode). Backplane bussing greatly adds to the stray capacitance of the data bus.

There are some alternatives available to the designer to handle this problem. Basically, the capacitive loading of the data bus slows down the response time, even though DC specifications are still met. For systems operating with a relatively slow CPU clock frequency, more time is available which to establish proper logic levels on the bus and therefore higher capacitive loads can be driven (see typical characteristics curves).

Higher CPU clock frequencies time can be extended for reads (and/or writes) by inserting wait states (6680) or logic clock extending circuits (6800).

Finally, if time is short and capacitive loading is high, external drivers must be used. These can be TRI-STATE buffers

(low power Schottky such as the DM74LS240 series is recommended) or special higher drive current products which are designed as bus drivers. High current bipolar bus drivers with PNP inputs are recommended.

2.10 Power Supplies

Noise spikes on the V_{CC} supply line can cause conversion errors as the comparator will respond to this noise. A low inductance tantalum filter capacitor should be used close to the converter V_{CC} pin and values of 1 μ F or greater are recommended. If an unregulated voltage is available in the system (a separate LM340LA7-5.0, TO-92, 5V voltage regulator for the converter (and other analog circuitry) will greatly reduce digital noise on the V_{CC} supply).

2.11 Wiring and Hook-Up Precautions

Standard digital wire wrap sockets are not satisfactory for breadboarding this A/D converter. Sockets on PC boards can be used and all logic signal wires and leads should be grouped and kept as far away as possible from the analog signal leads. Exposed leads to the analog inputs can cause undesired digital noise and hum pickup, therefore shielded leads may be necessary in many applications.

A single point analog ground that is separate from the logic ground points should be used. The power supply bypass capacitor and the self-clocking capacitor (if used) should both be returned to digital ground. Any $V_{REF}/2$ bypass capacitors, analog input filter capacitors, or input signal shielding should be returned to the analog ground point. A test for proper grounding is to measure the zero error of the A/D converter. Zero errors in excess of 1/2 LSB can usually be traced to a proper board layout and wiring (see section 2.5.1 for measuring the zero error).

3.0 TESTING THE A/D CONVERTER

There are many aspects of complexity associated with testing an A/D converter. One of the simplest tests is to apply a known analog input voltage to the converter and use LEDs to display the resulting digital output code as shown in Figure 9. For ease of testing, the $V_{REF}/2$ (pin 9) should be supplied with 2.560 V_{CC} and a V_{CC} supply voltage of 5.12 V_{CC} should be used. This provides an LSB value of 20 mV.

If a full-scale adjustment is to be made, an analog input voltage of 5.090 V_{CC} (5.120 - 1/8 LSB) should be applied to the $V_{IN}(+)$ pin with the $V_{IN}(-)$ pin grounded. The value of the $V_{REF}/2$ input voltage should then be adjusted until the digital output code is just changing from 1111 1110 to 1111 1111. This value of $V_{REF}/2$ should then be used for all the tests.

The digital output LED display can be decoded by dividing the 8 bits into 2 hex characters, the 4 most significant (MS) and the 4 least significant (LS). Table 1 shows the fractional binary equivalent of these two 4-bit groups. By adding the voltages obtained from the "VMS" and "VLS" columns in Table 1, the nominal value of the digital display (when $V_{REF}/2 = 2.560V$) can be determined. For example, for an output LED display of 1011 0110 or B6 (in hex), the voltage values from the table are 3.520 + 0.120 or 3.640 $V_{REF}/2$. These voltage values represent the center-values of a perfect A/D converter. The effects of quantization error have to be accounted for in the interpretation of the test results.

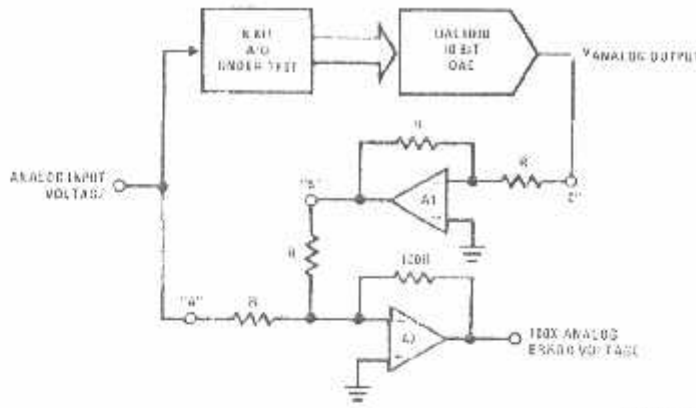


FIGURE 10. A/D Tester with Analog Error Output

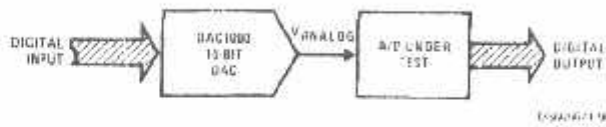


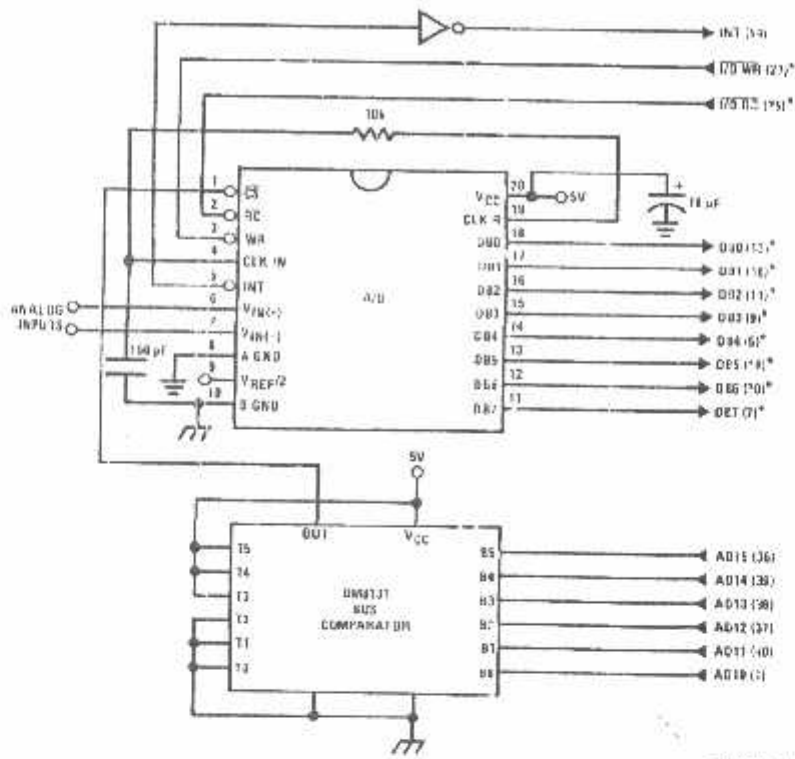
FIGURE 11. Basic "Digital" A/D Tester

TABLE 1. DECODING THE DIGITAL OUTPUT LEDS

EX	BINARY	FRACTIONAL BINARY VALUE FOR		OUTPUT VOLTAGE CENTER VALUES WITH $V_{REF2} = 2.560 V_{IC}$	
		MS GROUP	LS GROUP	VMS GROUP (Note 15)	VLS GROUP (Note 15)
1	1 1 1 1	15/16	15/256	4.800	0.300
2	1 1 1 0	7/8	7/128	4.480	0.280
3	1 1 0 1	13/16	13/256	4.160	0.260
4	1 1 0 0	3/4	3/64	3.840	0.240
5	1 0 1 1	11/16	11/256	3.520	0.220
6	1 0 1 0	5/8	5/128	3.200	0.200
7	1 0 0 1	9/16	9/256	2.880	0.180
8	1 0 0 0	1/2	1/32	2.560	0.160
9	0 1 1 1	7/16	7/256	2.240	0.140
10	0 1 1 0	3/8	3/128	1.920	0.120
11	0 1 0 1	5/16	5/256	1.600	0.100
12	0 1 0 0	1/4	1/64	1.280	0.080
13	0 0 1 1	3/16	3/256	0.960	0.060
14	0 0 1 0	1/8	1/128	0.640	0.040
15	0 0 0 1	1/16	1/256	0.320	0.020
16	0 0 0 0			0	0

Note 15: Display Output = VMS Group + VLS Group

Functional Description (Continued)



Note 16: *Pin numbers for the CP5228 system controller, others are INS8080A.

Note 17: Pin 23 of the INS8228 must be tied to +12V through a 1 kΩ resistor to generate the RST 7 instruction when an interrupt is acknowledged as required by the accompanying sample program.

FIGURE 12. ADC0801_INS8080A CPU Interface

SAMPLE PROGRAM FOR Figure 12 ADC0801-INS8080A CPU INTERFACE

```

0038  C3 00 03  RST 7:          JMP  LD DATA
      *      *
      *      *
0100  21 00 02  START:        LXI H 0200H      ;HP pair will point to
                                ;data storage locations
0103  31 00 04  RETURN:       LXI SP 0400H     ;Initialize stack pointer (Note 1)
0106  7D                MOV A, L        ;Test # of bytes entered
0107  7E 07          CPI 07H        ;If # = 16, JMP to
0109  CA 13 J1        JZ CONT        ;user program
010C  J3 EC          OUT 00H        ;Start A/D
010E  78                EI            ;Enable interrupt
010F  00                LOOP:       MCF            ;Loop until end of
0110  C3 0F 01          JMP LOOP       ;conversion
0113  *                CONT:        *
      *      *
      *      *      (User program to
      *      *      process data)
      *      *
0300  DE E0          LD DATA:    IN 00H        ;load data into accumulator
0302  77                MOV M, A        ;Store data
0303  23                INX H        ;Increment storage pointer
0304  C3 03 C1          JMP RETURN
    
```

continued

Note 18: The stack pointer must be mentioned because a RST 7 instruction pushes the PC onto the stack.

Note 19: All address used were arbitrarily chosen.

The standard control bus signals of the 8080 (\overline{CS} , \overline{RD} and \overline{WR}) can be directly wired to the digital control inputs of the A/D and the bus timing requirements are met to allow both starting the converter and outputting the data onto the data bus. A bus driver should be used for larger microprocessor systems where the data bus leaves the PC board and/or must drive capacitive loads larger than 100 pF.

4.1.1 Sample 8080A CPU Interfacing Circuitry and Program

The following sample program and associated hardware shown in Figure 12 may be used to input data from the converter to the INS8080A CPU chip set (comprised of the NS8080A microprocessor, the INS8228 system controller and the INS8224 clock generator). For simplicity, the A/D is controlled as an I/O device—specifically an 8-bit bidirectional port located at an arbitrarily chosen port address, E0. The $\overline{TRI-STATE}$ output capability of the A/D eliminates the need for a peripheral interface device, however address decoding is still required to generate the appropriate \overline{CS} for the converter.

It is important to note that in systems where the A/D converter is 1-of-8 or less I/O card/port devices, no address decoding circuitry is necessary. Each of the 8 address bits (A0 to A7) can be directly used as \overline{CS} inputs—one for each I/O device.

4.1.2 INS8048 Interface

The INS8048 interface technique with the ADC0801 series (see Figure 13) is simpler than the 8080A CPU interface. There are 26 I/O lines and three test input lines in the 8048. With these extra I/O lines available, one of the I/O lines (bit 2 of port 1) is used as the chip-select signal to the A/D, thus eliminating the use of an external address decoder. Bus control signals \overline{RD} , \overline{WR} and INT of the 8048 are tied directly to the A/D. The 16 converted data words are stored at on-chip RAM locations from 20 to 2F (Hex). The \overline{RD} and \overline{WR} signals are generated by reading from and writing into a dummy address, respectively. A sample interface program is shown below.

Functional Description (Continued)

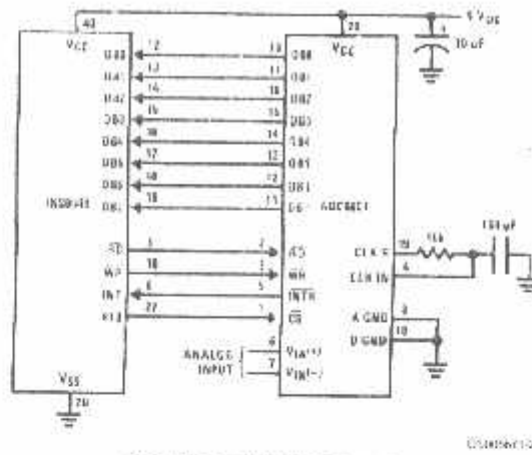


FIGURE 13. INS8048 Interface

SAMPLE PROGRAM FOR Figure 13 INS8048 INTERFACE

```

04 10          JMP      10H          ; Program starts at addr 10
              ORG      30H          ; Interrupt jump vector
04 50          JMP      50H          ; Main program
              ORG      10H
99 FE          AND      P1, #0FEH   ; Chip select
B1            MOVX     A, @R1       ; Read in the 1st data
              ; to reset the intr
89 01          START:  ORL      P1, #1   ; Set port pin high
BH 20          MOV     RC, #20H     ; Data address
B9 FE          MOV     RI, #0FEH    ; Dummy address
BA 10          MOV     R2, #10H     ; Counter for 16 bytes
23 FF          AGAIN:  MOV     A, #0FEH ; Set ACC for intr loop
99 FE          AND     P1, #0FEH    ; Send CS (bit 0 of P1)
B1            MOVX     @R1, A       ; Send WR out
05            EN          ; Enable interrupt
96 21          LOOP:   JNZ      LOOP ; Wait for interrupt
EA 1B          DJNZ   R2, AGAIN     ; If 16 bytes are read
00            NOP          ; go to user's program
00            ORG      50H
81            INDATA:  MOVX     A, @R1 ; Input data, CS still low
A0            MOV     @R0, A       ; Store in memory
18            INC     R0          ; Increment storage counter
89 01          ORL     P1, #1       ; Reset CS signal
27            CLR     A          ; Clear ACC to get out of
93            RETR          ; the interrupt loop
    
```

10201671-40

4.2 Interfacing the Z-80

The Z-80 control bus is slightly different from that of the 8080. General \overline{RD} and \overline{WR} strobes are provided and separate memory request, \overline{MREQ} , and I/O request, \overline{IORQ} , signals are used which have to be combined with the generalized strobes to provide the equivalent 8080 signals. An advantage of operating the A/D in I/O space with the Z-80 is that the CPU will automatically insert one wait state (the \overline{RD} and \overline{WR} strobes are extended one clock period) to allow more time for the I/O devices to respond. Logic to map the A/D in I/O space is shown in Figure 14.

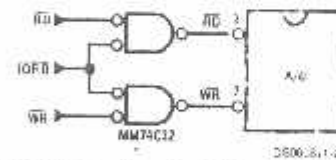


FIGURE 14. Mapping the A/D as an I/O Device for Use with the Z-80 CPU

Additional I/O advantages exist as software DMA routines are available and use can be made of the output data transfer which exists on the upper 8 address lines (A8 to

Functional Description (Continued)

SAMPLE PROGRAM FOR Figure 15 ADC0801-MC6800 CPU INTERFACE

```

0010 DF 36      DATAIN   STX      TEMP2      ; Save contents of X
0012 CE 00 2C   LDX      #$002C    ; Upon IRQ low CPU
0015 FF FF F8   STX      $FFF8      ; jumps to 002C
0018 B7 50 00   STAA     $5000      ; Start ADC0801
001B 0E        CLI
001C 3E        CONVRT   WAI          ; Wait for interrupt
001D DE 34
001F 8C 02 0F   CPX      #$020F    ; Is final data stored?
0022 27 1A     BEQ      ENDP
0024 B7 50 00   STAA     $5000      ; Restarts ADC0801
0027 0B        INX
0028 DF 34      STX      TEMP1
002A 20 F0     BRA      CONVRT
002C DE 34      INTRPT   LDX      TEMP1
002E 86 50 00   LDAA     $5000      ; Read data
0031 A7 D0      STAA     X          ; Store it at X
0033 3B
0034 02 D0      TEMP1   FDB      $0200    ; Starting address for
                                ; data storage
0036 00 D0      TEMP2   FDB      $0000
0038 CE 02 00   ENDP    LDX      #$0200    ; Reinitialize TEMP1
003B DF 34      STX      TEMP1
003D DE 36      LDX      TEMP2
003F 39        RTS          ; Return from subroutine
                                ; To user's program
    
```

006601 41

Note 22: In order for the microprocessor to service subroutines and interrupts, the stack pointer must be dimensioned in the user's program.

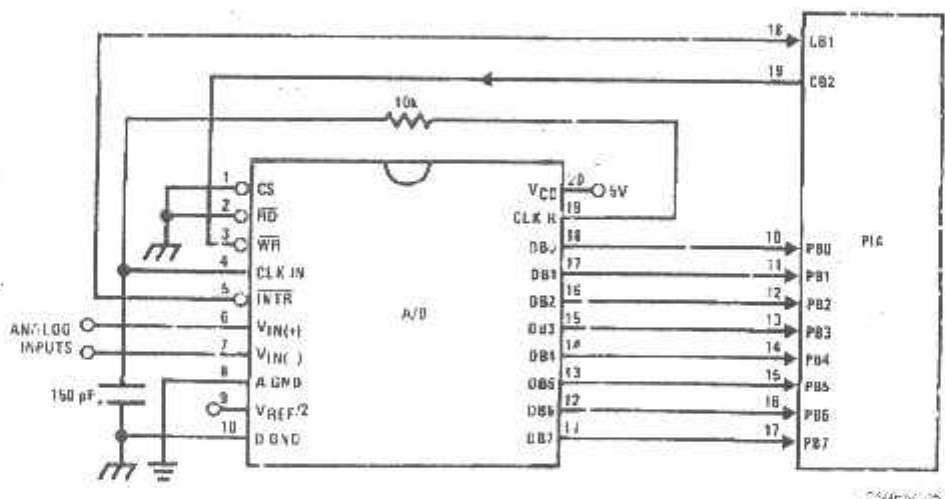


FIGURE 16. ADC0801-MC6820 PIA Interface

006601 05

SAMPLE PROGRAM FOR Figure 16 ADC0801-MC6800 PIA INTERFACE

```

0010 CE 00 38      DATAIN  LDX      #0038      ; Upon IRQ low CPU
0013 FF FF 78      STX      $FFFF      ; jumps to 0038
0018 88 80 06      LDAA     PIAORB      ; Clear possible IRQ flags
0019 4F             CLRA
001A B7 80 07      STAA     PIACRB
001D B7 80 06      STAA     PIAORB      ; Set Port B as input
0020 0E             CLI
0021 C6 34          LDAB     #34
0023 86 3D          LDAA     #3D
0025 F7 80 07      CONVRT  STAB     PIACRB      ; Starts ADC0801
0028 B7 80 07      STAA     PIACRB
002E 3E             WAI             ; Wait for interrupt
002C DE 40          LDX      TEMP1
002E 8C 02 0F      CPX      #020F      ; Is final data stored?
0031 27 0F          BEQ      ENDP
0033 08             INX
0034 DF 40          STX      TEMP1
0036 20 E0          BRA      CONVRT
0038 DE 40          INTRPT  LDX      TEMP1
003A B6 80 06      LDAA     PIAORB      ; Read data in
003D A7 00          STAA     X           ; Store it at X
003F 38             RTI
0040 02 00          TEMP1  FDB     $0200      ; Starting address for
                                ; data storage
0042 CE 02 00      ENDP    LDX      #0200      ; Reinitialize TEMP1
0045 DF 40          STX      TEMP1
0047 39             RTS             ; Return from Subroutine
                                ; To user's program
                                PIAORB  EQU     $8006
                                PIACRB  EQU     $8007
    
```

02909/1-82

The following schematic and sample subroutine (DATA IN) may be used to interface (up to) 8 ADC0801's directly to the MC6800 CPU. This scheme can easily be extended to allow the interface of more converters. In this configuration the converters are (arbitrarily) located at HEX address 5000 in the MC6800 memory space. To save components, the clock signal is derived from just one RC pair on the first converter. This output drives the other A/Ds.

All the converters are started simultaneously with a STORE instruction at HEX address 5000. Note that any other HEX address of the form 5XXX will be decoded by the circuit, pulling all the CS inputs low. This can easily be avoided by using a more definitive address decoding scheme. All the interrupts are ORed together to insure that all A/Ds have completed their conversion before the microprocessor is interrupted.

The subroutine, DATA IN, may be called from anywhere in the user's program. Once called, this routine initializes the

CPU, starts all the converters simultaneously and waits for the interrupt signal. Upon receiving the interrupt, it reads the converters (from HEX addresses 5000 through 5007) and stores the data successively at (arbitrarily chosen) HEX addresses 0200 to 0207, before returning to the user's program. All CPU registers then recover the original data they had before servicing DATA IN.

5.2 Auto-Zeroed Differential Transducer Amplifier and A/D Converter

The differential inputs of the ADC0801 series eliminate the need to perform a differential to single-ended conversion for a differential transducer. Thus, one op amp can be eliminated since the differential to single-ended conversion is provided by the differential input of the ADC0801 series. In general, a transducer preamp is required to take advantage of the full A/D converter input dynamic range.

SAMPLE PROGRAM FOR Figure 17 INTERFACING MULTIPLE A/D's IN AN MC6800 SYSTEM

ADDRESS	HEX CODE		MNEMONICS		COMMENTS
0010	07 44	DATIN	STX	TEMP	; Save Contents of X
0012	0E 00 0A		LDX	#0002A	; Upon IRQ LOW CPU
0015	13 FF Y8		STX	\$FFFF	; Jumps to 002A
0018	B7 50 00		STAA	\$5000	; Starts all A/D's
001B	0E		CLI		
001C	3E		WAI		; Wait for interrupt
001D	0E 50 00		LDX	#5000	
0020	D7 40		STX	INDEX1	; Reset both INDEX
0022	0K 02 00		LDX	#0200	; 1 and 2 to starting
0025	D7 42		STX	INDEX2	; addresses
0027	DE 44		LDX	TEMP	
0029	39		RTS		; Return from subroutine
002A	DE 40	INTRPT	LDX	INDEX1	; INDEX1 → X
002C	A6 00		LDAA	X	; Read data in from A/D at X
002E	0B		INX		; Increment X by one
002F	DF 43		STX	INDEX1	; X → INDEX1
0031	DE 44		LDX	INDEX2	; INDEX2 → X

SAMPLE PROGRAM FOR Figure 17 INTERFACING MULTIPLE A/D's IN AN MC6800 SYSTEM

ADDRESS	HEX CODE		MNEMONICS		COMMENTS
0033	A7 00		STAA	X	; Store data at X
0035	8C 02 07		CFX	#0207	; Have all A/D's been read?
0038	27 05		BEQ	RETURN	; Yes: branch to RETURN
003A	08		INX		; No: increment X by one
003B	D7 42		STX	INDEX2	; X → INDEX2
003D	2C EB		BRA	INTRPT	; Branch to 002A
003F	34	RETURN	RTI		
0040	50 00	INDEX1	FDB	\$5000	; Starting address for A/D
0042	02 00	INDEX2	FDB	\$0200	; Starting address for data storage
0044	00 00	TEMP	FDB	\$0000	

Table 25: In order for the microprocessor to receive valid data and interrupts, the data input error rate demonstrated in the above program.

For amplification of DC input signals, a major system error is the input offset voltage of the amplifiers used for the preamp. Figure 18 is a gain of 100 differential preamp whose offset voltage errors will be cancelled by a zeroing subroutine which is performed by the INS8080A microprocessor system. The total allowable input offset voltage error for this preamp is only 50 μV for 1/4 LSB error. This would obviously require very precise amplifiers. The expression for the differential output voltage of the preamp is:

$$V_Q = \underbrace{V_{IN}(+) - V_{IN}(-)}_{\text{SIGNAL}} \left(1 + \frac{2R_2}{R_1} \right) + \underbrace{(V_{OS2} - V_{OS1} - V_{OS3} \pm I_X R_X)}_{\text{DC ERROR TERM}} \left(1 + \frac{2R_2}{R_1} \right)$$

where I_X is the current through resistor R_X . All of the offset error terms can be canceled by making $I_X R_X = V_{OS2} + V_{OS1} - V_{OS3}$. This is the principle of this auto-zeroing scheme.

The INS8080A uses the 3 I/O ports of an INS0255 Programmable Peripheral Interface (PPI) to control the auto-zeroing and input data from the ADC0801 as shown in Figure 19. The PPI is programmed for basic I/O operation (mode 0) with Port A being an input port and Ports B and C being output ports. Two bits of Port C are used to alternately open or close two switches at the input of the preamp. Switch SW1 is closed to force the preamp's differential input to be zero during the zeroing subroutine and then opened and SW2 is then closed for conversion of the actual differential input signal. Using 2 switches in this manner eliminates concern for the ON resistance of the switches as they must conduct only the input bias current of the input amplifiers.

Output Port B is used as a successive approximation register by the 8080 and the binary scaled resistors in series with each output bit create a D/A converter. During the zeroing subroutine, the voltage at V_x increases or decreases as required to make the differential output voltage equal to zero. This is accomplished by ensuring that the voltage at the output of A1 is approximately 2.5V so that a logic "1" (5V) on

Functional Description (Continued)

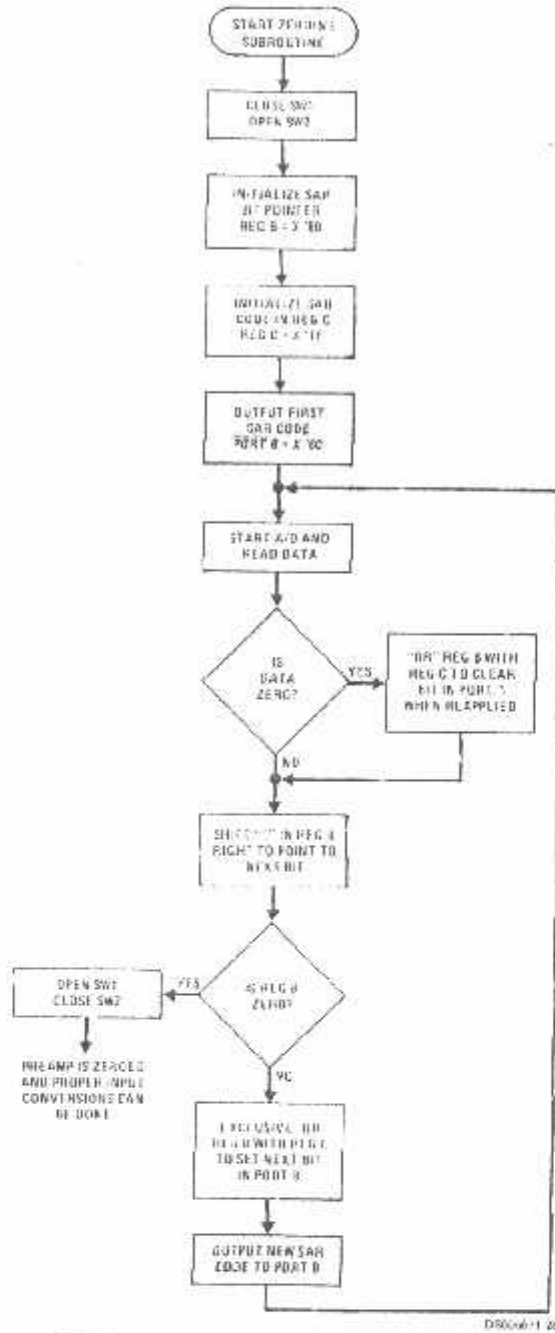


FIGURE 20. Flow Chart for Auto-Zero Routine

Functional Description (Continued)

HEX PORT ADDRESS	PERIPHERAL
00	MM74C374 8-bit flip-flop
01	A/D 1
02	A/D 2
03	A/D 3

HEX PORT ADDRESS	PERIPHERAL
04	A/D 4
05	A/D 5
06	A/D 6
07	A/D 7

This port address (04) serves as the A/D identifying word in the program.

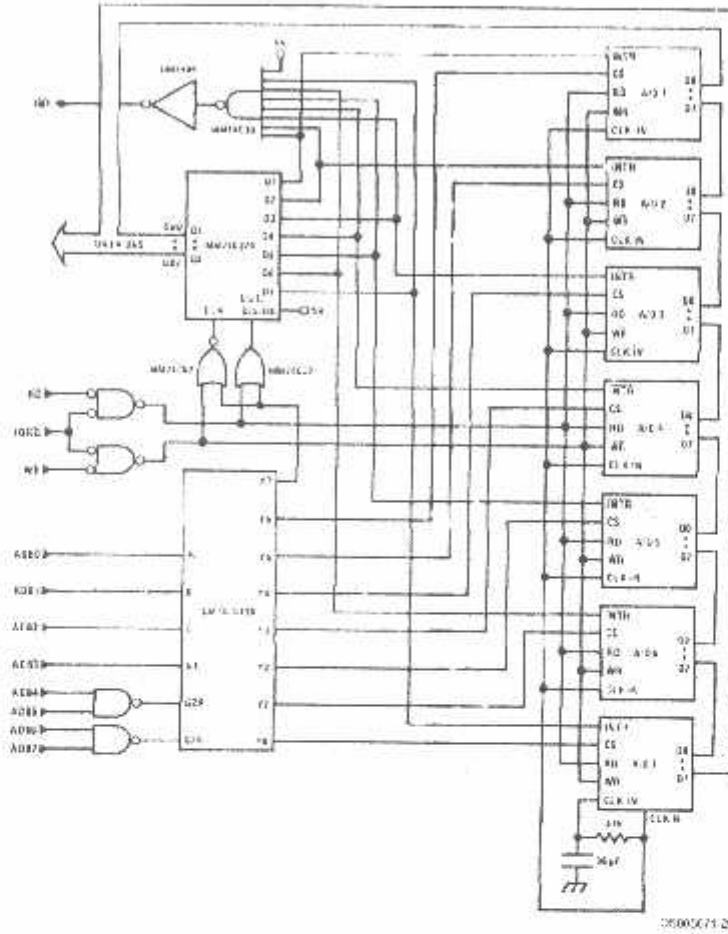


FIGURE 22. Multiple A/Ds with Z-80 Type Microprocessor