

SKRIPSI

**PERENCANAAN DAN PEMBUATAN KAPASITOR BANK
BERBASISKAN MIKROKONTROLER AT89S51 UNTUK
OPTIMASI DAYA**



**Disusun oleh :
NURUL HUDA
NIM : 03.17.023**

**JURUSAN TEKNIK ELEKTRO S-1
KONSENTRASI TEKNIK ELEKTRONIKA
FAKULTAS TEKNOLOGI INDUSTRI
INSTITUT TEKNOLOGI NASIONAL MALANG
SEPTEMBER 2007**

199112

REKORSAH KEMENTERIAN KEHUTAN DAN PERUMAHAN
REKORSAH KEMENTERIAN KEHUTAN DAN PERUMAHAN
REKORSAH KEMENTERIAN KEHUTAN DAN PERUMAHAN



: foto makro
AGUS LUSUM
2007.11.08 : 000

REKORSAH KEMENTERIAN KEHUTAN DAN PERUMAHAN
REKORSAH KEMENTERIAN KEHUTAN DAN PERUMAHAN
REKORSAH KEMENTERIAN KEHUTAN DAN PERUMAHAN
REKORSAH KEMENTERIAN KEHUTAN DAN PERUMAHAN
REKORSAH KEMENTERIAN KEHUTAN DAN PERUMAHAN

LEMBAR PERSETUJUAN

**PERENCANAAN DAN PEMBUATAN KAPASITOR BANK
BERBASISKAN MIKROKONTROLER AT89S51
UNTUK OPTIMASI DAYA**

SKRIPSI

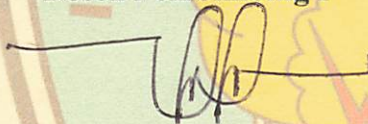
*Disusun dan Diajukan Sebagai Salah Satu Syarat Untuk Memperoleh
Gelar Sarjana Teknik Elektronika Strata Satu (S-1)*

Disusun Oleh :

**NURUL HUDA
NIM : 03.17.023**

Diperiksa dan Disetujui

Dosen Pembimbing I



Ir. M. Abdul Hamid, MT
NIP.Y 1018800188

Dosen Pembimbing II



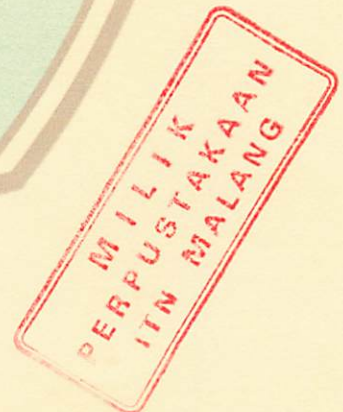
I Komang Somawirata, ST, MT
NIP. P.1030100361

Mengetahui



Ketua Jurusan Teknik Elektro S-1

Ir. F. Yudi Limpraptono, MT
NIP.Y 1039500274



**JURUSAN TEKNIK ELEKTRO S-1
KONSENTRASI TEKNIK ELEKTRONIKA
FAKULTAS TEKNOLOGI INDUSTRI
INSTITUT TEKNOLOGI NASIONAL MALANG**

2007



INSTITUT TEKNOLOGI NASIONAL
FAKULTAS TEKNOLOGI INDUSTRI
JURUSAN TEKNIK ELEKTRO S-1
KONSENTRASI TEKNIK ELEKTRONIKA

**BERITA ACARA UJIAN SKRIPSI
FAKULTAS TEKNOLOGI INDUSTRI**

Nama : Nurul Huda
NIM : 03.17.023
Jurusan : Teknik Elektro S-1
Konsentrasi : Teknik Elektronika
Judul Skripsi : **Perencanaan dan Pembuatan Kapasitor Bank Berbasiskan Mikrokontroler AT89S51 Untuk Optimasi Daya**

Dipertahankan di hadapan majelis penguji Skripsi jenjang Strata satu (S-1) pada :

Hari : Kamis
Tanggal : 6 September 2007
Dengan Nilai : 86 (A)



Ketua Majelis Penguji

(Ir. Mochtar Asroni, MSME)
NIP. Y.1018100036

Sekretaris Majelis Penguji

(Ir. F. Yudi Limpraptono, MT)
NIP. Y.1039500274

Penguji I

(Dr. Cahyo Crysdian, Msc)
NIP. 1030400412

Penguji II

M. Ashar, ST. MT
NIP.P. 1030500408

ABSTRAK

PERENCANAAN DAN PEMBUATAN KAPASITOR BANK BERBASISKAN MIKROKONTROLER AT89S51 UNTUK OPTIMASI DAYA

(Nurul Huda, 0317023, Teknik Elektro/Teknik Elektronika S-1, 78 halaman)
(Dosen Pembimbing : Ir. M. Abdul Hamid, MT., I Komang Somawirata ST, MT)

Kata kunci : Faktor daya, optimasi daya, kapasitor bank

Untuk peralatan listrik rumah tangga di Indonesia kebanyakan merupakan komponen dengan beban induktif seperti misalnya blender, mixer, pompa air dan juga lampu neon yang masih menggunakan *ballast* konvensional. Peralatan dengan beban induktif akan menurunkan kualitas daya yang disalurkan yaitu akan menurunkan faktor daya atau $\cos \phi$. Semakin turun kualitas faktor daya maka akan semakin besar rugi daya dan semakin turun kapasitas sistem daya yang terpasang pada pelanggan PLN.

Daya yang terpasang pada pelanggan PLN bisa dioptimalkan dengan cara mengurangi rugi daya yang diakibatkan beban induktif dengan cara memasang kapasitor secara paralel terhadap jaringan instalasi listrik. Kapasitor akan mensuplai arus yang dibutuhkan oleh beban induktif sehingga beban induktif tidak mengambil secara langsung kebutuhan arus dari jala-jala listrik PLN.

Perencanaan dan pembuatan kapasitor bank ini diharapkan akan dapat memberikan keuntungan bagi semua pihak baik pihak penyedia energi listrik dalam hal ini adalah pihak PLN maupun bagi pelanggan PLN. Keuntungan bagi pihak PLN adalah daya yang disediakan oleh pihak PLN adalah daya yang benar-benar dipakai oleh pelanggan sehingga akan bisa mengurangi pemborosan energi listrik. Sedangkan keuntungan bagi pihak pelanggan adalah tingginya efisiensi daya yang dipakai sehingga dapat mengoptimalkan daya yang terpasang.

KATA PENGANTAR

Dengan mengucapkan syukur kehadirat Allah SWT yang dengan segala Rahmat dan Hidayah-Nya telah memberikan kekuatan lahir dan batin, ketabahan, bimbingan dan perlindungan-Nya bagi penulis untuk menyelesaikan skripsi dengan judul **“Perencanaan dan Pembuatan Kapasitor Bank Berbasiskan Mikrokontroler AT89S51 Untuk Optimasi Daya”**. Dengan tanpa izin dari-Mu penulis tidak akan mungkin dapat menyelesaikan penulisan skripsi ini.

Adapun skripsi ini disusun dengan maksud untuk memenuhi salah satu syarat guna memperoleh gelar Sarjana Teknik. Dalam penyusunan skripsi ini penulis banyak mendapat bantuan baik moril maupun materiil, saran, dorongan semangat dari berbagai pihak, untuk itu penulis mengucapkan terima kasih kepada:

1. Allah SWT, yang mana telah memberikan kekuatan lahir dan batin dan bimbingan kepada penulis dalam menyelesaikan skripsi ini.
2. Bapak Prof. Dr. Ir. Abraham Lomi ,MSEE selaku Rektor ITN Malang.
3. Bapak Ir. Mochtar Asroni, MSME selaku Dekan Fakultas Teknologi Industri ITN Malang.
4. Bapak Ir. F.Yudi Limpraptono, MT selaku Ketua Jurusan Teknik Elektro S-1 ITN Malang.
5. Bapak Ir. Abdul Hamid, MT selaku Dosen Pembimbing I.
6. Bapak I Komang Somawirata, ST, MT selaku dosen Pembimbing II.
7. Rekan-rekan mahasiswa yang telah memberikan banyak saran dan dorongan semangat bagi penulis.

8. Saudara-saudaraku di Bendungan Nawangan 13 yang telah memberikan motivasi serta persahabatannya.
9. Semua pihak yang telah membantu penulis dalam menyelesaikan skripsi ini yang tidak bisa penulis sebutkan satu-persatu.

Penyusun menyadari bahwa dalam penulisan skripsi ini masih sangat jauh dari sempurna, untuk itu penulis mengharapkan kritik dan juga saran yang membangun. Akhirnya semoga skripsi ini bisa memberikan banyak manfaat bagi penulis khususnya dan bagi pembaca pada umumnya.

Malang, September 2007

Penulis

SEMUA YANG KULAKUKAN KUPERSEMBAHKAN

Untuk Kekasih sejatiku, yang semenjak aku bernafas di muka bumi hingga saat aku menulis tulisan ini selalu dengan penuh kasih sayang dan dengan begitu sabarnya menemani, membimbing dan memberikan apa yang aku butuhkan. Dan semoga Engkau akan terus menemani dan membimbingku hingga tiba ajalku dan menjemputku dengan kasih sayang-Mu.

Untuk kedua orang tuaku yang semenjak aku dilahirkan telah memberikan pengorbanan yang teramat banyak yang tidak mungkin untuk disebutkan satu persatu dan juga telah memberikan kasih sayang yang tak ternilai harganya. Ya Allah, berilah aku izin untuk tidak mengecewakan keduanya dan berilah aku kesempatan untuk membalas jasa keduanya semampu yang aku bisa.

Untuk saudara-saudaraku, Mbak Endang, Mbak Enik, Mbak Elin maafkan jika selama ini aku menjadi adik yang mbandel dan susah diatur. Juga untuk adik-adikku Evit dan Vita, semakin bertambah umur harus semakin dewasa dan jangan pernah menyerah untuk meraih cita-cita.

Untuk Bapak-bapak pejabat di Klasman (Pak Muksin, Pak Parno, Pak Yuyud, Pak Muaz, Pakde Bakri, Pak Darsono) yang telah memberikan kesempatan untukku untuk belajar menjadi seseorang. Mohon maaf jika selama ini saya masih belum bisa sepenuhnya menjadi seseorang.

Untuk sahabat-sahabatku di Grimansa (Griya nginggil: Rudi, Iskandar, Widya, Pengky, Muklison, Haikal, Sigit, Adin, Akong. Griya ngandap: Yuli, Feri, David, Furqon, Arif, Mungkas, Rhoy, Eki, Biyas, Maul, Samsul, Ian, Ucil, Agus, Dheta, Iyus) yang telah memberikan persahabatan, dukungan dan kepercayaan. Juga untuk canda tawa dan kebersamaan yang telah diberikan untukku, mohon maaf jika selama ini aku menjadi Ka.Sub yang egois tapi kuharap kalian masih percaya bahwa semua yang kulakukan selama ini adalah untuk Griya-Kita.

Untuk Sedulurku di Sub Fatahillah, Sub Bunga, Sub Salsabilla, Sub Khurin'in, Sub Generus dan semua warga Klasman yang telah menerima kehadiranku di tengah-tengah kalian dengan penuh kehangatan dan rasa persaudaraan. Jika kita memang harus berpisah di dunia ini, semoga nanti kita bisa bertemu dan berkumpul bersama di sisi-Nya untuk menikmati rahmat-Nya.

DAFTAR ISI

LEMBAR PERSETUJUAN	i
ABSTRAKSI	ii
KATA PENGANTAR	iii
DAFTAR ISI	v
DAFTAR GAMBAR	viii
DAFTAR TABEL	x
BAB I PENDAHULUAN	
1.1. Pendahuluan.....	1
1.2. Rumusan Masalah.....	2
1.3. Batasan Masalah	3
1.4. Tujuan	3
1.5. Metodologi Penulisan	4
1.6. Sistematika Penulisan	4
BAB II LANDASAN TEORI	
2.1. Beban Listrik.....	6
2.1.1. Beban Resistif	6
2.1.2. Beban Induktif	7
2.1.3. Beban Kapasitif.....	8
2.2. Daya Listrik	9
2.2.1. Daya Nyata.....	9
2.2.2. Daya Reaktif	9
2.2.3. Daya Semu	10
2.3. Daya Reaktif dan Faktor Daya.....	10
2.4. Kapasitor Daya.....	11
2.4.1. Kapasitor Shunt.....	12
2.4.2. Pemasangan Kapasitor Shunt.....	12
2.5. Perbaikan Faktor Daya dan Kapasitas Sistem	13
2.6. Analog to Digital Converter (ADC)	14

2.6.1. Clock Internal.....	18
2.6.2. Free Running ADC	18
2.7. Mikrokontroler AT89S51	19
2.7.1. Penjelasan Fungsi Pin AT89S51.....	21
2.7.2. Organisasi Memori Mikrokontroler AT89S51	23
2.7.3. Reset.....	25
2.7.4. Pewaktuan.....	26
2.7.5. Komunikasi Data Serial.....	26
2.7.6. Pengaturan Baud Rate pada Port Serial	27
2.7.7. Register Fungsi Khusus	27
2.7.8. Interupt.....	30
2.8. Relay	31
2.9. Transistor	33
2.9.1. Asas Kerja Transistor.....	33
2.9.2. Cut Off.....	35
2.9.3. Saturasi.....	35
2.9.4. Aktif.....	36
2.10. Operasional Amplifier	36
2.10.1. Penguat Tak Membalik.....	38
2.10.2. Penguat Membalik.....	39
2.10.3. Voltage Follower Amplifier.....	40

BAB III PERENCANAAN DAN PEMBUATAN

3.1. Pendahuluan.....	41
3.2. Blok Diagram Perangkat Keras	41
3.2.1. Prinsip Kerja Tiap Blok Diagram	42
3.2.2. Prinsip Kerja Keseluruhan	43
3.3. Perencanaan Perangkat Keras (Hardware).....	44
3.3.1. Sensor Arus.....	44
3.3.2. Penguat Differensial.....	45
3.3.3. Penguat Inverting	46
3.3.4. Penyearah.....	47
3.3.5. Buffer	48

3.3.6. Analog to Digital Converter.....	49
3.3.6.1. Tegangan Referensi	50
3.3.6.2. Clock ADC.....	51
3.3.7. Perancangan Minimum Sistem AT89S51.....	52
3.3.7.1. Clock.....	53
3.3.7.2. Reset.....	54
3.3.7.3. Pembagian Port.....	55
3.3.8. Perencanaan Driver Relay.....	55
3.3.9. Kapasitor Bank.....	57
3.4. Perancangan Perangkat Lunak.....	57

BAB IV. PENGUJIAN ALAT

4.1. Pengujian Penguat Differensial.....	60
4.1.1. Tujuan	60
4.1.2. Peralatan yang Digunakan	61
4.1.3. Prosedur Pengujian	61
4.1.4. Hasil Pengujian.....	61
4.2. Pengujian Penguat Inverting.....	63
4.2.1. Tujuan	63
4.2.2. Peralatan yang Digunakan	63
4.2.3. Prosedur Pengujian	63
4.2.4. Hasil Pengujian.....	64
4.3. Pengujian Sensor Arus.....	65
4.3.1. Tujuan	65
4.3.2. Peralatan yang Digunakan	65
4.3.3. Prosedur Pengujian	66
4.3.4. Hasil Pengujian.....	66
4.4. Pengujian Rectifier.....	67
4.4.1. Tujuan	67
4.4.2. Peralatan yang Digunakan	67
4.4.3. Prosedur Pengujian	67
4.4.4. Hasil Pengujian.....	68
4.5. Pengujian Rangkaian ADC (Analog to Digital Converter).....	69

4.5.1. Tujuan	69
4.5.2. Peralatan yang Digunakan	69
4.5.3. Prosedur Pengujian	69
4.5.4. Hasil Pengujian	70
4.6. Pengujian Driver	71
4.6.1. Tujuan	71
4.6.2. Peralatan yang Digunakan	71
4.6.3. Prosedur Pengujian	72
4.6.4. Hasil Pengujian	72
4.7. Pengujian Alat Keseluruhan	73
4.7.1. Tujuan	73
4.7.2. Peralatan yang Digunakan	73
4.7.3. Prosedur Pengujian	73
4.7.4. Hasil Pengujian	74
4.7.4.1. Pemasangan Kapasitor Bank Secara Manual.....	74
4.7.4.2. Pemasangan Kapasitor Bank Secara Otomatis	75

BAB V PENUTUP

5.1. Kesimpulan	77
5.2. Saran	78

DAFTAR PUSTAKA

LAMPIRAN

DAFTAR GAMBAR

Gambar 2.1. Hubungan Arus dan Tegangan pada Beban Resistif.....	6
Gambar 2.2. Vektor Hubungan Arus dan Tegangan pada Beban Resistif.....	6
Gambar 2.3. Hubungan Arus dan Tegangan pada Beban Induktif.....	7
Gambar 2.4. Vektor Hubungan Arus dan Tegangan pada Beban Induktif.....	7
Gambar 2.5. Hubungan Arus dan Tegangan pada Beban Kapasitif.....	8
Gambar 2.6. Vektor Hubungan Arus dan Tegangan pada Beban Kapasitif.....	9
Gambar 2.7. Segitiga Daya.....	10
Gambar 2.8. Segitiga Daya Arus.....	11
Gambar 2.9. Pemasangan Kapasitor Paralel.....	13
Gambar 2.10. Perbaikan Faktor Daya dan Peningkatan Kapasitas Sistem.....	14
Gambar 2.11. Blok Diagram ADC 0804.....	15
Gambar 2.12. Konfigurasi Pin ADC 0804.....	15
Gambar 2.13. Clock Internal ADC 0804.....	18
Gambar 2.14. Free Running ADC.....	19
Gambar 2.15. Blok Diagram AT89S51.....	21
Gambar 2.16. Konfigurasi Pin AT89S51.....	22
Gambar 2.17. RAM AT89S51.....	24
Gambar 2.18. Special Function Register AT89S51.....	25
Gambar 2.19. Rangkaian Power On Reset.....	26
Gambar 2.20. Rangkaian Pewaktu dengan Osilator Internal.....	26
Gambar 2.21. Sebuah Relay Praktis.....	32
Gambar 2.22. Simbol Relay.....	32
Gambar 2.23. Transistor Sebagai Saklar.....	34
Gambar 2.24. Garis Beban DC dan Titik Kerja Sebuah Transistor Bipolar.....	34
Gambar 2.25. Transistor Sebagai Saklar Terbuka.....	35
Gambar 2.26. Transistor Sebagai Saklar Tertutup.....	36
Gambar 2.27. Simbol Op-Amp.....	37
Gambar 2.28. Penguat Non Inverting.....	38
Gambar 2.29. Penguat Inverting.....	39
Gambar 2.30. Voltage Follower Amplifier.....	40

Gambar 3.1. Blok Diagram Perangkat Keras.....	41
Gambar 3.2. Sensor Arus	44
Gambar 3.3. Penguat Differensial.....	45
Gambar 3.4. Penguat Inverting	46
Gambar 3.5. Rangkaian Rectifier Menggunakan Op Amp.....	47
Gambar 3.6. Rangkaian Buffer	48
Gambar 3.7. Rangkaian ADC 0804	49
Gambar 3.8. Rangkaian Pembagi Tegangan.....	50
Gambar 3.9. Rangkaian Clock ADC 0804.....	51
Gambar 3.10. Rangkaian Mikrokontroler.....	53
Gambar 3.11. Rangkaian Clock.....	54
Gambar 3.12. Rangkaian Reset.....	55
Gambar 3.13. Rangkaian Driver Kapasitor Bank.....	56
Gambar 3.14. Kapasitor Bank.....	57
Gambar 3.15. Flowchart Perangkat Lunak	58
Gambar 4.1. Pengujian Rangkaian Penguat Differensial.....	61
Gambar 4.2. Pengujian Rangkaian Penguat Inverting	63
Gambar 4.3. Rangkaian Pengujian Sensor Arus	65
Gambar 4.4. Rangkaian Pengujian Penyearah.....	67
Gambar 4.5. Rangkaian Pengujian ADC 0804	69
Gambar 4.6. Rangkaian Pengujian Driver Transistor.....	72
Gambar 4.7. Rangkaian Pengujian Secara Manual.....	74

DAFTAR TABEL

Tabel 2.1. Baud Rate Mode Serial.....	27
Tabel 2.2. Nama dan Alamat Register Fungsi Khusus	28
Tabel 4.1. Hasil Pengujian Serta Perhitungan Penguat Differensial	62
Tabel 4.2. Hasil Pengujian Serta Perhitungan Penguat Inverting.....	64
Tabel 4.3. Hasil Pengujian Sensor Arus	66
Tabel 4.4. Hasil Pengujian Rectifier.....	68
Tabel 4.5. Hasil Pengujian ADC 0804.....	70
Tabel 4.6. Hasil Pengujian Rangkaian Driver	72
Tabel 4.7. Hasil Pengujian Pemasangan Kapasitor Bank Secara Manual	74
Tabel 4.8. Besarnya Daya pada Jaringan Instalasi Listrik.....	75
Tabel 4.9. Jumlah Kapasitor Bank Yang Perlu Dipasang Pada Jaringan Listrik.	75
Tabel 4.10. Hasil Pengujian Alat.....	76

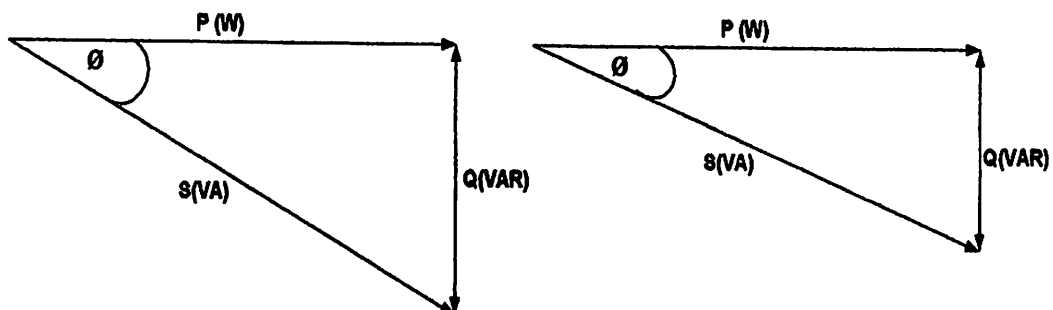
BAB I

PENDAHULUAN

1.1. Latar Belakang

Untuk peralatan rumah tangga di Indonesia kebanyakan merupakan komponen dengan beban induktif seperti misalnya blender, mixer, pompa air dan juga lampu neon yang masih menggunakan ballast konvensional. Seperti telah diketahui bahwa peralatan dengan beban induktif akan menurunkan kualitas daya yang disalurkan yaitu akan menurunkan faktor daya atau yang biasa lebih dikenal dengan istilah $\cos \phi$.

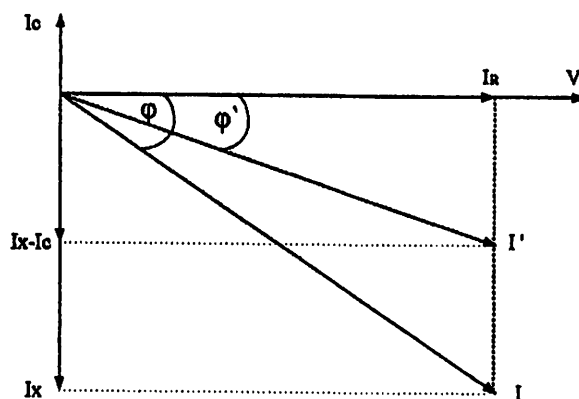
Ada tiga macam daya yang dikenal dalam sistem distribusi energi listrik yaitu daya aktif/nyata, daya reaktif dan daya semu. Adapun daya aktif adalah daya yang dipakai oleh komponen pasif resistor dan merupakan daya yang benar-benar terpakai atau terserap oleh suatu peralatan. Sedangkan daya reaktif adalah daya yang muncul dari komponen pasif selain resistor yang merupakan daya rugi-rugi atau daya yang tidak diinginkan. Dan untuk daya semu adalah daya yang sebenarnya disuplai oleh pihak PLN dan merupakan resultan antara daya aktif dan daya reaktif.



Gambar 1.1. Optimasi Daya Dengan Memperkecil Daya Semu

Gambar di atas adalah cara optimasi daya dengan cara memperkecil daya semu dan mengusahakan agar besar daya semu bisa mendekati besarnya daya nyata. Dan dari gambar di atas juga bisa dilihat bahwa pada dasarnya untuk memperkecil daya semu adalah dengan cara memperkecil besarnya $\cos \phi$.

Untuk memperkecil rugi daya akibat pembebanan yang bersifat induktif, maka pada saluran distribusi listrik perlu dipasang kapasitor untuk mengkompensasi daya reaktif yang ditimbulkan oleh beban induktif. Adapun arah vektor arus beban kapasitif berlawanan arah dari vektor arus beban.



Gambar 1.2. Arah Vektor Arus Beban Induktif dan Beban Kapasitif

Dengan pemasangan kapasitor bank di rumah maka diharapkan akan dapat memperbaiki faktor daya terpasang pada rumah tersebut. Pemasangan kapasitor bank akan membuat besarnya daya semu mendekati daya nyatanya dan juga akan bisa mengoptimalkan besarnya daya yang terpasang pada rumah tersebut sehingga akan lebih banyak peralatan listrik yang bisa dioperasikan pada saat yang bersamaan.

1.2. Rumusan Masalah

Dalam perancangan dan pembuatan alat ini dapat dirumuskan beberapa masalah sebagai berikut :

1. Bagaimana cara mengetahui besar arus yang mengalir dalam jaringan listrik dan mengubahnya dalam bentuk tegangan.
2. Bagaimana mengubah tegangan ac dari sensor arus menjadi tegangan dc sehingga bisa dibaca oleh ADC.
3. Bagaimana memasang dan memutus kapasitor bank agar diperoleh faktor daya yang paling optimum.

1.3. Batasan Masalah

Mengacu pada alat yang akan dibuat dan agar permasalahan tidak terlalu melebar, maka dalam perancangan dan pembuatan alat ini permasalahan yang akan dibahas dibatasi pada :

1. Kemampuan daya maksimum jaringan listrik adalah 450 VA atau arus sebesar 2 A.
2. Kualitas dari faktor daya hanya dideteksi melalui besarnya arus saja dan tidak melalui beda fasa antara arus dan tegangan.
3. Tidak membahas teori-teori pembuatan kapasitor.
4. Tidak membahas mengenai rangkaian catu daya.

1.4. Tujuan

Adapun tujuan dari perancangan dan pembuatan alat ini adalah untuk merancang suatu sistem yang akan bisa mendeteksi besarnya arus yang dipakai oleh suatu rumah tangga. Hal ini berarti alat akan mendeteksi apabila ada suatu peralatan listrik yang dioperasikan. Selanjutnya alat ini akan mencoba memasang kapasitor secara paralel dengan jaringan listrik dengan tujuan untuk meminimalisasi daya reaktif yang dihasilkan. Dengan demikian akan diperoleh optimasi daya yang paling baik sehingga hal ini juga akan menguntungkan pelanggan listrik pada suatu rumah tangga.

1.5. Metodologi

Adapun metodologi yang digunakan dalam penyusunan laporan skripsi ini adalah sebagai berikut :

➤ Study Literature

Tujuan *study literature* adalah melakukan studi kepustakaan untuk memperoleh teori serta gambaran tentang masalah yang akan dibahas, meliputi literatur tentang segitiga daya dan optimasi faktor daya, serta mempelajari teori serta aplikasi sistem kontrol menggunakan mikrokontroler AT89S51.

➤ Perencanaan dan Pembuatan Alat

Dalam pembuatan alat ini menggunakan konsep sebagai berikut :

- Perencanaan sistem secara keseluruhan (pembuatan blok digram sistem).
- Mendeskripsikan fungsi dari masing-masing blok.
- Membuat perangkat keras (*hardwaare*) dan perangkat lunak (*software*).

➤ Pengujian

Tujuan utama dari pengujian disini adalah untuk mengetahui apakah alat yang telah dibuat bisa bekerja sesuai dengan apa yang direncanakan. Adapun pengujian tersebut meliputi :

- Pengujian dari masing-masing blok rangkaian.
- Pengujian rangkaian secara keseluruhan.

1.6. Sistematika Penulisan

Sistematika penulisan dari penulisan skripsi ini akan diuraikan dan dijabarkan dalam beberapa bab. Adapun pembagian dari bab-bab tersebut adalah sebagai berikut:

BAB I : PENDAHULUAN

Pada bab ini akan dibahas mengenai latar belakang masalah, tujuan, permasalahan, diagram blok, cara kerja rangkaian dan sistematika pembahasan yang akan digunakan.

BAB II : TINJAUAN PUSTAKA

Dalam bab ini akan dibahas tentang teori-teori dasar yang digunakan sebagai landasan dalam perancangan dan pembuatan alat optimasi daya terpasang pada pelanggan PLN menggunakan kapasitor bank.

BAB III : PERENCANAAN DAN PEMBUATAN ALAT

Bab ini berisi tentang proses perencanaan dan pembuatan alat mulai dari perancangan hardware sampai perancangan software yang akan digunakan.

BAB IV : PENGUJIAN ALAT

Berisi tentang hasil dari pengujian alat yang telah dibuat baik pada perangkat lunak maupun pada perangkat kerasnya.

BAB V : PENUTUP

Pada bab terakhir ini akan memuat tentang kesimpulan-kesimpulan yang diperoleh dari hasil pembuatan alat dan juga berisi saran-saran untuk pengembangan alat selanjutnya.

BAB II

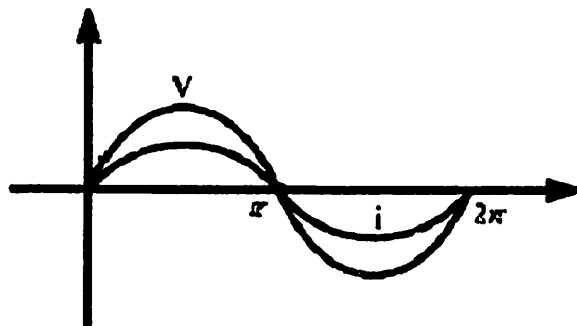
LANDASAN TEORI

2.1. Beban Listrik

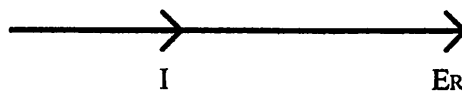
Beban listrik adalah beban yang dipasangkan pada jaringan instalasi listrik. Dengan adanya beban ini maka akan ada arus listrik yang mengalir. Beban listrik sendiri terbagi menjadi 3 macam, yaitu :

2.1.1. Beban Resistif

Beban resistif yaitu beban yang hanya mengandung komponen tahanan murni. Pada jaringan instalasi listrik dengan beban resistif maka arus akan sefasa dengan tegangan. Karena tidak ada beda fasa antara arus dan tegangan sehingga faktor daya atau $\cos \phi$ -nya adalah 1 dan ini berarti tidak ada daya reaktif yang dihasilkan dan juga tidak ada rugi-rugi daya. Gambar dibawah ini menunjukkan hubungan antara arus dan tegangan pada pembebanan resistif.



Gambar 2.1. Hubungan Arus dan Tegangan pada Beban Resistif ^[11]



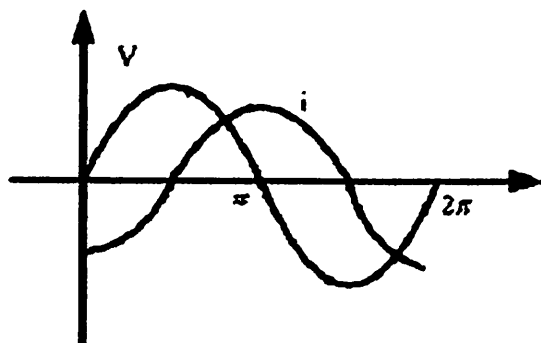
Gambar 2.2. Vektor Hubungan Arus dan Tegangan pada Beban Resistif ^[11]

Adapun rumus arus dan tegangan pada pembebanan resistif adalah seperti berikut ini :

$$V_R = E_m \sin \omega t \quad \text{dan} \quad I_R = \left(\frac{E_m}{R} \right) \sin \omega t \dots\dots\dots (1)$$

2.1.2. Beban Induktif

Beban induktif adalah beban yang mengandung komponen induktor. Pada instalasi jaringan listrik dengan beban induktif maka arus akan tertinggal -90° dari tegangan atau dikenal dengan istilah *lagging*. *Lagging* akibat pembebanan induktif ini akan menyebabkan $\cos \phi$ kurang dari 1. Hal ini berarti bahwa telah dihasilkan daya reaktif yang merupakan daya rugi-rugi yang sebenarnya tidak diinginkan. Gambar dibawah ini menunjukkan hubungan antara arus dan tegangan pada pembebanan induktif.



Gambar 2.3. Hubungan Arus dan Tegangan pada Beban Induktif ^[11]



Gambar 2.4. Vektor Hubungan Arus dan Tegangan pada Beban Induktif ^[11]

Adapun rumus tegangan pada pembebanan induktif adalah seperti dibawah ini :

$$V_L = E_m \sin \omega t$$

$$= L \left(\frac{di}{dt} \right) \text{ dimana } di = \left(\frac{E_m}{L} \right) \sin \omega t \dots\dots\dots (2)$$

sedangkan arus pada beban induktif adalah :

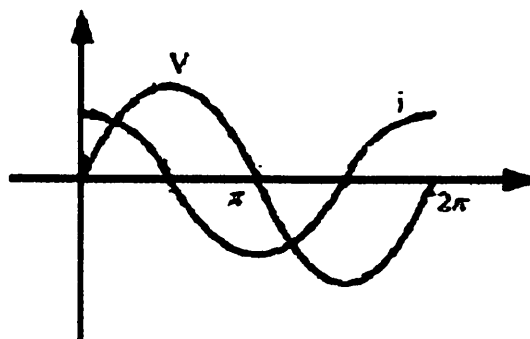
$$i_L = \int di = - \left(\frac{E}{\omega L} \right) \cos \omega t$$

$$= -i_m \cos \omega t = - \left(\frac{E_m}{X_L} \right) \cos \omega t \dots\dots\dots (3)$$

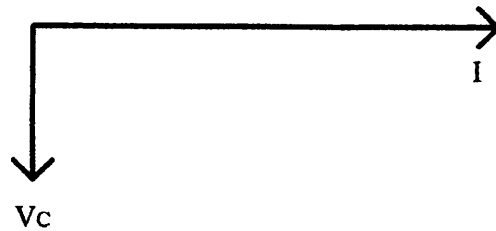
dimana $X_L = \omega L$

2.1.3. Beban Kapasitif

Beban kapasitif yaitu beban yang mengandung komponen kapasitor yang mana arus akan mendahului $+90^\circ$ dari tegangan. Pada instalasi jaringan listrik dengan beban kapasitif maka arus akan mendahului $+90^\circ$ dari tegangan atau dikenal dengan istilah *leading*. *Leading* akibat pembebanan kapasitif ini akan menyebabkan $\cos \phi$ kurang dari 1. Hal ini berarti bahwa telah dihasilkan daya reaktif yang merupakan daya rugi-rugi yang sebenarnya tidak diinginkan. Gambar dibawah ini menunjukkan hubungan antara arus dan tegangan pada pembebanan kapasitif.



Gambar 2.5. Hubungan Arus dan Tegangan pada Beban Kapasitif ^[11]



Gambar 2.6. Vektor Hubungan Arus dan Tegangan pada Beban Kapasitif ^[11]

Adapun rumus tegangan pada pembebanan kapasitif adalah seperti dibawah ini :

$$V_c = E_m \sin \omega t \dots\dots\dots(4)$$

dimana $V_c = \frac{q}{C}$ maka $q = E_m C \sin \omega t$

dan arus pada beban kapasitif adalah :

$$I_c = \omega C E_m \cos \omega t = I_m \cos \omega t \dots\dots\dots(5)$$

dimana $I_m = \omega C E_m = \left(\frac{E_m}{X_c} \right)$ dan $X_c = \left(\frac{1}{\omega C} \right)$

2.2. Daya Listrik

2.2.1. Daya Nyata

Daya nyata dalam besaran P(W), yaitu daya yang dipakai oleh komponen pasif resistor dan merupakan daya yang benar-benar terpakai atau terserap oleh suatu peralatan.

$$P = V.I.Cos\emptyset \dots\dots\dots(6)$$

2.2.2. Daya Reaktif

Daya reaktif dalam besaran Q(VAR), yaitu daya yang muncul akibat adanya pembentukan medan magnet pada beban induktif yang merupakan daya rugi-rugi atau daya yang tidak diinginkan.

$$Q = V.I.Sin\emptyset \dots\dots\dots(7)$$

2.2.3. Daya Semu

Daya semu dalam besaran S(VA), yaitu daya yang sebenarnya disuplai oleh pihak PLN dan merupakan resultan antara daya aktif dan daya reaktif.

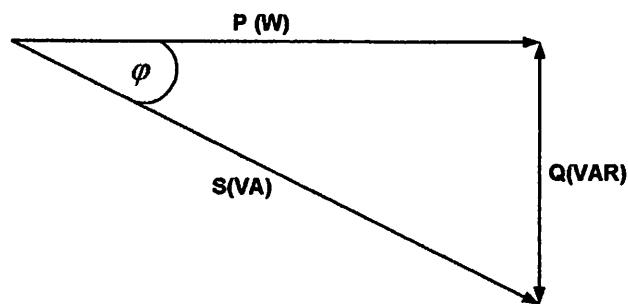
$$S = V.I \dots\dots\dots(8)$$

2.3. Daya Reaktif dan Faktor Daya

Setiap pemakaian daya reaktif akan menyebabkan turunnya faktor daya yang kemudian menyebabkan memburuknya karakteristik kerja peralatan-peralatan sistem pada umumnya, baik dari segi teknik operasional maupun segi ekonomisnya. Faktor daya adalah perbandingan antara daya nyata dan daya semu.

$$Faktor_daya = \frac{Daya_nyata(W)}{Daya_semu(VA)} \dots\dots\dots(9)$$

Untuk daya semu sendiri dibentuk oleh dua komponen yaitu komponen daya nyata (W) dan komponen daya reaktif (VAR). Hubungan ini dapat digambarkan sebagai berikut :



Gambar 2.7. Segitiga Daya ^[10]

Dengan rumus yaitu :

$$Faktor_daya = \cos \varphi = \frac{P}{S} \dots\dots\dots(10)$$

$$\cos \varphi = \frac{P}{\sqrt{P^2 + Q^2}} \dots\dots\dots(11)$$

dimana : P = daya nyata

S = daya semu

Q = daya reaktif

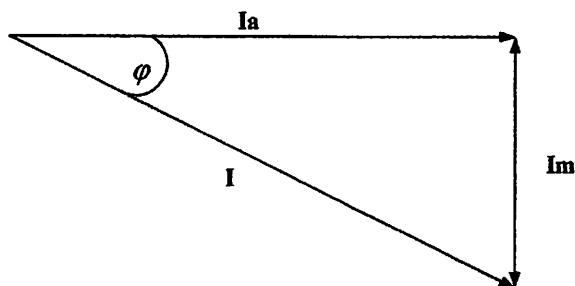
φ = sudut *phase*

Dari gambar diatas terlihat bahwa daya semu terdiri dari komponen daya nyata dan daya reaktif.

Segitiga daya juga bisa dibentuk dari hubungan arus yang timbul dari pembebanan. Ada tiga jenis arus yang membentuk segitiga daya yaitu :

- Arus nyata (I_a) adalah arus yang ada pada beban dan dirubah dalam bentuk energi panas atau energi yang lain.
- Arus magnetisasi (I_m) adalah arus yang mengalir di beban untuk menimbulkan medan magnet.
- Arus total (I) adalah arus yang ada di jaringan dan merupakan penjumlahan vektor dari arus nyata dengan arus magnetisasi.

Dalam bentuk vektor hubungan tersebut dapat digambarkan sebagai berikut :



Gambar 2.8. Segitiga Daya Arus ^[10]

2.4. Kapasitor Daya

Secara sederhana kapasitor terdiri dari dua buah plat logam yang dipisahkan oleh suatu bahan dielektrik dan kapasitor ini mempunyai sifat bisa menyimpan muatan listrik. Pada beberapa tahun lalu kebanyakan kapasitor dibuat

dari dua buah plat alumunium murni yang dipisahkan oleh 3 atau lebih lapisan kertas yang dilapisi oleh bahan kimia.

2.4.1. Kapasitor Shunt

Kapasitor shunt adalah kapasitor yang dihubungkan paralel dengan saluran listrik dan secara intensif digunakan pada saluran distribusi. Kapasitor shunt mencatu daya reaktif atau arus yang menentang komponen arus beban induktif.

Dengan dipasangnya kapasitor shunt pada jaringan instalasi listrik maka akan dapat memperbaiki profil tegangan, memperbaiki faktor daya dan menaikkan kapasitas sistem.

2.4.2. Pemasangan Kapasitor Shunt

Sedangkan untuk pemasangan kapasitor shunt sendiri bisa dilakukan dengan dua cara yaitu kapasitor tetap (*fixed capasitor*) dan kapasitor saklar (*switching capasitor*).

- **Kapasitor tetap**

Kapasitor tetap adalah kapasitor untuk kompensasi daya reaktif yang kapasitasnya tetap dan selalu terpasang di jaringan listrik. Penggunaan kapasitor jenis ini harus memperhatikan kenaikan tegangan pada saat beban ringan.

- **Kapasitor saklar**

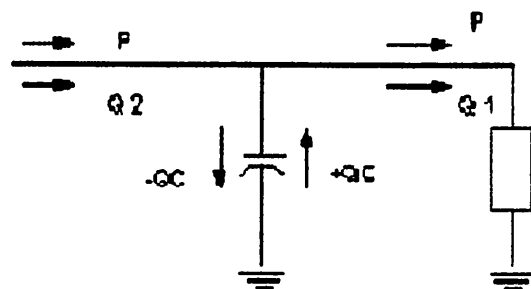
Kapasitor saklar adalah kapasitor untuk kompensasi daya reaktif yang dapat dihubungkan dan dilepaskan dari jaringan dan dapat diatur besar kapasitasnya sesuai dengan kondisi beban. Proses membuka dan menutup dari kapasitor shunt ini bisa dilakukan secara manual ataupun otomatis.

2.5. Perbaikan Faktor Daya dan Kapasitas Sistem

Manfaat terbesar yang diperoleh dari perbaikan faktor daya berasal dari pengurangan daya reaktif dalam sistem. Hal ini menghasilkan pengurangan biaya pemakaian daya yang lebih rendah, kenaikan kapasitas sistem, perbaikan tegangan dan pengurangan rugi daya dalam sistem.

Satu-satunya cara untuk memperbaiki faktor daya adalah mengurangi daya reaktif pada jaringan. Jika komponen daya reaktif dapat dikurangi, maka total arus akan berkurang, sedang komponen daya aktif tidak berubah, maka faktor daya akan lebih besar sebagai akibat berkurangnya daya reaktif. Faktor daya akan mencapai 100% jika daya reaktif sama dengan nol (0).

Perbaikan faktor daya dapat dilakukan dengan cara pemasangan kapasitor shunt. Gambar dibawah ini menunjukkan aliran arus pada jaringan listrik yang dipasangi kapasitor shunt.

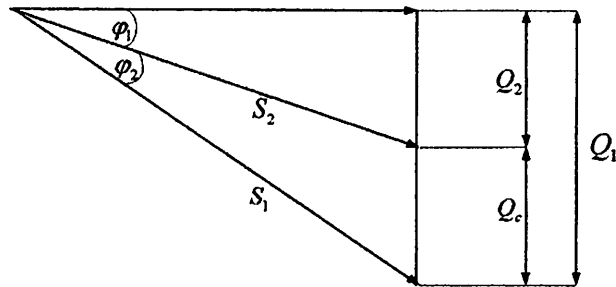


Gambar 2.9. Pemasangan Kapasitor Paralel ^[10]

Kapasitor paralel membangkitkan daya reaktif negatif (panah ke bawah) dan beban membangkitkan daya reaktif positif (panah ke atas), jadi pengaruh dari kapasitor adalah untuk mengurangi aliran daya reaktif didalam jaringan sehingga daya reaktif yang berasal dari sistem menjadi :

$$Q2 \text{ (total)} = Q1 \text{ (beban)} - Qc \dots \dots \dots (12)$$

Dimana Q_c adalah daya reaktif yang dibangkitkan oleh kapasitor paralel. Gambar dibawah ini menunjukkan perbaikan faktor daya dalam diagram vektor.



Gambar 2.10. Perbaikan Faktor Daya dan Peningkatan Kapasitas Sistem ^[10]

2.6. Analog to Digital Converter (ADC)

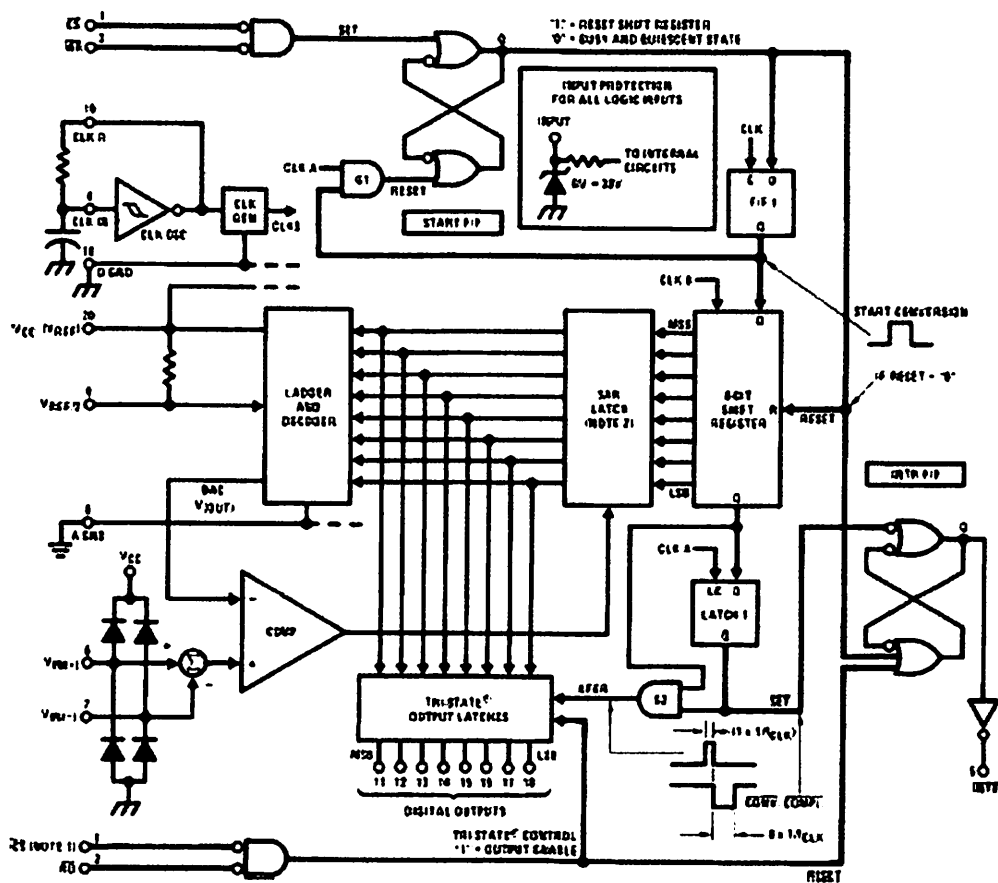
ADC0804 adalah suatu IC yang mempunyai kemampuan untuk merubah besaran analog menjadi data-data digital. ADC ini mempunyai *range* input maksimal antara 0V sampai 5V dan mempunyai resolusi sebesar 8 bit. Ini berarti bahwa akan ada 2^8 kombinasi output data digital yang dihasilkan.

$$\text{Resolusi ADC} = \frac{V_{ref}}{2^n - 1} \dots\dots\dots(13)$$

Dimana

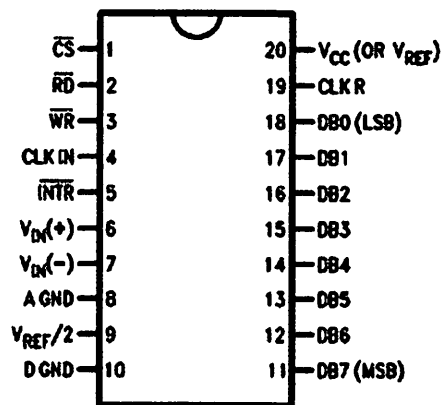
n = jumlah bit output

Dibawah ini adalah blok diagram dari ADC 0804.



Gambar 2.11. Blok Diagram ADC 0804 [2]

Sedangkan konfigurasi pin ADC 0804 bisa dilihat pada gambar dibawah ini.



Gambar 2.12. Konfigurasi Pin ADC 0804 [2]

Adapun fungsi dari masing-masing pin adalah sebagai berikut :

- \overline{CS} adalah pin aktif *low* untuk mengaktifkan IC, apabila ingin mengaktifkan IC ADC 0804 ini maka pin ini harus diberi logika *low*.
- \overline{RD} berfungsi untuk mengaktifkan IC agar bisa membaca input analog, agar IC ADC 0804 ini bisa membaca input analog maka pin ini harus diberi logika *low*.
- \overline{WR} berfungsi untuk memerintahkan IC agar membaca input analog dan mengkonversikannya menjadi data digital, untuk memerintahkan IC ini membaca input analog maka pin ini harus diberi logika *low* untuk beberapa saat.
- CLK IN digunakan untuk saluran input dari *external clock* atau dengan menghubungkan kapasitor untuk *internal clock*.
- CLK R harus dihubungkan dengan resistor apabila menggunakan *clock internal* dan bila menggunakan *clock external* maka pin ini bisa dibiarkan mengambang.
- \overline{INTR} adalah pin yang akan mengeluarkan logika *low* selama beberapa saat dan kemudian kembali pada kondisi *high* lagi apabila ADC telah selesai melakukan konversi data analog
- $V_{in}(+)$ sebagai pin inputan tegangan analog positif yang akan dikonversi menjadi data digital.
- $V_{in}(-)$ sebagai titik nol tegangan input analog dan bersama $V_{in}(+)$ menjadi input differensial. Bila input analog hanya berupa satu sinyal analog maka pin ini bisa dihubungkan ke *ground*.

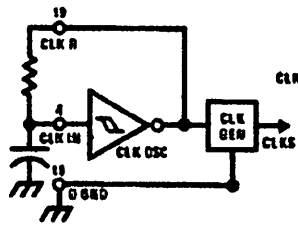
- $V_{REF}/2$ berfungsi untuk menentukan besar *range* tegangan input analog yang juga menentukan tingkat ketelitian dari ADC. Semakin kecil nilai dari $V_{REF}/2$ maka *range* tegangan input akan semakin kecil dan ini berarti tingkat ketelitian dari ADC semakin tinggi.
- $D_0 - D_7$ merupakan output data digital 8 bit hasil konversi dari sinyal input analog.

Beberapa karakteristik ADC 0804 adalah sebagai berikut :

1. Dua input analog, yaitu $V_{in (+)}$ dan $V_{in (-)}$ yang merupakan input differensial. Apabila digunakan untuk pengukuran tunggal, maka yang digunakan adalah $V_{in (+)}$ sedangkan $V_{in (-)}$ harus dihubungkan ke *analog ground*. Selama beroperasi normal ADC ini menggunakan $V_{cc} = +5 V$ sebagai tegangan referensinya dan input analog mempunyai *range* 0 sampai dengan 5 volt.
2. Dapat mengkonversi tegangan input analog menjadi data 8 bit output digital. Output digitalnya mempunyai *buffer tristate* sehingga dapat dengan mudah dihubungkan dengan bus data dari mikroprosesor ataupun mikrokontroler.
3. Mempunyai fasilitas *internal clock* dengan $f = \frac{1}{1,1RC}$ dengan R dan C adalah komponen eksternal yang harus ditambahkan. Frekuensi clock typicallynya adalah 606 KHz yang menggunakan beberapa komponen tambahan yaitu $R = 10 K\Omega$ dan $C = 150 pF$. Dan apabila menggunakan *external clock* maka pin CLOCK IN yang digunakan.

2.6.1. Clock Internal

ADC 0804 membutuhkan suatu sumber clock untuk sinkronisasi langkah kerjanya. Didalam ADC 0804 sudah terdapat *clock internal* sehingga tidak membutuhkan lagi sumber *clock external*. Dalam mengoperasikan *clock internal* tetap dibutuhkan komponen external untuk menentukan kecepatan clock. Gambar dibawah ini menunjukkan rangkaian *clock internal* pada ADC 0804.



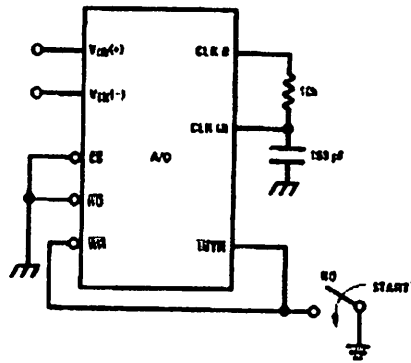
Gambar 2.13. Clock Internal ADC 0804 ^[2]

Dari gambar diatas bisa dilihat bahwa didalam ADC 0804 sudah mempunyai rangkaian *schmit trigger*. Komponen external yaitu resistor yang dipasang antara pin CLK R dan CLK IN dan juga kapasitor yang dipasang pada pin CLK IN berfungsi untuk menentukan kecepatan dari clock. Kecepatan dari frekuensi clock ini bisa ditentukan dari rumus berikut :

$$f = \frac{1}{1,1RC} \dots\dots\dots(14)$$

2.6.2. Free Running ADC

ADC 0804 bisa dioperasikan secara otomatis untuk mengkonversi sinyal analog menjadi data digital secara terus-menerus tanpa perlu diperintahkan setiap kali ketika akan melakukan konversi. Perintah konversi sinyal analog menjadi data digital hanya perlu dilakukan satu kali saja dan setelah itu ADC akan berjalan sendiri untuk mengkonversi sinyal analog. Gambar dibawah ini menunjukkan cara mengoperasikan ADC sebagai *free running ADC*.



Gambar 2.14. Free Running ADC [2]

Dari gambar diatas bisa dilihat bahwa pin CS dan RD langsung dihubungkan ke ground. Ini berarti bahwa ADC selalu dalam kondisi aktif dan selalu dalam keadan siap untuk membaca input analog. Selanjutnya pin WR dihubungkan dengan INTR yang fungsi dari menghubungkan kedua kaki ini adalah ketika ADC telah selesai melakukan konversi maka pin INTR akan mengeluarkan logika *low* selama beberapa saat. Selanjutnya logika *low* ini dikirim ke pin WR yang berarti ADC diperintahkan lagi untuk melakukan konversi dan hal tersebut akan berulang secara terus-menerus. Yang perlu diperhatikan adalah saat pertama kali, ADC harus diperintahkan secara manual untuk melakukan konversi.

2.7. Mikrokontroler AT89S51

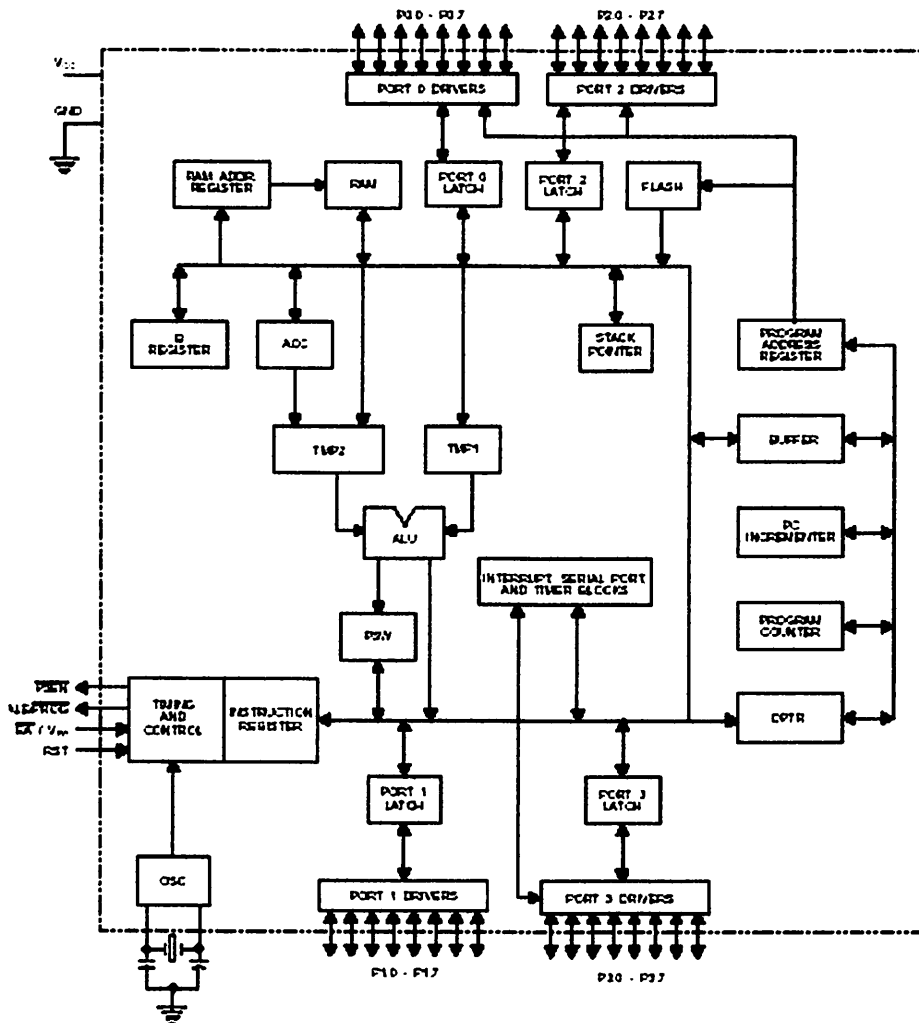
AT89S51 merupakan salah satu mikrokontroler produksi ATMEL, masih termasuk keluarga MCS-51 yang mempunyai 4 *kbyte* Flash PEROM (*Flash Programmable and Erasable Read Only Memory*), 128 *byte* RAM, 32 pin I/O (4 buah *port* I/O bit) yang mana tiap pin tersebut dapat diprogram secara paralel dan tersendiri, mempunyai dua buah *timer/counter 16 bit*, mempunyai *watchdog timer*, serta dua *data pointer*.

Pada dasarnya mikrokontroler adalah terdiri atas mikroprosesor, *timer*, dan *counter*, perangkat I/O dan *internal memory*. Mikrokontroler termasuk perangkat yang sudah didesain dalam bentuk *chip* tunggal. Mikrokontroler dikemas dalam satu *chip* (*single chip*). Mikrokontroler didesain dengan instruksi-instruksi yang lebih luas dengan 8 bit instruksi yang digunakan untuk membaca data instruksi dari *internal memory* ke ALU (*Aritmatic Logic Unit*).

Sebagai suatu sistem kontrol, mikrokontroler AT89S51 bila dibandingkan dengan mikroprosesor memiliki kemampuan dari segi ekonomis, bisa diandalkan karena dalam mikrokontroler sudah terdapat RAM dan ROM, sedangkan mikroprosesor didalamnya tidak terdapat keduanya. Secara umum konfigurasi yang dimiliki mikrokontroler AT89S51 adalah sebagai berikut :

1. Sebuah CPU 8 bit dengan menggunakan teknologi dari Atmel.
2. Memiliki memori baca-tulis (RAM) sebesar 128 byte.
3. Jalur dua arah (*bidirectional*) yang digunakan sebagai saluran masukan atau keluaran.
4. Sebuah *port* serial dengan kontrol *full duplex* UART (*Universal Asynchronous Receiver Transmitter*).
5. Dua buah *timer/counter* 16 bit.
6. Osilator internal dan rangkaian pewaktu.
7. Flash PEROM yang besarnya 4 kbyte untuk memori program
8. Kemampuan melaksanakan operasi perkalian, pembagian, dan operasi *Boolean*.
9. Mampu beroperasi sampai 24 MHz.

Sedangkan untuk blok diagram AT89S51 diperlihatkan dalam Gambar 2.15. di bawah ini.

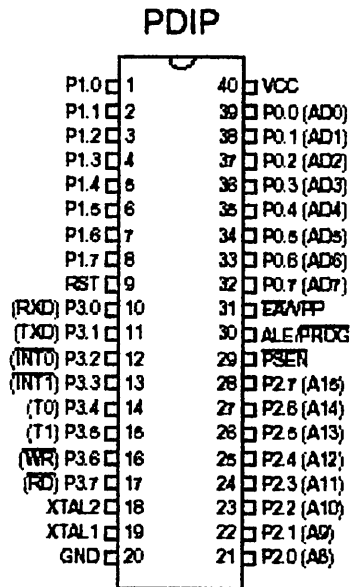


Gambar 2.15. Blok Diagram AT89S51 [1]

2.7.1. Penjelasan Fungsi Pin AT89S51

Mikrokontroler AT89S51 mempunyai 40 pin seperti yang ditunjukkan dalam Gambar 2.16. Fungsi dari pin-pin tersebut dijelaskan sebagai berikut :

- Port 1* (Pin 1..8), merupakan saluran masukan/keluaran dua arah.
- Pin 9 RST, merupakan saluran masukan untuk mereset mikrokontroler dengan cara memberi masukan logika *high*.



Gambar 2.16. Konfigurasi Pin AT89S51 ^[1]

- c) *Port 3* (Pin 10..17), merupakan saluran masukan/keluaran dua arah dan mempunyai fungsi khusus. Fungsi khusus meliputi TXD (*Transmit Data*), RXD (*Receive Data*), $\overline{INT0}$ (*Interupt 0*), $\overline{INT1}$ (*Interupt 1*), T0 (*Timer 0*), T1 (*Timer 1*), \overline{WR} (*Write*), \overline{RD} (*Read*).
- d) Pin 18 dan 19 (XTAL₁ dan XTAL₂), merupakan saluran untuk mengatur pewaktuan sistem. Untuk pewaktuan dapat menggunakan pewaktuan internal maupun eksternal.
- e) Pin 20 V_{SS}, merupakan hubungan ke *ground* dari rangkaian.
- f) *Port 2* (Pin 21..28), merupakan saluran masukan/keluaran dua arah.
- g) Pin 29 \overline{PSEN} (*Program Store Enable*), merupakan sinyal baca untuk mengaktifkan memori program eksternal.
- h) Pin 30 $\overline{ALE/PROG}$ (*Address Latch Enable*), merupakan pulsa yang berfungsi untuk menahan alamat rendah (A0-A7) dalam *port 0*, selama proses baca/tulis memori eksternal. Frekuensi ALE adalah 1/6 kali

frekuensi osilator, dan dapat digunakan sebagai pewaktu. Pin ini juga berfungsi sebagai saluran program selama dilakukan pemrograman jika menggunakan memori program internal.

- i) Pin 31 \overline{EA}/VPP (*External Access Enable*), untuk mengatur penggunaan memori program eksternal dan internal. Pin ini harus dihubungkan dengan *ground* bila menggunakan memori program eksternal dan dihubungkan dengan VPP sebesar 5 volt jika menggunakan memori program eksternal.
- j) *Port 0* (Pin 32..39), merupakan saluran masukan/keluaran *open drain*.
- k) Pin 40 V_{CC} , merupakan saluran masukan untuk catu daya positif sebesar 5 volt DC dengan toleransi lebih kurang 10%.

2.7.2. Organisasi Memori Mikrokontroler AT89S51

Organisasi memori mikrokontroler AT89S51 dapat dibagi menjadi 2 bagian yang berbeda, yaitu memori program dan memori data. Pembagian itu berdasarkan fungsinya dalam penyimpanan data atau program. Memori program digunakan untuk instruksi yang akan dijalankan oleh mikrokontroler. Sedangkan memori data digunakan sebagai tempat penyimpanan data-data yang akan diakses oleh mikrokontroler.

Mikrokontroler AT89S51 memiliki program internal dan dapat menggunakan memori program *eksternal*. Memori program *eksternal* bisa berupa ROM/EPROM. Memori program internal sebesar 4 Kbyte EEPROM. Lebar jalur alamat yang dapat diakses adalah 16 bit mulai alamat 0000H sampai dengan FFFFH. Bagan dari memori internal mikrokontroler digambarkan seperti gambar 2.17. di bawah ini.

Byte Address	Alamat Bit Address							
7F	GENERAL PURPOSE RAM (RAM UNTUK SEGALA KEPERLUAN)							
30								
2F	7F	7E	7D	7C	7B	7A	79	78
2E	77	76	75	74	73	72	71	70
2D	6F	6E	6D	6C	6B	6A	69	68
2C	67	66	65	64	63	62	61	60
2B	5F	5E	5D	5C	5B	5A	59	58
2A	57	56	55	54	53	52	51	50
29	4F	4E	4D	4C	4B	4A	49	48
28	47	46	45	44	43	42	41	40
27	3F	3E	3D	3C	3B	3A	39	38
26	37	36	35	34	33	32	31	30
25	2F	2E	2D	2C	2B	2A	29	28
24	27	26	25	24	23	22	21	20
23	1F	1E	1D	1C	1B	1A	19	18
22	17	16	15	14	13	12	11	10
21	0F	0E	0D	0C	0B	0A	9	8
20	7	6	5	4	3	2	1	0
1F	REGISTER BANK 3							
18								
17	REGISTER BANK 2							
10								
0F	REGISTER BANK 1							
8								
7	Default Register Bank							
0	Untuk R0-R7							

Gambar 2.17. RAM AT89S51 ^[1]

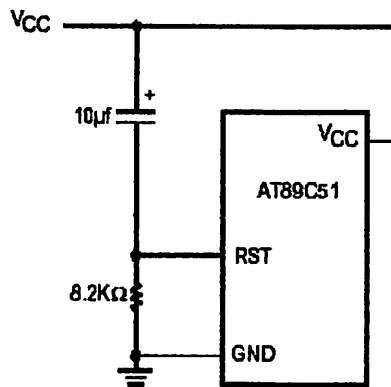
Mikrokontroler AT89S51 memiliki memori data berupa RAM internal sebesar 128 byte. Dari jumlah tersebut, 32 byte terendah dikelompokkan menjadi 4 bank (diperlihatkan pada gambar 2.17.). Tiap-tiap bank terdiri dari 8 register. Pemilihan bank dilakukan melalui pengaturan S0 dan S1 pada *Program Status Word* (PSW).

Byte Address	Bit Address	
FF		
F0	F7 F6 F5 F4 F3 F2 F1 F0	B
E0	E7 E6 E5 E4 E3 E2 E1 E0	Acc
D0	D7 D6 D5 D4 D3 D2 - D0	PSW
BB	- - - BC BB BA B9 B8	IP
B0	B7 B6 B5 B4 B3 B2 B1 B0	P3
A8	AF - - AC AB AA A9 A8	IE
A0	A7 A6 A5 A4 A3 A2 A1 A0	P2
99	not bit addressable	SBUF
98	9F 9E 9D 9C 9B 9A 99 98	SCON
90	97 96 95 94 93 92 91 90	P1
8D	not bit addressable	TH1
8C	not bit addressable	TH0
8B	not bit addressable	TL1
8A	not bit addressable	TL0
89	not bit addressable	TMOD
88	8F 8E 8D 8C 8B 8A 89 88	TCON
87	not bit addressable	PCON
83	not bit addressable	DPH
82	not bit addressable	DPL
81	not bit addressable	SP
80	87 86 85 84 83 82 81 80	P0

Gambar 2.18. Spesial Function Register AT89S51 ^[1]

2.7.3. Reset

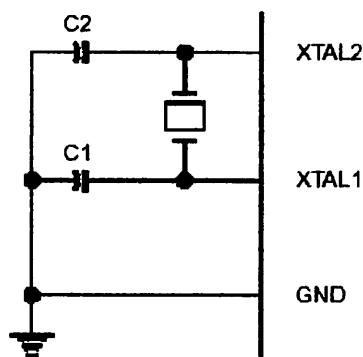
Rangkaian *Power On Reset* diperlukan untuk mereset mikrokontroler secara otomatis agar program berjalan mulai awal pada saat catu daya dinyalakan. Ketika catu daya diaktifkan, rangkaian reset akan menahan logika tinggi pada penyemat RST dengan jangka waktu yang ditentukan oleh lamanya pengosongan muatan kapasitor. Untuk keabsahan reset, logika tinggi harus bertahan lebih lama dari dua siklus mesin ditambah waktu hidup (*start on*) oscilator . Gambar 2.19. menunjukkan rangkaian *Power On Reset*.



Gambar 2.19. Rangkaian Power On Reset ^[1]

2.7.4. Pewaktuan

Mikrokontroler AT89C51 memiliki rangkaian osilator internal dengan mengacu referensi frekuensi pada penyemat XTAL1 dan XTAL2. Referensi frekuensi berupa kristal dan kapasitor ditunjukkan pada gambar 2.20. di bawah ini.



Gambar 2.20. Rangkaian Pewaktuan dengan Osilator Internal ^[1]

2.7.5. Komunikasi Data Serial

Pengiriman data serial biasanya digunakan untuk jarak yang relatif jauh. Pada port serial AT89S51 dapat digunakan untuk komunikasi data secara sinkron maupun asinkron. Komunikasi data serial sinkron merupakan bentuk komunikasi data serial yang memerlukan sinyal clock untuk sinkronisasi. Sinyal clock tersebut

akan tersulut pada setiap bit pengiriman data, sedangkan komunikasi data serial asinkron tidak memerlukan sinyal clock sebagai sinkronisasi. Pengirimannya akan dimulai dari LSB (*Least Significant Bit*) dan diakhiri oleh MSB (*Most Significant Bit*).

2.7.6. Pengaturan *Baud Rate* pada *Port Serial*

Baud rate dari *port serial* AT89S51 yang dapat diatur adalah *Mode 1* dan *Mode 3*, sedangkan pada *Mode 0* dan *Mode 2* mempunyai *baud rate* dengan kecepatan yang permanen. Pengaturan kecepatan *baud rate* ditunjukkan dalam tabel 2.1.

Tabel 2.1. *Baud Rate Mode Serial* ^[9]

Mode	Baud Rate	
	SMOD = 0	SMOD = 1
0	$\frac{1}{12}$ Frekuensi osilator	
1	$\frac{f_{osc}}{12x(256 - TH1)x32}$	$\frac{f_{osc}}{12x(256 - TH1)x16}$
2	$\frac{1}{64}$ Frekuensi osilator	
3	$\frac{f_{osc}}{12x(256 - TH1)x32}$	$\frac{f_{osc}}{12x(256 - TH1)x16}$

2.7.7. Register Fungsi Khusus

Register Fungsi Khusus (*Special Function Register*) terletak pada 128 byte bagian atas memori data internal dan berisi register-register untuk pelayanan *latch port*, *timer*, *Program Status Word*, *control peripheral* dan lain sebagainya. Alamat dari register fungsi khusus ditunjukkan pada tabel 2.2.

Register-register ini hanya dapat diakses melalui pengalamatan langsung. Enam belas alamat pada register fungsi khusus dapat dialamati per bit maupun per byte dan terletak pada alamat 80H-FFH. Secara perangkat lunak alamat dari register fungsi khusus sama dengan alamat memori data internal, tetapi sebenarnya secara perangkat keras terpisah dari memori data internal.

Tabel 2.2. Nama dan Alamat Register Fungsi Khusus ^[9]

SYMBOL	NAME	ADDRESS
ACC	ACCUMULATOR	E0H
B	B REGISTER	F0H
PSW	PROGRAM STATUS WORD	D0H
SP	STACK POINTER	81H
DPTR	DATA POINTER 2 BYTE REGISTER	
DPL	DATA POINTER LOW BYTE	82H
DPH	DATA POINTER HIGH BYTE	82H
P0	PORT 0	80H
P1	PORT 1	90H
P2	PORT 2	A0H
P3	PORT 3	B0H
IP	INTERUPT PRIORITY CONTROL	B8H
IE	INTERUPT ENABLE CONTROL	A8H
TMOD	TIMER /COUNTER MODE CONTROL	89H
TCON	TIMER/COUNTER CONTROL	88H
TH0	TIMER/COUNTER 0 HIGH BYTE	8CH
TL0	TIMER/COUNTER 0 LOW BYTE	8H
TH1	TIMER/COUNTER 1 HIGH BYTE	8DH
TL1	TIMER/COUNTER 1 LOWBYTE	8BH
SCON	SERIAL CONTROL	98H
SBUF	SERIAL BUFFER	99H
PCON	POWER CONTROL	87H

Beberapa macam register fungsi khusus yang sering digunakan, akan dijelaskan sebagai berikut :

- *Accumulator (ACC)* merupakan register untuk operasi aritmatika. Perintah mnemonic untuk mengakses *accumulator* disederhanakan sebagai A.
- *Register B* merupakan register khusus yang berfungsi melayani operasi perkalian dan pembagian.
- *Program Status Word (PSW)* terdiri dari beberapa bit status yang menggambarkan kejadian di *accumulator* sebelumnya yaitu *carry bit*, *auxiliary carry*, RS 0 dan RS 1 sebagai bit pemilih bank., bit *over flow* dan bit *parity flag*
- *Stack Pointer (SP)* merupakan register 8 bit yang dapat diletakkan di alamat manapun pada RAM internal. Isi register ini ditambah sebelum data disimpan, selama instruksi push dan pop. Pada saat reset, register SP diinisialisasi pada alamat 07H, sehingga stack akan dimulai pada alamat 07H.
- Port 0 sampai Port 3 merupakan register yang berfungsi untuk membaca dan mengeluarkan data. Masing-masing register ini bisa dialamati per bit atau per byte.
- *Serial Data Buffer (SBUF)* merupakan dua register yang terpisah, yaitu sebuah register buffer pengirim dan sebuah register buffer penerima. Mengirim data melalui transmisi serial/SBUF berarti mengirim data melalui buffer pengirim, sedangkan membaca data SBUF berarti membaca data dari buffer penerima.

- *Control register* terdiri dari register yang mempunyai fungsi kontrol untuk mengontrol sistem interupsi, terdapat dua register khusus yaitu register IP (*Interrupt Priority*) dan register IE (*Interrupt Enable*). Untuk mengontrol pelayanan *timer/counter* terdapat register khusus, yaitu register TCON (*Timer/Counter Control*) dan untuk pelayanan port serial menggunakan register SCON (*Serial Port Control*).
- *Data Pointer Two Byte Register (DPTR)* merupakan suatu register yang digunakan untuk pengalamatan yang tidak langsung. Register ini digunakan untuk mengakses memori program baik secara internal maupun external, juga digunakan untuk alamat data external. DPTR ini terdiri dari 2 register yaitu *Data Pointer Low (DPL)* dan *Data Pointer High (DPH)*.

2.7.8. Interupt

Mikrokontroler AT89S1 mempunyai 5 buah interupt yang dapat membangkitkan permintaan interupt, yaitu : INT0, INT1, T1, T2 dan interupt port serial. Saat terjadinya interupsi mikrokontroler secara otomatis akan menuju sub rutin pada alamat interupsi tersebut. Setelah layanan interupsi selesai dikerjakan, maka mikrokontroler akan melanjutkan program sebelum terjadinya interupsi.

Dua buah sumber interupsi external adalah INT0 dan INT1 dimana interupsi external akan aktif transisi tergantung dari isi dari IT0 dan IT1 pada register TCON. Sedangkan interupsi T0 dan T1 aktif pada saat timer mengalami *roll over*. Untuk interupsi serial dibangkitkan dengan melakukan operasi pada TI dan RI.

Tingkat semua interupsi dapat diprogram sendiri-sendiri dengan set bit atau clear bit pada SFR IP (*Interrupt Priority*). Interupsi tingkat rendah dapat

diinterupsi oleh interupsi yang mempunyai tingkat lebih tinggi, tetapi tidak untuk sebaliknya. Walaupun demikian interupsi yang mempunyai tingkat lebih tinggi tidak dapat menginterupsi sumber interupsi lain.

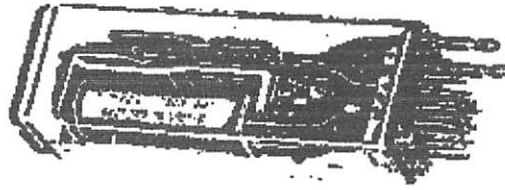
2.8. Relay

Relay merupakan salah satu jenis saklar magnetik yang dapat memutuskan atau menghubungkan kontak-kontak. Sebuah relay terdiri dari satu kumparan dan inti yang mana bila dialiri arus kumparan tersebut akan menjadi magnet dan akan menutup atau membuka kontak-kontak. Keuntungan dari relay adalah dapat menghubungkan daya yang besar dengan memberi daya yang kecil pada kumparannya. Ada beberapa macam tipe relay antara lain : SPST (satu pin satu terminal), SPDT (satu pin dua terminal), DPDT (dua pin dua terminal), DPST (dua pin satu terminal).

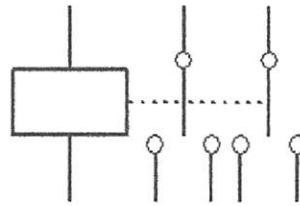
Relay digolongkan berdasarkan arusnya menjadi dua macam, yaitu :

- a. Relay arus searah (DC Relay)
- b. Relay arus bolak-balik (AC Relay)

Sebuah penahan dipasang pada inti belitan kumparan, jika ada arus yang mengalir, inti akan menjadi magnet dan jangkar tertarik. Pada jangkar terpasang pegas spiral sehingga jangkar akan kembali ke posisi semula jika arus diputuskan. Jadi pada dasarnya relay punya dua kontak, normal terbuka (*Normally Open*) dan normal tertutup (*Normally Close*). Dalam praktek kontak-kontak relay tidak hanya dua atau empat, tetapi sampai 24 kontak yang merupakan kombinasi dari kontak NO dan NC.



Gambar 2.21. Sebuah Relay Praktis



Gambar 2.22. Simbol Relay

Dalam pemilihan suatu relay harus diketahui sifat dari relay tersebut sehingga relay yang dipilih bisa bekerja sesuai dengan yang diharapkan. Hal yang harus diperhatikan dalam pemilihan relay yaitu :

- Arus kerja apakah arus AC atau DC
- Hambatannya tergantung dari banyaknya lilitan dan pada penampang lilitan, dimana nilainya mulai 1 S2 - 50.00092.
- Arus tarik, agar jangkar dapat tertarik harus diperhitungkan arus tarik kumparannya.
- Tegangan tarik, tegangan yang diperlukan sepanjang kumparan agar dapat menarik jangkar (hasil kali arus searah dan hambatan dan).
- Jenis dan jumlah kontak, yaitu kontak penghubung atau kontak pemutus.
- Kemampuan hantar arus kontak, yaitu batas kemampuan suatu

kontak untuk menghantarkan suatu arus secara terus-menerus tanpa menimbulkan kerusakan.

- Tegangan maksimal, yaitu tegangan terbesar yang mampu dikenakan pada kontaknya dipengaruhi oleh jarak kontak.

2.9. Transistor

Banyak sistem elektronik yang sangat tergantung pada kemampuan transistor untuk bertindak sebagai saklar. Transistor yang digunakan sebagai saklar mempunyai keuntungan yaitu tidak mempunyai bagian yang berputar, dan dapat beroperasi ON atau OFF pada kecepatan yang sangat tinggi, memerlukan tegangan dan arus penggerak yang sangat kecil untuk memicu aksi penghubungan.

2.9.1. Asas Kerja Transistor

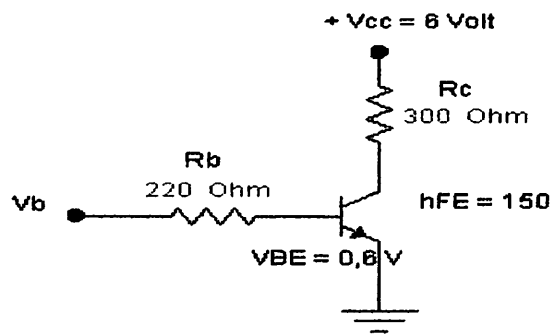
Transistor akan bekerja apabila ada arus di antara terminal kolektor dan emitor (arus I_c), hal ini dapat terjadi apabila ada arus yang mengalir di antara terminal basis-emitor (arus I_b). Perbandingan antara arus I_c dan I_b disebut “bandingan-hantaran arus maju” (*forward current transfer ratio*), atau yang biasa disebut dengan h_{fe} .

$$H_{fe} = I_c : I_b$$

Pada transistor daya, harga h_{fe} ada kira-kira 25 (atau lebih). Untuk penguatan frekuensi tinggi, ada transistor dengan $h_{fe} = 1000$ atau lebih. Adapun penggunaan simbol dari karakteristik transistor adalah sebagai berikut:

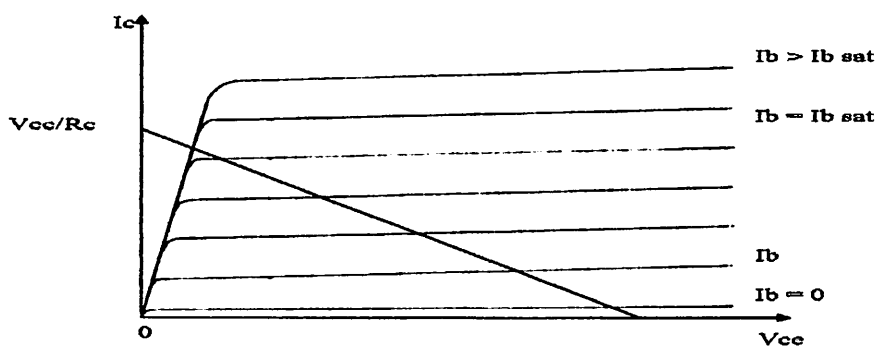
- Untuk I_c dan I_b yang searah (dc), ditulis: h_{FE}
- Untuk I_c dan I_b yang bolak-balik (ac), ditulis: h_{fe}

Harga h_{FE} dan h_{fe} biasanya sangat berdekatan, hingga boleh kita anggap sama. Adapun rangkaian dasar dari transistor diperlihatkan pada gambar 2.14 di bawah ini.



Gambar 2.23. Transistor sebagai saklar

Garis beban akan memotong sekelompok kurva arus basis konstan I_b . Dengan I_b tertentu (yang diatur rangkaian bias), garis beban akan memotong kurva I_b tersebut di titik Q yang disebut titik kerja transistor. Titik kerja ini menjadi kondisi awal dari pengoperasian transistor kelak dimana transistor tersebut mempunyai tiga daerah kerja yaitu : aktif, jenuh (saturasi) dan tersumbat (cut of). Gambar 2.15 berikut ini akan menjelaskan tentang titik kerja dan garis beban dari suatu transistor bipolar.



Gambar 2.24. Garis Beban DC dan Titik Kerja Sebuah Transistor Bipolar

2.9.2. Cut Off

Titik dimana garis beban memotong kurva $I_b = 0$ dikenal sebagai titik sumbat (cut off), pada titik ini arus kolektor (I_c) sangat kecil (hanya arus bocor) sehingga dapat diabaikan, disini transistor kehilangan kerja normalnya. Dapat dikatakan bahwa tegangan kolektor emitor sama dengan ujung dari garis beban tersebut.

$$V_{ce \text{ cutoff}} = V_{CC}$$

Pada kondisi ini transistor berfungsi sebagaimana saklar yang dalam keadaan terbuka /off.



Gambar 2.25. Transistor Sebagai Saklar Terbuka

2.9.3. Saturasi

Perpotongan garis beban dengan kurva $I_b = I_{bsat}$ disebut titik jenuh (saturasi). Pada titik ini arus kolektor maksimum atau dapat dikatakan bahwa arus kolektor sama dengan ujung dari garis beban.

$$I_{csat} = V_{cc} / R_c$$

Pada kondisi ini transistor berfungsi sebagaimana saklar yang dalam keadaan tertutup / on.



Gambar 2.26. Transistor Sebagai Saklar Tertutup

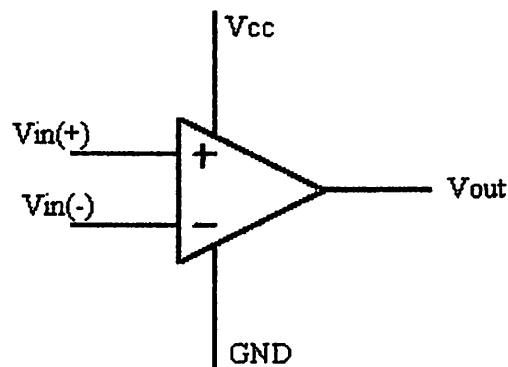
2.9.4. Aktif

Jika arus basis I_b lebih kecil dari I_{bsat} dan lebih besar dari 0, maka transistor akan beroperasi pada daerah aktif, yaitu titik kerjanya terletak di sepanjang garis beban. Besarnya arus I_c tergantung dari besarnya I_b dan besarnya H_{fe} dari transistor. Berubahnya nilai I_b yang sangat kecil akan mengakibatkan berubahnya I_c yang sangat besar. Jadi dapat disimpulkan bahwa transistor bipolar bekerja sebagai suatu sumber arus dimana saja sepanjang garis beban, kecuali titik jenuh (saturasi) atau titik sumbat (cut off) dimana transistor tidak lagi bekerja sebagai sumber arus melainkan sebagai saklar.

2.10. Operational Amplifier

Operational Amplifier atau yang lebih dikenal dengan singkatan Op-Amp adalah suatu piranti yang digunakan untuk mengetahui sifat matematis dari dua buah input. Sedangkan untuk pemanfaatan dari Op-Amp dapat dipakai sebagai penyangga atau penguat linear dengan harga penguatan yang dapat ditentukan oleh rangkaian umpan balik dari Op-Amp tersebut. Op-Amp mempunyai harga penguatan yang sangat besar jika tidak dilengkapi dengan rangkaian umpan balik. Dari dua input yang ada mempunyai dua fungsi yang berbeda, input tersebut

adalah masukan pembalik (*inverting*) dan masukan bukan pembalik (*non inverting*).



Gambar 2.27. Simbol Op-Amp ^[7]

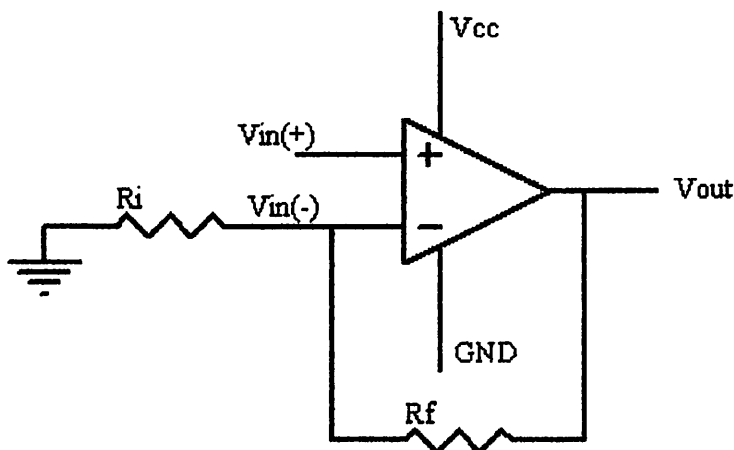
Penerapan dari sebuah Op-Amp tergantung pada pengolahan data masukan dan data keluaran yang diinginkan. Sebuah Op-Amp yang mampu menguatkan dengan penguatan yang tinggi ini akan mempunyai tegangan output maksimal sebesar tegangan catu daya yang diberikan. Untuk selanjutnya jika masih akan terjadi penguatan yang lebih besar maka didapat tegangan saturasi yaitu tegangan yang konstan meskipun input dinaikkan.

Suatu op-amp ideal mempunyai sifat-sifat sebagai berikut :

1. Penguatan terbukanya tak hingga ($A_{OL} = \infty$)
2. Impedansi inputnya tak hingga sehingga tidak ada arus yang masuk pada terminal input ($-I = +I = 0$)
3. Impedansi outputnya nol ($Z_o = 0$)
4. Lebar pita/Bandwith-nya tak hingga
5. Differential inputnya nol ($E_d = 0$)

2.10.1. Penguat Tak Membalik

Penguat tak membalik adalah suatu amplifier yang tak membalik polaritas sinyal hasil penguatannya terhadap sinyal inputnya. Untuk membuat penguat tak membalik yaitu dengan cara sinyal input diinputkan pada $V_{in}(+)$ dan kemudian rangkaian feedback dihubungkan pada ground. Gambar rangkaian penguat tak membalik adalah seperti dibawah ini.



Gambar 2.28. Penguat Non Inverting ^[7]

Analisis dari rangkaian penguat non inverting diatas adalah sebagai berikut :

$$I_{R_i} = I_{R_f}$$

$$\frac{0 - V_i}{R_i} = \frac{(V_i - V_o)}{R_f}$$

$$-R_f \cdot V_i = (R_i \cdot V_i) - (R_i \cdot V_o)$$

$$R_i \cdot V_o = (R_i + R_f) V_i$$

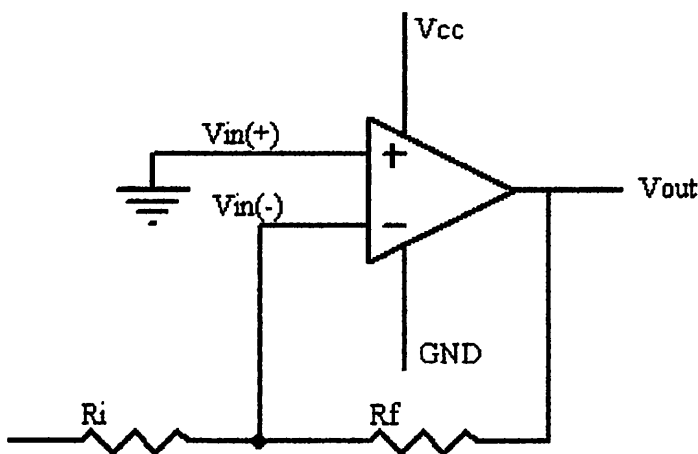
$$\frac{V_o}{V_i} = \frac{R_i + R_f}{R_i}$$

$$\frac{V_o}{V_i} = 1 + \frac{R_f}{R_i} = A_V = A_{CL} \dots \dots \dots (15)$$

2.10.2. Penguat Membalik

Penguat Membalik adalah suatu amplifier yang mempunyai penguat negatif, artinya polaritas sinyal input berlawanan dengan polaritas sinyal output. Dengan memberikan tahanan umpan balik antara pin $V_{in}(-)$, maka penguatan tidak lagi mengandalkan karakteristik dari op-amp (A_{OL}), tetapi tergantung dari tahanan umpan balik terhadap tahanan input pada pin $V_{in}(+)$.

Untuk membuat penguat membalik yaitu dengan cara menghubungkan pin $V_{in}(+)$ pada ground dan kemudian rangkaian feedback pada pin $V_{in}(-)$ sebagai saluran sinyal input.



Gambar 2.29. Penguat Inverting [7]

Dengan menganggap bahwa op-amp ideal, maka analisa penguatan rangkaian diatas adalah sebagai berikut :

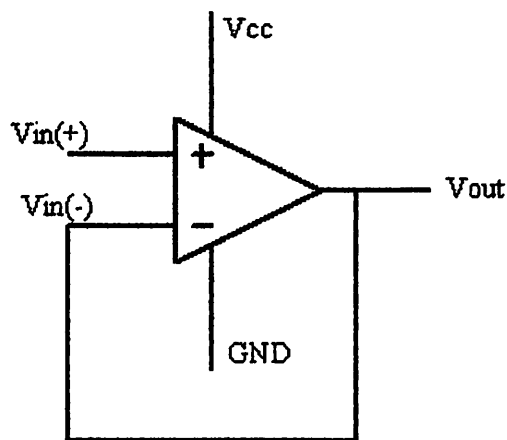
$$I_{R_i} = I_{R_f}$$

$$\frac{V_i}{R_i} = \frac{(0 - V_o)}{R_f}$$

$$\frac{V_o}{V_i} = -\frac{R_f}{R_i} = A_v = A_{CL} \dots \dots \dots (16)$$

2.10.3. Voltage Follower Amplifier

Pembebanan dari suatu rangkaian terhadap input rangkaian lain, lebih tinggi dari yang disyaratkan pabrik pembuat komponen, maka akan mempengaruhi kerja komponen tersebut. Karena sifat op-amp yang mempunyai impedansi input yang tinggi dan impedansi outputnya rendah, maka akan dapat mengatasi masalah diatas. *Voltage Follower Amplifier* merupakan penguat *non inverting* yang mempunyai besar penguatan 1x sebagai pengaman rangkaian atau penguat penyangga yang membutuhkan suatu *matching impedance*. Dengan adanya penyangga tersebut maka diharapkan akan terjadi transfer beban maksimum tanpa ada kerugian karena efek pembebanan.



Gambar 2.30. Voltage Follower Amplifier ^[7]

Adapun prinsip kerja dari op-amp sebagai *voltage follower amplifier* yaitu tegangan output diumpangkan pada pin $V_{in}(+)$, karena tegangan antara pin $V_{in}(+)$ dan pin $V_{in}(-)$ sama maka besar tegangan output adalah :

$$V_o = V_{in}$$

$$A_{CL} = \frac{V_o}{V_{in}} = 1 \dots\dots\dots(17)$$

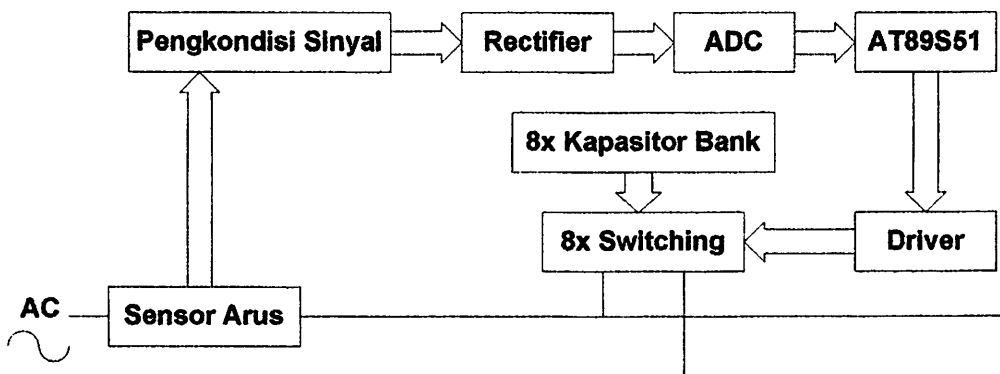
BAB III

PERENCANAAN DAN PEMBUATAN

3.1. Pendahuluan

Perencanaan dan pembuatan kapasitor bank berdasarkan mikrokontroler AT89S51 untuk optimasi daya ini terdiri dari dua bagian yaitu perencanaan dan pembuatan perangkat keras (*hardware*) dan perangkat lunak (*software*). Perencanaan perangkat keras itu sendiri terdiri dari perancangan sensor arus, pengkondisi sinyal, perubah sinyal analog ke data digital, minimum sistem menggunakan mikrokontroler AT89S51 dan juga perancangan driver relay sebagai kontaktor untuk menghubungkan kapasitor bank dengan jaringan instalasi listrik. Adapun untuk perancangan perangkat lunak menggunakan bahasa pemrograman assembly yang merupakan bahasa pemrograman tingkat rendah.

3.2. Blok Diagram Perangkat Keras



Gambar 3.1. Blok Diagram Perangkat Keras

3.2.1. Prinsip Kerja Tiap Blok Diagram

Setiap blok diagram dari gambar diatas mempunyai fungsi tersendiri dan akan bekerja sesuai dengan fungsinya masing-masing. Adapun prinsip kerja dari masing-masing blok adalah sebagai berikut :

- **Sensor arus**

Sensor arus berfungsi untuk membaca besarnya arus yang mengalir dalam jaringan instalasi listrik dan kemudian merubahnya dalam bentuk tegangan. Komponen utama dari sensor arus adalah resistor yang dipasang secara seri pada jaringan instalasi listrik.

- **Pengkondisi sinyal**

Pengkondisi sinyal berfungsi sebagai *buffer* agar tidak terjadi drop/penurunan tegangan akibat dari pembebanan pada rangkaian selanjutnya dan juga untuk mengatur penguatan tegangan dari sensor arus agar sesuai dengan *range* input dari ADC.

- **Rectifier**

Rectifier berfungsi untuk menyearahkan tegangan output dari pengkondisi sinyal yang masih berupa tegangan ac. Besarnya tegangan dc yang dihasilkan haruslah sesuai dengan besar tegangan ac.

- **Mikrokontroler AT89S51**

Mikrokontroler AT89S51 berfungsi sebagai pengendali utama dari seluruh blok rangkaian yang ada. Mikrokontroler sebagai otak harus dapat mengatur kerja dari tiap blok rangkaian agar dapat saling terkoordinasi dan pada akhirnya akan membentuk suatu sistem yang akan dapat bekerja sesuai dengan perencanaan.

- **Driver**

Driver berfungsi menguatkan arus dari output mikrokontroler untuk menggerakkan relay. Hal ini perlu dilakukan karena mikrokontroler AT89S51 mempunyai kemampuan menyuplai arus yang sangat terbatas yang dalam hal ini adalah arus untuk menggerakkan relay.

- **Kapasitor bank**

Kapasitor bank merupakan rangkaian kapasitor yang akan dipasang secara paralel pada jaringan listrik. Kapasitor disini berfungsi untuk menentang arah arus yang dihasilkan oleh beban induktif.

3.2.2. Prinsip Kerja Keseluruhan

Sensor arus akan membaca besarnya arus yang mengalir dalam jaringan instalasi listrik. Kemudian besaran arus ini akan dirubah menjadi besaran tegangan. Tegangan output dari sensor arus ini masih berupa tegangan ac sehingga tegangan ac ini terlebih dahulu harus disearahkan menjadi tegangan dc agar mudah diproses oleh blok rangkaian selanjutnya.

Tegangan output dari sensor arus yang merupakan tegangan ac masih sangat kecil, oleh karena itu perlu dikuatkan terlebih dahulu. Besarnya penguatan disini disesuaikan agar sesuai dengan range input ADC yang direncanakan. Setelah tegangan ac ini cukup besar kemudian tegangan ac ini akan disearahkan oleh rangkaian *rectifier*. Rangkaian *rectifier* disini menggunakan kombinasi op-amp dan juga dioda yang mana output tegangan dc dari *rectifier* ini akan sebanding dengan input tegangan ac-nya. Tegangan dc output dari *rectifier* ini kemudian diinputkan pada input dari ADC dengan range input antara 0V sampai 5V.

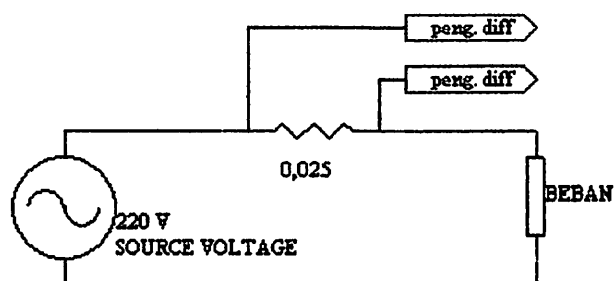
Untuk selanjutnya tegangan dc ini kemudian dirubah menjadi data digital oleh rangkaian ADC. Hal ini dilakukan karena data-data digital akan mudah untuk dibaca dan diolah oleh mikrokontroler. ADC yang digunakan adalah tipe ADC 0804 yang mempunyai resolusi 8 bit. Selanjutnya 8 bit data digital output dari ADC ini diinputkan pada port 3 dari mikrokontroler.

Mikrokontroler akan selalu memantau besarnya arus yang mengalir, apabila ada kenaikan arus maka mikrokontroler akan memasang kapasitor secara paralel dan kemudian arus akan dibaca. Apabila setelah pemasangan kapasitor arus semakin kecil maka dalam jaringan listrik terdapat beban induktif dan selanjutnya kapasitor akan dipasang lagi sampai diperoleh nilai arus yang lebih besar. Disaat arus telah lebih besar maka kapasitor yang dipasang terakhir kali dalam jaringan listrik akan dilepas.

3.3. Perancangan Perangkat Keras (*Hardware*)

3.3.1. Sensor Arus

Sensor arus digunakan untuk mengetahui besarnya arus yang mengalir pada jaringan instalasi listrik. Sensor arus yang digunakan dalam perancangan ini adalah suatu tahanan/resistor. Prinsip kerja dari sensor arus menggunakan resistor ini adalah pendeteksian besarnya tegangan jatuh pada resistor yang akan selalu berbanding lurus terhadap besarnya arus yang melaluinya.



Gambar 3.2. Sensor Arus

Besarnya resistor yang akan dipakai sebagai sensor arus adalah $0,025 \Omega$ dan nilai resistivitas ini diperoleh dengan cara memparalel 4 resistor dengan nilai $0,1 \Omega/1W$. Sensor ini dirancang untuk bekerja pada beban 450 VA dan arus maksimal 2 Ampere. Adapun besarnya tegangan jatuh pada resistor adalah :

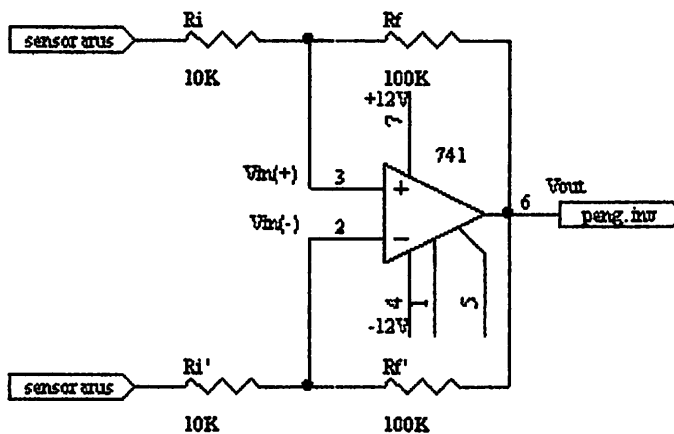
$$\begin{aligned} V_R &= I.R \\ &= 2.0,025 = 0,05V \end{aligned}$$

Sedangkan besarnya losses dari resistor pada beban maksimum 2 A adalah :

$$\begin{aligned} P &= I^2.R \\ &= 2^2.0,025 \\ &= 0,1W \end{aligned}$$

3.3.2. Penguat Differensial

Penguat differensial digunakan untuk menguatkan selisih tegangan jatuh pada sensor arus. Besarnya tegangan output maksimal dari sensor arus adalah 0,05 Volt dan penguat differensial dirancang untuk memberi penguatan sebesar 10 kali. Sehingga output maksimal dari penguat differensial adalah 0,5 Volt.



Gambar 3.3. Penguat Differensial

Besarnya penguatan dari penguat differensial diatas adalah :

$$\begin{aligned} A &= \frac{R_f}{R_i} \\ &= \frac{100K}{10K} \\ &= 10x \end{aligned}$$

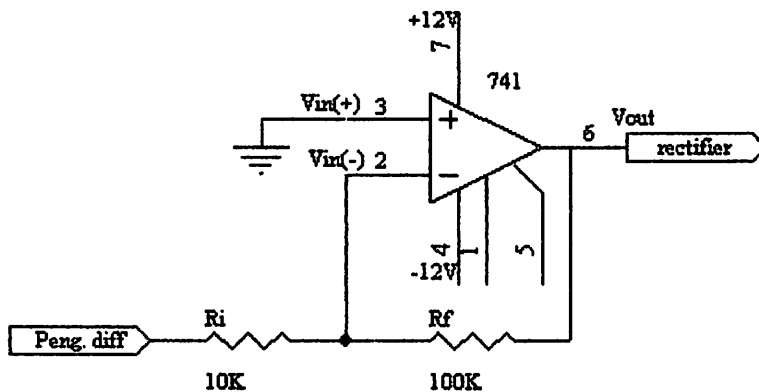
Sedangkan tegangan output dari penguat differensial adalah :

$$V_o = A(V_{in+} - V_{in-})$$

3.3.3. Penguat Inverting

Besarnya tegangan output maksimal dari penguat differensial adalah 0,5 Volt, sedangkan range input dari ADC direncanakan 0 sampai 5 Volt. Untuk itu tegangan output dari penguat differensial perlu dikuatkan lagi agar sesuai dengan range input dari ADC. Besarnya penguatan yang dibutuhkan adalah:

$$\begin{aligned} V_o &= A.V_i \\ 5 &= A.0,5 \\ A &= \frac{5}{0,5} = 10x \end{aligned}$$



Gambar 3.4. Penguat Inverting

Besarnya penguatan dari penguat inverting diatas adalah :

$$A = -\frac{R_f}{R_i}$$

$$A = -\frac{100K}{10K}$$

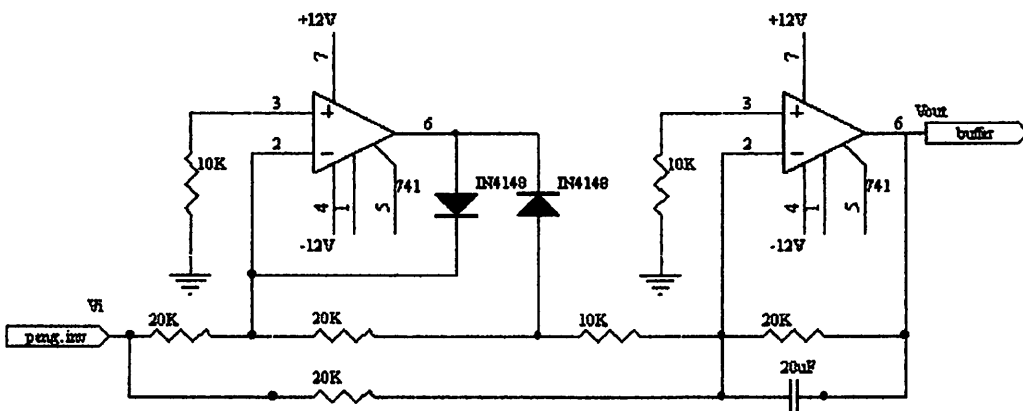
$$= -10x$$

Output dari penguat inverting ini akan terbalik dari polaritas inputnya, tetapi ini tidak akan berpengaruh pada sistem karena tegangan output ini masih berupa tegangan ac yang nantinya akan disearahkan terlebih dahulu.

3.3.4. Penyearah

Untuk menyearahkan sinyal yang cukup kecil, penyearah menggunakan dioda biasa tidak dapat dipergunakan karena memiliki tegangan ambang 0,6 Volt sebelum dioda dapat menghantarkan. Untuk itu digunakan penyearah op-amp yang dapat bertindak sebagai dioda ideal sehingga tidak ada sinyal yang terpotong.

Pada dasarnya penyearah ini terdiri dari 2 bagian, yaitu penyearah setengah gelombang yang memberikan keluaran daur negatif saja dari gelombang dan penjumlah pembalik yang berfungsi menjumlahkan gelombang masukan dan daur negatif dari gelombang.



Gambar 3.5. Rangkaian Rectifier Menggunakan Op Amp

Persamaan dari rangkaian diatas adalah :

$$V_o = (V_1 + 2V_1)$$

Sehingga untuk daur negatif gelombang didapat :

$$V_o = -(V_1 + 0) = -V_1$$

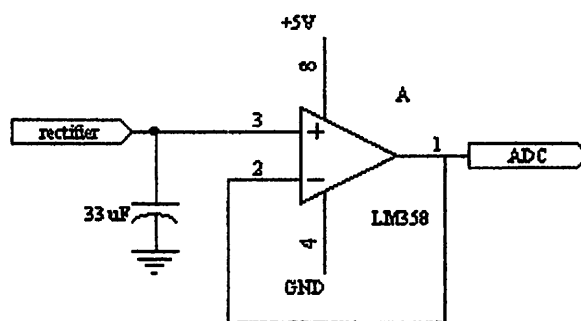
Sedangkan untuk daur positif gelombang didapat :

$$V_o = -(V_1 - 2V_1) = V_1$$

Sehingga didapatkan keluaran berupa harga mutlak gelombang. Adapun penambahan sebuah kapasitor berfungsi untuk meratakan arus yang keluar, sehingga didapatkan hasil yang mendekati dc murni.

3.3.5. Buffer

Agar tegangan output dari *rectifier* tidak turun sebagai akibat pembebanan dari ADC, maka dipasang rangkaian *buffer* pada output *rectifier*. Penguatan dari buffer ini adalah 1x atau tegangan output sama dengan tegangan input.



Gambar3.6. Rangkaian Buffer

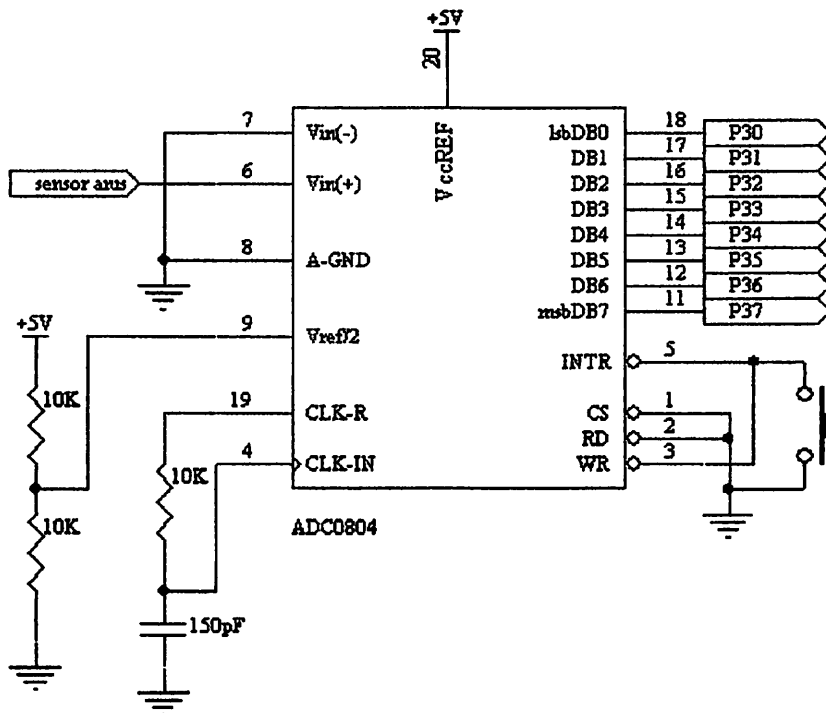
Kapasitor sebesar 33 uF yang dipasang pada input non inverting berfungsi sebagai tapis tegangan, yaitu untuk mengurangi tegangan *ripple* yang mungkin masih ada.

3.3.6. Analog to Digital Converter

Pada perancangan *Analog to Digital Converter* ini ADC yang digunakan adalah ADC 0804. IC ADC 0804 ini telah dirancang untuk dapat digunakan atau dihubungkan langsung dengan mikroprosesor ataupun mikrokontroler. Adapun spesifikasi dari ADC 0804 yang direncanakan adalah sebagai berikut :

1. $V_{cc}/V_{ref} = 5 \text{ Volt}$
2. Range input 0 sampai 5 Volt
3. *Free Running ADC*

Rangkaian dari ADC 0804 yang direncanakan bisa dilihat pada gambar dibawah ini :



Gambar 3.7. Rangkaian ADC 0804

3.3.6.1. Tegangan Referensi

Tegangan referensi menentukan besarnya tegangan inputan maksimal yang dapat diberikan ke ADC. *Range* input dari ADC dirancang untuk tegangan input analog 0 -5 Volt. Untuk itu besar dari V_{ref} direncanakan sebagai berikut :

$$V_{ref} = 5 \text{ Volt}$$

$$V_{ref} / 2 = \frac{5}{2}$$

$$= \frac{5}{2} = 2,5 \text{ Volt}$$

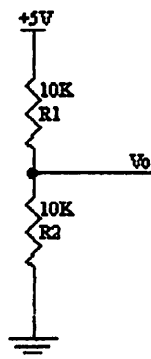
Dengan $V_{ref}/2 = 2,5 \text{ Volt}$ atau $V_{ref} = 5 \text{ Volt}$ maka diperoleh resolusi bit data dari ADC adalah :

Jumlah data 8 bit, berarti ada $2^8 - 1$ kemungkinan

$$V_{res} = \frac{V_{ref}}{2^8 - 1}$$

$$= \frac{5}{255} = 19,6 \text{ mVolt}$$

Tegangan 2,5 Volt bisa diperoleh dengan menggunakan 2 resistor pembagi tegangan yang mempunyai nilai resistansi sama.



Gambar 3.8. Rangkaian Pembagi Tegangan

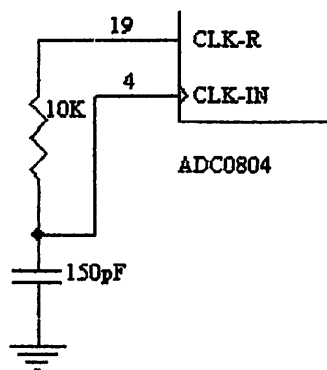
$$V_o = \frac{R_2}{R_1 + R_2} \times V_{cc}$$

$$V_o = \frac{10K}{10K + 10K} \times 5V_{olt}$$

$$= 2,5V_{olt}$$

3.3.6.2. Clock ADC

Clock yang akan digunakan pada ADC menggunakan clock internal yang dimiliki oleh ADC 0804. Meskipun begitu masih diperlukan komponen external untuk menentukan frekuensi dari clock internal ini. Komponen external yang dibutuhkan adalah 1 buah kapasitor 150 pF dan 1 buah resistor 10 K Ω .



Gambar 3.9. Rangkaian Clock ADC 0804

Adapun frekuensi yang dihasilkan oleh clock ini adalah :

$$f = \frac{1}{1,1RC}$$

$$f = \frac{1}{1,1 \cdot 10^4 \cdot 150 \cdot 10^{-12}}$$

$$= 606KHz$$

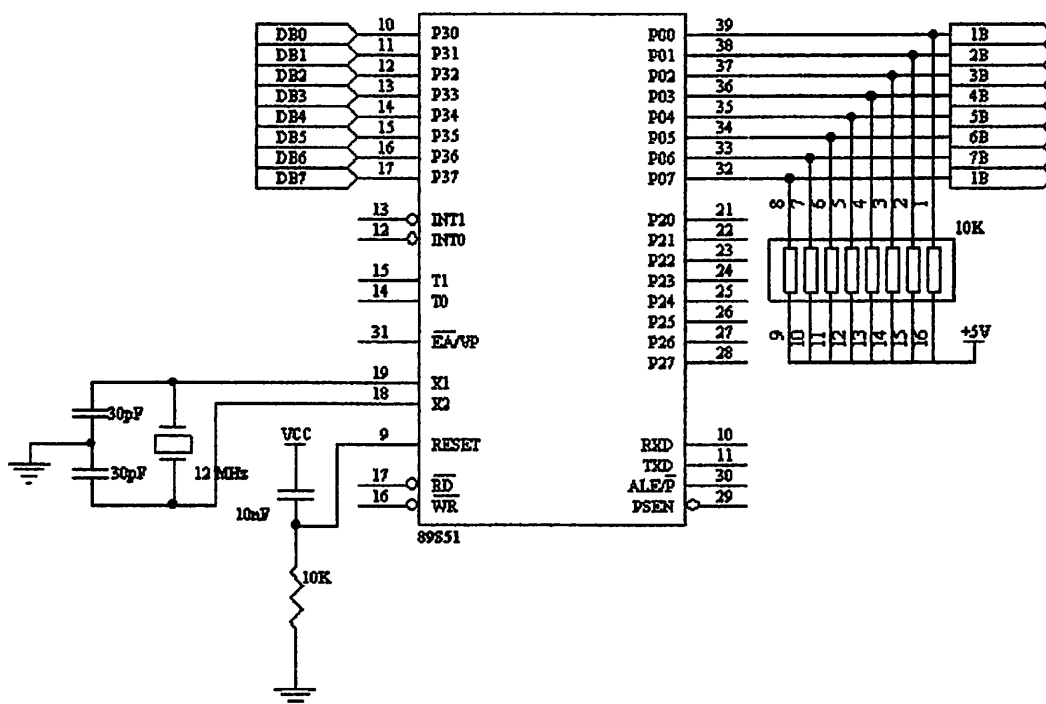
3.3.7. Perancangan Minimum Sistem AT89S51

Mikrokontroler yang digunakan pada sistem ini adalah mikrokontroler tipe AT89S51 produksi ATMEL yang termasuk dalam keluarga MCS-51. Mikrokontroler AT89S51 dirancang untuk dapat berdiri sendiri karena didalamnya sudah terdapat EPROM, RAM, ROM, serta port I/O internal. Supaya mikrokontroler AT89S51 dapat berfungsi sebagai *single chip* maka kaki EA (*External Address Enable*) harus dihubungkan ke Vcc sehingga pada saat reset program diambil dari memori program internal.

Agar sebuah mikrokontroler dapat bekerja sebagai pengontrol, maka kaki-kaki/*port* mikrokontroler harus dihubungkan dengan rangkaian-rangkaian eksternal yang akan dikontrol. Dalam perancangan ini, *port* yang digunakan adalah sebagai berikut:

1. Port 3 merupakan port I/O dimana port 3 ini akan difungsikan sebagai input yaitu untuk membaca data digital yang dikirimkan oleh ADC. Oleh karena itu port 3 dihubungkan dengan output (DB0 sampai DB7) dari ADC.
2. Port 1 juga merupakan port I/O tetapi port 1 ini akan difungsikan sebagai output yaitu untuk mengontrol jumlah kapasitor yang akan dipasang pada jaringan instalasi listrik.
3. X1 dan X2 digunakan sebagai input dari rangkaian osilator kristal. Rangkaian osilator kristal terdiri dari kristal osilator 12 MHz, kapasitor C1 dan C2 yang masing-masing bernilai 30 pF, yang akan membangkitkan pulsa *clock* yang menjadi penggerak bagi seluruh operasi internal MCU (*Application Note AT89S51 In-Circuit programming*).

4. VCC dihubungkan dengan tegangan sebesar +5V sesuai dengan tegangan operasi *chip* tunggal yang diizinkan dalam *data sheet*.
5. GND dihubungkan ke *ground* catu daya.
6. Reset digunakan untuk mereset program kontrol MCU, dimana reset memiliki masukan aktif *high*.



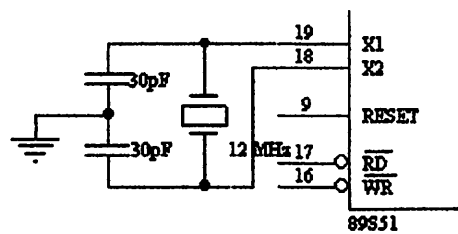
Gambar 3.10. Rangkaian Mikrokontroler

Mikrokontroler AT89S51 harus didukung oleh beberapa rangkaian lain agar dapat bekerja, yaitu rangkaian clock dan reset. Selain itu juga harus ditentukan penggunaan port apakah sebagai input atau output.

3.3.7.1. Clock

Clock dalam mikrokontroler berfungsi sebagai sistem pewaktuan. Kecepatan proses yang dilakukan oleh mikrokontroler ditentukan oleh kecepatan clock (pewaktuan) yang mengendalikan mikrokontroler tersebut. Gambar 3.11

memperlihatkan sistem pewaktuan yang menggunakan osilator internal yang sudah tersedia dalam chip AT89S51. Untuk menentukan frekuensi osilator cukup dengan cara menghubungkan kristal pada pin XTAL 1 dan XTAL 2 serta memparalel dua buah kapasitor ke ground. Besarnya kapasitansi disesuaikan dengan spesifikasi pada lembar data sheet AT89S51 yaitu 30 pF sedangkan kristal yang digunakan yaitu 12 MHz.



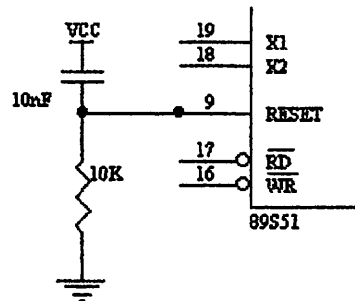
Gambar 3.11. Rangkaian Clock

Satu siklus mesin terdiri atas 6 runtun keadaan (*state*) yang diberi nama S1 sampai dengan S6. Setiap keadaan terdiri atas dua periode osilator, sehingga setiap siklus mesin terdiri atas 12 periode osilator. Frekuensi osilator adalah 12 MHz maka satu siklus mesin adalah 1 μ s.

3.3.7.2. Reset

Reset digunakan untuk mereset mikrokontroler. Pin RST harus diberi logika tinggi selama sekurangnya dua siklus mesin (24 periode osilator). Untuk membangkitkan sinyal reset pada saat awal catu daya dihidupkan, suatu reset otomatis dilakukan dengan menghubungkan pin RST ke *Power-On Reset*, seperti pada gambar 3.10. Ketika catu daya dinyalakan, rangkaian akan menahan pin RST dalam kondisi logika tinggi selama selang beberapa saat tergantung nilai kapasitor dan kecepatan pengisian muatannya. Pemberian catu daya pada mikrokontroler tanpa suatu sinyal reset dapat menyebabkan CPU memulai eksekusi instruksinya

dari lokasi yang tak tentu. Hal ini disebabkan karena Program Counter tidak terinisialisasi.



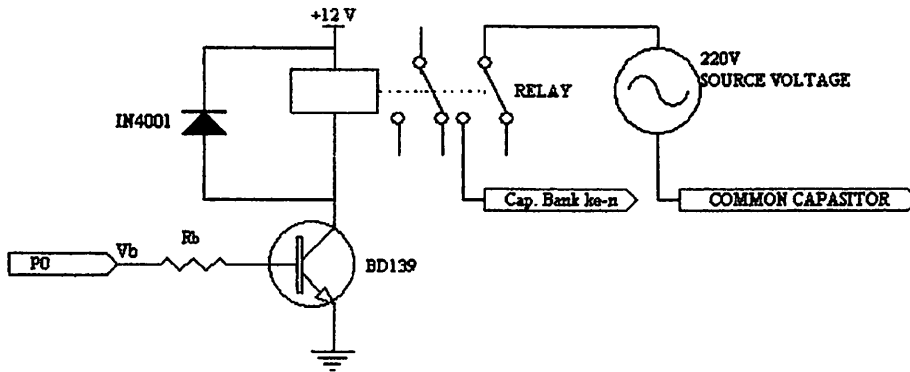
Gambar 3.12. Rangkaian Reset

3.3.7.3. Pembagian Port

Pada perancangan kapasitor bank berbasis mikrokontroler AT89S51, ada 2 port yang akan dipakai. Yang pertama adalah port 3 yang terdiri dari 8 bit akan difungsikan sebagai input untuk menerima data digital dari ADC. Sedangkan untuk port 1 akan difungsikan sebagai output yaitu digunakan untuk mengendalikan rangkaian driver kapasitor bank.

3.3.8. Perencanaan Driver Relay

Dalam perancangan driver menggunakan transistor, transistor direncanakan berfungsi sebagai saklar. Transistor yang akan dipakai dalam perancangan ini adalah transistor jenis NPN dengan tipe BD 139. Dari data sheet diperoleh data bahwa I_c max dari transistor ini adalah 1,5 Ampere, V_{BE} 1 Volt, sedangkan H_{fe} min 40 dan H_{fe} max 160. Pada gambar 3.12, diperlihatkan gambar dari rangkaian driver kapasitor bank, dimana rangkaian ini terdiri dari beberapa komponen di antaranya resistor, transistor, dioda, dan relay.



Gambar 3.13. Rangkaian Driver Kapasitor Bank

Beban transistor yang berupa relay dengan resistansi 374Ω dipasang antara V_{cc} 12 Volt dan kaki kolektor maka I_{relay} atau I_c adalah :

$$I_c = \frac{V_{cc}}{R_{\text{relay}}} = \frac{12}{374}$$

$$= 0,032 \text{ A}$$

Selanjutnya untuk mendapatkan I_c 0,032 A maka arus basis yang dibutuhkan dapat dicari dengan membagi I_c dengan H_{fe} dari transistor. H_{fe} yang digunakan dalam perhitungan yaitu 100 yang merupakan harga antara minimum dan maksimum dari H_{fe} yang dimiliki transistor BD 139.

$$I_b = \frac{I_c}{H_{fe}} = \frac{0,032 \text{ A}}{100}$$

$$= 0,32 \text{ mA}$$

Sedangkan untuk mendapatkan I_b sebesar 0,8 mA maka besarnya R_b adalah :

$$R_b = \frac{V_b - V_{BE}}{I_b} = \frac{5 - 1}{0,32 \cdot 10^{-3}}$$

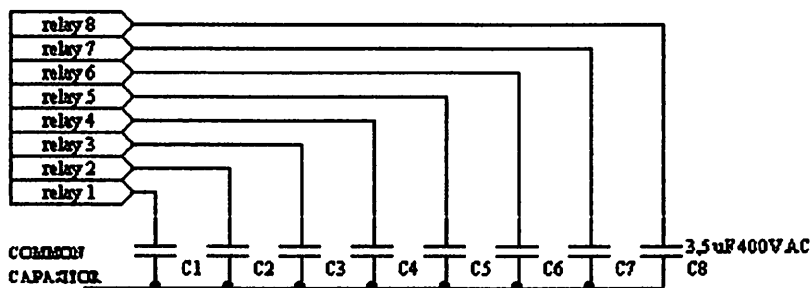
$$= 12500 \Omega$$

Dalam prakteknya digunakan nilai resistor yang mendekati dari perhitungan nilai R_b diatas yaitu $12 \text{ K}\Omega$.

Fungsi dari relay ini adalah untuk menghubungkan kapasitor bank pada jaringan instalasi listrik secara paralel. Jumlah relay yang dipakai sebanyak 8 buah karena kapasitor bank juga berjumlah 8 buah.

3.3.10. Kapasitor Bank

Kapasitor bank adalah kapasitor yang akan dihubungkan secara paralel pada jaringan instalasi listrik. Jumlah kapasitor yang dipakai sebanyak 8 buah dan masing-masing kapasitor bernilai 3,5 uF dengan tegangan kerja 400V AC.



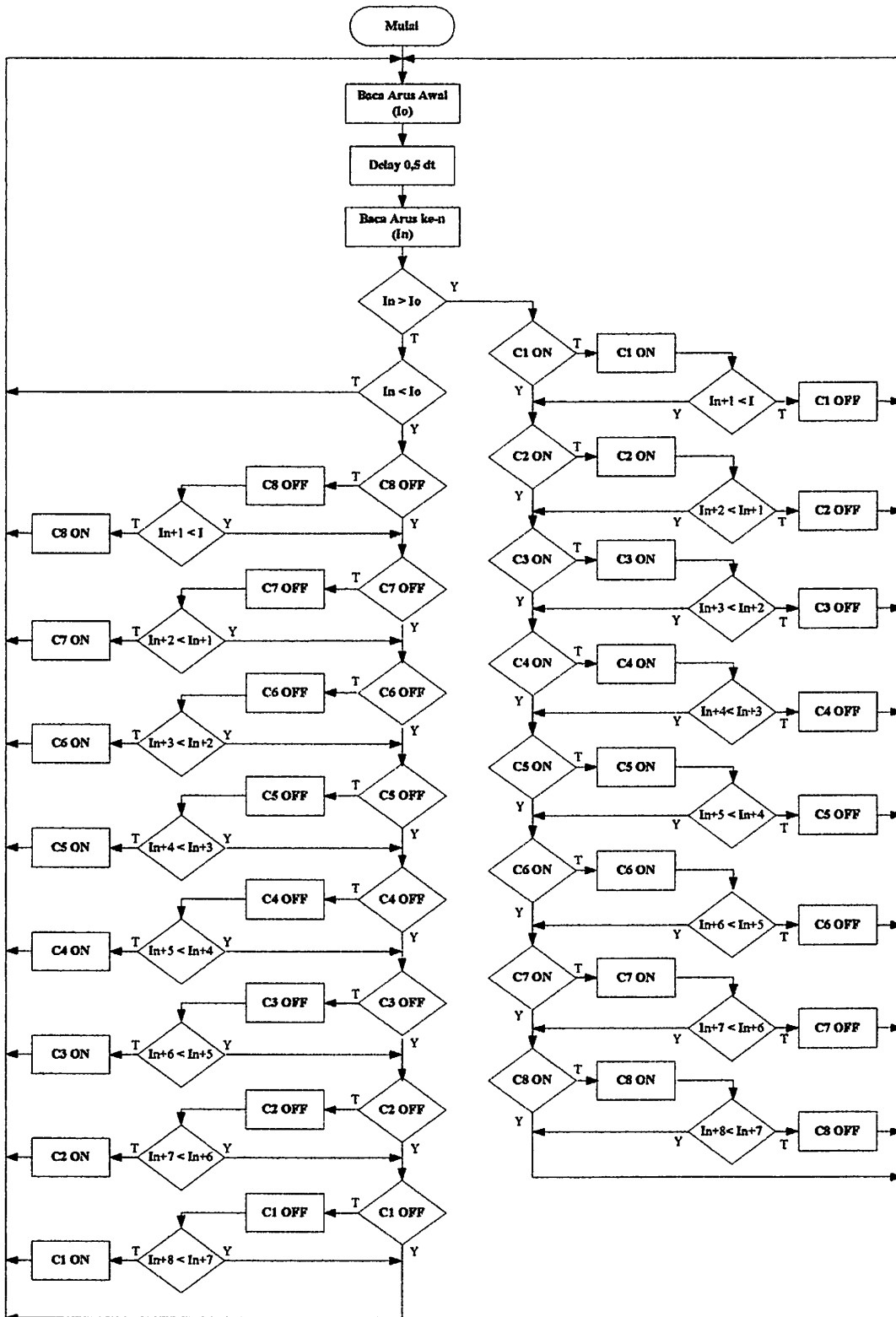
Gambar 3.14. Kapasitor Bank

Adapun besarnya kapasitas total dari 8 kapasitor diatas adalah :

$$\begin{aligned}
 C_{total} &= C1 + C2 + C3 + C4 + C5 + C6 + C7 + C8 \\
 &= (3,5 + 3,5 + 3,5 + 3,5 + 3,5 + 3,5 + 3,5 + 3,5) \text{ uF} \\
 &= 28 \text{ uF}
 \end{aligned}$$

3.4. Perancangan Perangkat lunak

Agar perangkat keras yang sudah dibuat dapat bekerja sesuai dengan yang direncanakan maka diperlukan suatu program/perangkat lunak. Adapun bahasa pemrograman yang dipakai dalam pembuatan perangkat lunak yaitu bahasa assembly. Dibawah ini adalah flowchart dari perangkat lunak yang akan dibuat.



Gambar 3.15. Flowchart Perangkat Lunak

Secara garis besar alur dari flowchart diatas adalah pembacaan arus yang mengalir setiap detik sekali. Apabila ada kenaikan arus maka C1 akan dipasang dan kemudian arus akan dibaca lagi. Jika ternyata arus naik maka C1 akan dilepas lagi. Dan jika arus turun maka C2 akan dipasang dan seterusnya sampai C8.

Sedangkan apabila ada penurunan arus maka C8 akan dilepas dan selanjutnya arus akan dibaca lagi. Bila ternyata arus malah naik maka C8 akan dipasang lagi. Dan jika arus turun maka C7 akan dilepas dan seterusnya sampai C1.

BAB IV

PENGUJIAN ALAT

Tujuan pengujian adalah untuk mengetahui keadaan masukan atau keadaan keluaran dari tiap blok rangkaian yang direncanakan, sehingga dengan pengujian ini dapat diketahui apakah tiap blok dapat berfungsi dengan baik dan sesuai dengan yang diharapkan atau tidak. Dan selanjutnya dilakukan pengujian untuk keseluruhan sistem yaitu pengujian hardware yang telah diintegrasikan dengan software. Untuk tujuan ini, pengujian dilakukan dengan urutan sebagai berikut :

1. Pengujian rangkaian penguat differensial.
2. Pengujian rangkaian penguat inverting.
3. Pengujian sensor arus.
4. Pengujian rangkaian penyearah.
5. Pengujian rangkaian ADC 0804.
6. Pengujian rangkaian minimum sistem mikrokontroler AT89S51.
7. Pengujian rangkaian driver relay.
8. Pengujian rangkaian keseluruhan.

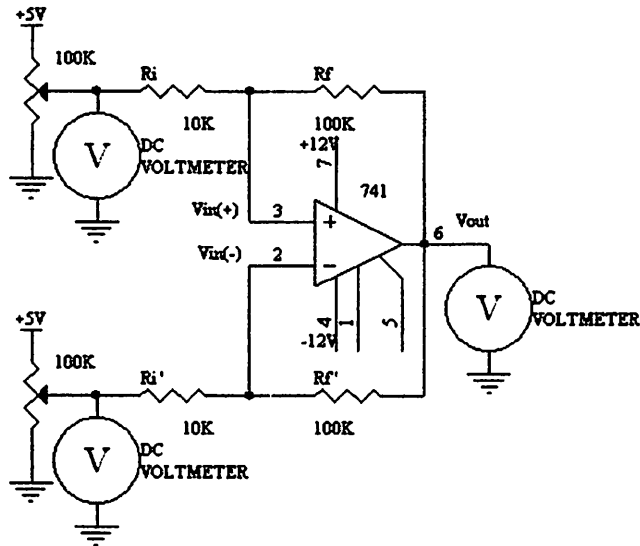
4.1. Pengujian Penguat Differensial

4.1.1. Tujuan

Pengujian dari penguat differensial adalah untuk mengetahui apakah rangkaian penguat differensial dapat berfungsi dengan baik. Penguat differensial harus dapat menguatkan selisih dari kedua sinyal inputnya dengan penguatan sebesar perbandingan R_f dan R_i dan dengan fasa output yang sama dari fasa sinyal inputnya.

4.1.2. Peralatan yang digunakan

1. Rangkaian penguat differensial menggunakan op amp 741.
2. Voltmeter.
3. Catu daya.



Gambar 4.1. Pengujian Rangkaian Penguat Differensial

4.1.3. Prosedur Pengujian

1. Merangkai rangkaian penguat differensial seperti gambar 4.1 di atas.
2. Memasang catu daya.
3. Memutar kedua potensio meter untuk mengatur besar tegangan pada kedua input.
4. Mengamati dan mencatat besar tegangan kedua input.
4. Mengamati dan mencatat tegangan output penguat differensial.

4.1.4. Hasil Pengujian

Tabel dibawah ini adalah data hasil percobaan yang telah dilakukan dan sekaligus hasil perhitungan sehingga bisa dilihat perbandingan antara hasil percobaan/pengukuran dan hasil perhitungannya serta error yang terjadi.

Tabel 4.1. Hasil Pengujian Serta Perhitungan Penguat Differensial

NO	INPUT (Volt)		OUTPUT (Volt)		ERROR (%)
	Vin(+)	Vin(-)	PENGUKURAN	PERHITUNGAN	
1	2,15	2,02	1,22	1,3	6,1
2	2,15	1,96	1,83	1,9	3,7
3	2,15	1,81	3,27	3,4	3,8
4	2,15	1,77	3,59	3,8	5,5
5	2,15	1,68	4,48	4,7	4,7

Contoh perhitungan data ke-5 :

$$V_{out} = \frac{R_f}{R_i} \times (V_{IN(+)} - V_{IN(-)})$$

$$= \frac{100.10^3}{10.10^3} \times (2,15 - 1,68) = 4,7 \text{ Volt}$$

$$\% \varepsilon = \frac{V_{out} - V_{out}(\text{pengukuran})}{V_{out}} \times 100\%$$

$$\% \varepsilon = \frac{4,70 - 4,48}{4,70} \times 100\% = 4,7 \%$$

Dengan cara perhitungan yang sama diperoleh data seperti terlihat pada tabel 4.1. di atas. Sedangkan untuk mencari nilai kesalahan rata-rata adalah sebagai berikut :

$$\% \varepsilon(\text{rata - rata}) = \frac{\Sigma(\text{kesalahan_pengukuran})}{\text{banyaknya_data}} \%$$

$$= \frac{(6,1 + 3,7 + 3,8 + 5,5 + 4,7)}{5} \%$$

$$\% \varepsilon(\text{rata - rata}) = 4,76 \%$$

Dari 5 kali pengujian, error rata-rata yang terjadi adalah sebesar 4,7 %. Error ini terjadi karena ketidak simetrisan tegangan yang mencatu op amp yaitu $V^+ = + 11,97 \text{ Volt}$ dan $V^- = -11,94 \text{ Volt}$. Error yang terjadi cukup kecil dan berarti rangkaian penguat differensial telah dapat menguatkan selisih tegangan input dengan baik.

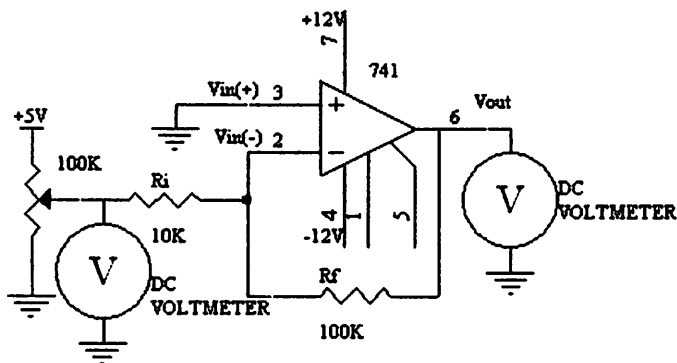
4.2. Pengujian Penguat Inverting

4.2.1. Tujuan

Tujuan dari pengujian penguat inverting adalah untuk mengetahui apakah rangkaian penguat inverting dapat berfungsi dengan baik. Penguat inverting harus dapat menguatkan sinyal input dengan penguatan sebesar perbandingan R_f dan R_i dan dengan fasa output yang terbalik dari fasa sinyal inputnya.

4.2.2. Peralatan yang digunakan

1. Rangkaian penguat inverting menggunakan op amp 741.
2. Voltmeter.
3. Catu daya.



Gambar 4.2. Pengujian Rangkaian Penguat Inverting

4.2.3. Prosedur Pengujian

1. Merangkai rangkaian penguat inverting seperti gambar 4.2. di atas.
2. Memasang catu daya.
3. Memutar potensio meter untuk mengatur tegangan input.
4. Mengamati dan mencatat besar tegangan input.
5. Mengamati dan mencatat besar tegangan output penguat inverting.

4.2.4. Hasil Pengujian Penguat Inverting

Tabel dibawah ini adalah data hasil percobaan yang telah dilakukan dan sekaligus hasil perhitungan sehingga bisa dilihat perbandingan antara hasil percobaan/pengukuran dan hasil perhitungannya serta error yang terjadi.

Tabel 4.2. Hasil Pengujian Serta Perhitungan Penguat Inverting

NO	INPUT (Volt)	OUTPUT (Volt)		ERROR (%)
		PENGUKURAN	PERHITUNGAN	
1	0,058	- 0,58	- 0,58	0,00
2	0,197	- 1,99	- 1,97	1,00
3	0,262	- 2,60	- 2,62	0,76
4	0,300	- 3,04	- 3,00	1,30
5	0,428	- 4,33	- 4,28	1,17

Contoh perhitungan data ke-3 :

$$V_{out} = -\frac{R_f}{R_i} \times V_{in}$$

$$= -\frac{100.10^3}{10.10^3} \times 0,262 = - 2,62 \text{ Volt}$$

$$\% \varepsilon = \frac{V_{out} - V_{out}(\text{pengukuran})}{V_{out}} \times 100\%$$

$$\% \varepsilon = \frac{(-2,62) - (-2,60)}{-2,62} \times 100\% = 0,76 \%$$

Dengan cara perhitungan yang sama diperoleh data seperti terlihat pada tabel 4.2.

di atas. Sedangkan untuk mencari nilai kesalahan rata-rata adalah sebagai berikut :

$$\% \varepsilon(\text{rata - rata}) = \frac{\Sigma(\text{kesalahan_pengukuran})}{\text{banyaknya_data}} \%$$

$$= \frac{(0,00 + 1,00 + 0,76 + 1,30 + 1,17)}{5} \%$$

$$\% \varepsilon(\text{rata - rata}) = 0,85 \%$$

Dari 5 kali pengujian, error rata-rata yang terjadi adalah sebesar 0,85 %. Error yang terjadi cukup kecil dan berarti rangkaian penguat inverting telah dapat menguatkan tegangan input dengan baik.

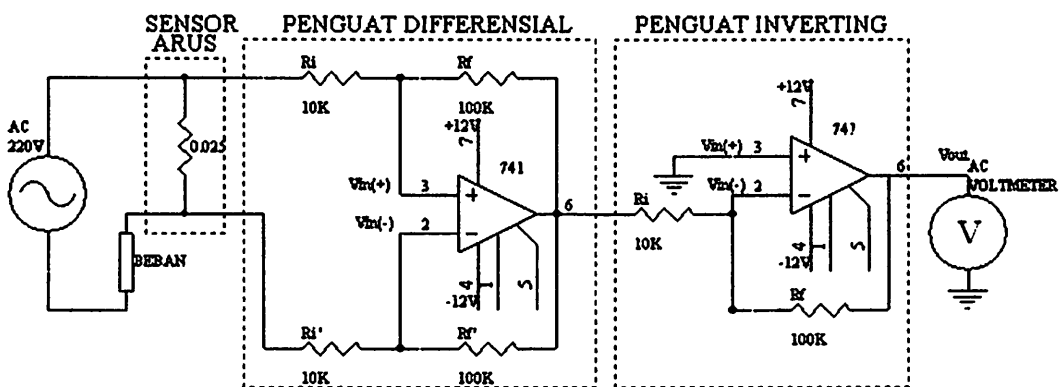
4.3. Pengujian Sensor Arus

4.3.1. Tujuan

Tujuan dari pengujian sensor arus ini bertujuan untuk mengetahui apakah sensor arus sudah dapat mendeteksi besarnya arus yang mengalir dan kemudian mengubahnya dalam bentuk tegangan. Besarnya tegangan output dari sensor arus harus sebanding dengan besarnya arus yang mengalir.

4.3.2. Peralatan yang digunakan

1. Resistor 0,025 Ω /4 Watt.
2. Rangkaian penguat differensial.
3. Rangkaian penguat inverting.
4. Rangkaian beban listrik.
5. Voltmeter AC.
6. Catu daya.



Gambar 4.3. Rangkaian Pengujian Sensor Arus

4.3.3. Prosedur Pengujian

1. Merangkai rangkaian pengujian seperti tampak pada gambar 4.3 diatas.
2. Memasang catu daya.
3. Memasang beban listrik.
4. Mengamati dan mencatat tegangan output dari rangkaian penguat inverting.

4.3.4. Hasil Pengujian Sensor Arus

Tabel dibawah ini adalah data hasil percobaan pengujian sensor arus yang telah dilakukan.

Tabel 4.3. Hasil Pengujian Sensor Arus

NO	BEBAN	Vout (V)	Vsensor (mV)	Isensor (A)
1	BOLAM 40 W	0,27	2,7	0,108
2	BOLAM 100 W	0,69	6,9	0,276
3	BOLAM 140 W	1,00	10,0	0,400
4	TL 20 W	0,68	6,8	0,272
5	TL 40 W	1,32	13,2	0,528

Adapun cara untuk mengetahui besarnya arus yang mengalir yaitu dengan cara membagi tegangan output (Vout) dengan besarnya penguatan total dari rangkaian (100 kali). Hasil pembagian ini kemudian dibagi lagi dengan besarnya resistansi sensor arus dan merupakan besarnya arus yang mengalir.

Contoh perhitungan data ke-5 :

$$V_{\text{sensor}} = \frac{V_{\text{out}}}{100} = \frac{1,32}{100} = 13,2 \text{ mV}$$

$$I_{\text{sensor}} = \frac{V_{\text{sensor}}}{R} = \frac{13,2^{-3}}{0,025} = 0,528 \text{ A}$$

Dengan cara perhitungan yang sama diperoleh data arus seperti tabel 4.3 di atas. Dari data yang diperoleh dapat diketahui bahwa sensor arus telah dapat

bekerja dengan baik yaitu mendeteksi besarnya arus yang mengalir dan kemudian mengubahnya dalam bentuk tegangan.

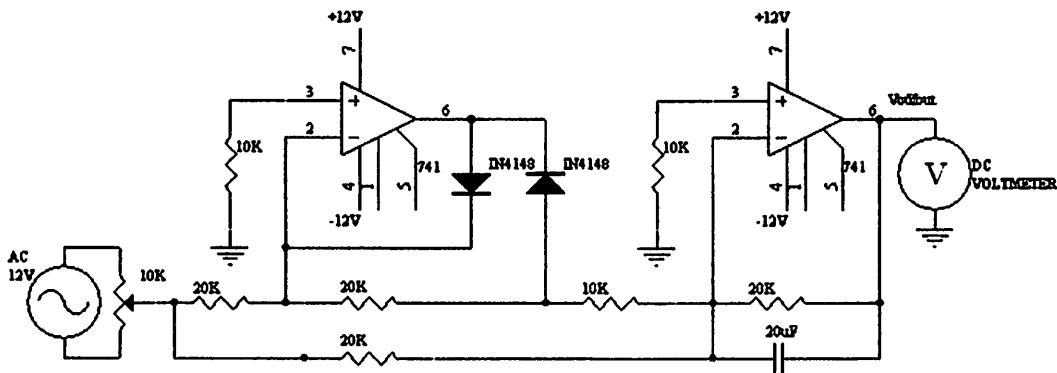
4.4. Pengujian Rectifier

4.4.1. Tujuan

Tujuan dari pengujian rangkaian *rectifier* ini adalah untuk mengetahui apakah rangkaian *rectifier* dapat menyearahkan tegangan ac menjadi tegangan dc dengan baik. Tegangan dc yang dihasilkan harus sesuai dengan besarnya tegangan ac yang disearahkan.

4.4.2. Peralatan yang Digunakan

1. Rangkaian Rectifier.
2. Voltmeter AC.
3. Voltmeter DC.
4. Sumber tegangan AC.
5. Catu daya.



Gambar 4.4. Rangkaian Pengujian Penyearah

4.4.3. Prosedur Pengujian

1. Merangkai rangkaian penyearah seperti gambar 4.4 di atas.
2. Memasang catu daya.
3. Mengatur masukan tegangan ac dengan cara memutar potensiometer.

4. Mengamati dan mencatat besar tegangan input menggunakan voltmeter AC.
5. Mengamati dan mencatat tegangan output penyearah menggunakan voltmeter DC.

4.4.4. Hasil Pengujian Rectifier

Tabel dibawah ini adalah data hasil percobaan yang telah dilakukan serta error yang terjadi.

Tabel 4.4. Hasil Pengujian Rectifier

NO	INPUT AC (Volt)	OUTPUT DC (Volt)	ERROR
			(%)
1	1,70	1,65	2,94
2	2,22	2,20	0,90
3	2,90	2,80	3,44
4	3,41	3,35	1,76
5	4,73	4,58	3,17

Contoh perhitungan data ke-1 :

$$\% \varepsilon = \frac{V_{in}(ac) - V_{out}(dc)}{V_{in}(ac)} \times 100\%$$

$$\% \varepsilon = \frac{1,70 - 1,65}{1,70} \times 100\% = 2,94 \%$$

Dengan cara perhitungan yang sama diperoleh data seperti terlihat pada tabel 4.4 di atas. Sedangkan untuk mencari nilai kesalahan rata-rata adalah sebagai berikut :

$$\begin{aligned} \% \varepsilon(\text{rata - rata}) &= \frac{\Sigma(\text{kesalahan pengukuran})}{\text{banyaknya_data}} \% \\ &= \frac{(2,94 + 0,90 + 3,44 + 1,76 + 3,17)}{5} \% \end{aligned}$$

$$\% \varepsilon(\text{rata - rata}) = 2,44 \%$$

Dari 5 kali pengujian, error rata-rata yang terjadi adalah sebesar 2,44 %.

Error yang terjadi cukup kecil dan berarti rangkaian rectifier telah dapat menyearahkan tegangan input dengan baik.

4.5. Pengujian Rangkaian ADC (Analog to Digital Converter)

4.5.1. Tujuan

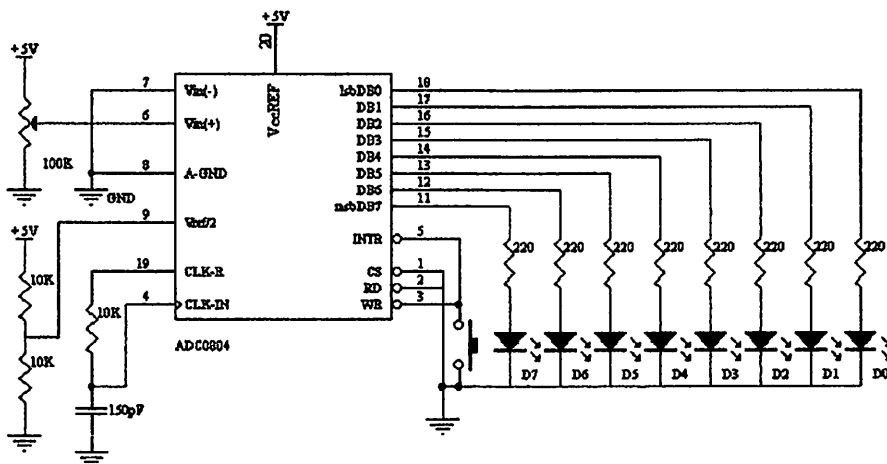
Rangkaian ADC 0804 merupakan rangkaian pengubah data analog menjadi data digital 8 bit. Pengujian rangkaian ADC 0804 dilakukan dengan pengambilan data analog dari tegangan potensiometer dengan range input antara 0 sampai 5 volt. Data analog ini akan dikonversi oleh ADC menjadi data *Hexadesimal*.

4.5.2. Peralatan yang digunakan

1. Rangkaian ADC 0804.
2. LED.
3. Voltmeter.
4. Catu daya.

4.5.3. Prosedur Pengujian

1. Merangkai rangkaian ADC seperti gambar 4.5 di bawah.
2. Memasang catu daya pada rangkaian ADC.
3. Men-start ADC dengan cara menekan push button.
4. Mengatur input tegangan analog dengan cara memutar potensiometer.



Gambar 4.5. Rangkaian Pengujian ADC 0804

5. Mengukur dan mencatat besar input tegangan analog.
6. Mengamati dan mencatat output data digital yang ditampilkan melalui led.

4.5.4. Hasil Pengujian

Dengan pengambilan 10 data input analog yang berbeda, maka diperoleh hasil pengujian dengan tampilan LED seperti table 4.5 berikut ini :

Tabel 4.5. Hasil Pengujian ADC 0804

NO	OUTPUT DIGITAL ADC 0804									INPUT (Volt)		ERROR (%)
	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	HEX	PENGUKURAN	PERHITUNGAN	
1	0	0	1	0	0	0	0	1	21	0,60	0,61	1,6
2	0	0	1	1	0	0	1	0	32	0,93	0,92	1,1
3	0	1	0	0	0	0	0	1	41	1,18	1,19	0,8
4	0	1	1	0	0	1	0	0	64	1,87	1,84	1,6
5	0	1	1	1	1	0	0	0	78	2,20	2,20	0,4
6	1	0	0	1	1	1	0	0	9C	2,88	2,87	0,3
7	1	0	1	0	1	1	0	0	AC	3,16	3,17	0,3
8	1	1	0	0	0	1	0	0	C4	3,60	3,61	0,3
9	1	1	0	1	1	1	0	0	DC	4,01	4,05	0,9
10	1	1	1	1	0	0	0	0	F0	4,48	4,43	1,1

Besar kesalahan hasil pengukuran output ADC adalah sebagai berikut:

$$V_{in} = \frac{D_{out}}{D_{max}} \times V_{ref} \dots\dots\dots(1)$$

dimana :

D_{out} = Nilai Desimal dari output ADC

D_{max} = 255

V_{ref} = 4,7 Volt

$$\% \varepsilon = \frac{V_{in} - V_{in}(\text{pengukuran})}{V_{in}} \times 100\%$$

- Contoh perhitungan pengukuran data ke-9 :

$$V_{in} = \frac{220}{255} \times 4,7 = 4,05 \text{ V}$$

$$\% \varepsilon = \frac{4,05 - 4,01}{4,05} \times 100\% = 0,9 \%$$

Dengan cara perhitungan yang sama diperoleh data seperti terlihat pada tabel 4.5 di atas. Sedangkan untuk mencari nilai kesalahan rata-rata adalah sebagai berikut :

$$\begin{aligned} \% \varepsilon(\text{rata - rata}) &= \frac{\Sigma(\text{kesalahan pengukuran})}{\text{banyaknya_data}} \% \\ &= \frac{(1,6 + 1,1 + 0,8 + 1,6 + 0,4 + 0,3 + 0,3 + 0,3 + 0,9 + 1,1)}{10} \% \end{aligned}$$

$$\% \varepsilon(\text{rata - rata}) = 0,87 \%$$

Dari 10 kali pengujian, error yang terjadi adalah sebesar 0,87 %. Error rata-rata yang terjadi sangatlah kecil dan berarti rangkaian ADC telah dapat mengkonversi tegangan input analog menjadi data digital dengan baik.

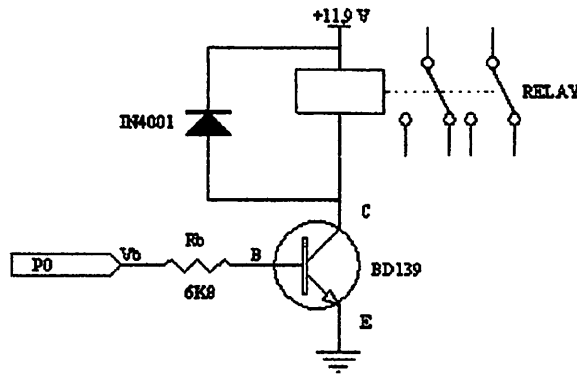
4.6. Pengujian Driver

4.6.1. Tujuan

Pengujian dari rangkaian driver ini mempunyai tujuan untuk mengetahui apakah driver bisa berfungsi dengan baik, yaitu output driver sesuai dengan perencanaan dan nantinya driver akan mampu untuk menggerakkan relay. Relay ini nantinya mempunyai fungsi untuk memutus atau memasang kapasitor bank pada jaringan instalasi listrik.

4.6.2. Peralatan yang Digunakan

1. Rangkaian driver transistor BD 139
2. Rangkaian relay.
3. Catu daya.



Gambar 4.6. Rangkaian Pengujian Driver Transistor

4.6.3. Prosedur Pengujian

1. Merangkai rangkaian driver seperti pada gambar 4.7.
2. Memasang catu daya.
3. Memberikan inputan logic pada input driver (V_b).
4. Mengamati dan mencatat tegangan pada kaki-kaki transistor.

4.6.4. Hasil Pengujian

Dari pengujian rangkaian driver yang telah dilakukan untuk mengetahui fungsi input dan juga output didapat data seperti pada tabel dibawah ini.

Tabel 4.6. Hasil Pengujian Rangkaian Driver

Vcc	V _B (Volt)	V _{BE} (Volt)	V _{CE} (Volt)	I _c (mVolt)	RELAY
11,9	2,38	0,7	0,07	31,6	ON
11,9	0,04	0,04	11,9	0	OFF

Dari pengujian yang telah dilakukan menunjukkan bahwa driver menggunakan transistor BD139 telah dapat berfungsi dengan baik yaitu dapat mensuplai arus dan tegangan yang dibutuhkan oleh relay untuk dapat menghubungkan atau memutuskan kontak saklar. Transistor BD 139 ini sesuai dengan *data sheet* mampu mensuplai arus kolektor sampai 1,5 Ampere.

4.7. Pengujian Alat Keseluruhan

4.7.1. Tujuan

Pengujian dari keseluruhan rangkaian mempunyai tujuan untuk mengetahui apakah alat yang dibuat telah bisa berfungsi dengan baik. Alat yang telah dibuat bisa berfungsi dengan baik apabila dapat menentukan secara otomatis jumlah kapasitor yang harus dipasang pada jaringan instalasi listrik untuk mengkompensasi beban induktif yang terpasang sehingga akan diperoleh optimasi sistem yang paling baik.

4.7.2. Peralatan yang Digunakan

1. Sensor arus.
2. Penguat differensial.
3. Penguat inverting.
4. Penyearah.
5. ADC.
6. Minimum sistem AT89S51.
7. Driver relay.
8. Kapasitor Bank.

4.7.3. Prosedur Pengujian.

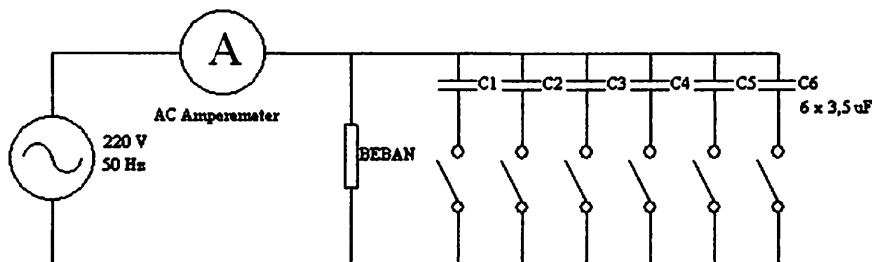
1. Merangkai rangkaian keseluruhan sesuai dengan perencanaan.
2. Memasang Voltmeter pada V_{out} penyearah.
3. Melakukan pengujian secara manual dengan memasang kapasitor bank satu persatu dan mencatat besar tegangan yang ditampilkan Voltmeter untuk masing-masing beban yang berbeda.
4. Menentukan jumlah kapasitor yang diperlukan untuk masing-masing beban yang berbeda untuk mendapatkan V_{out} yang paling kecil.

5. Melakukan percobaan dengan menggunakan alat yang telah dibuat dan mencatat jumlah kapasitor bank yang terpasang untuk masing-masing beban yang berbeda.
6. Melakukan perbandingan antara percobaan pemasangan kapasitor bank secara manual dan pemasangan kapasitor bank secara otomatis yang dilakukan oleh alat yang telah dibuat.

4.7.4. Hasil Pengujian

4.7.4.1. Pemasangan Kapasitor Bank Secara Manual

Percobaan pemasangan kapasitor bank secara manual bertujuan untuk mengetahui jumlah kapasitor yang diperlukan oleh tiap-tiap beban yang berbeda untuk mendapatkan arus yang paling kecil. Cara pengujiannya adalah dengan cara memasang kapasitor satu-persatu pada jaringan instalasi listrik secara paralel dan mencatat arus yang mengalir. Selanjutnya dengan cara yang sama dilakukan untuk masing-masing beban yang berbeda.



Gambar 4.7. Rangkaian Pengujian Secara Manual

Tabel 4.7. Hasil Pengujian Pemasangan Kapasitor Bank Secara Manual

NO	BEBAN	ARUS JARINGAN LISTRIK (Ampere)						
		OFF	C1	C2	C3	C4	C5	C6
1	BOLAM 40 W	0,19	0,23	0,45	0,69	0,95	1,20	1,46
2	BOLAM 100 W	0,34	0,37	0,54	0,76	1,01	1,26	1,51
3	TL 20 W	0,37	0,25	0,16	0,38	0,62	0,88	1,14
4	2 x TL 20 W	0,73	0,59	0,42	0,34	0,39	0,62	0,86
5	3 x TL 20 W	1,09	0,96	0,76	0,61	0,50	0,53	0,63

Dengan menggunakan rumus daya :

$$P = I.V$$

maka akan didapat tabel daya seperti terlihat di bawah ini :

Tabel 4.8. Besarnya Daya pada Jaringan Instalasi Listrik

NO	BEBAN	DAYA JARINGAN LISTRIK (Watt)						
		OFF	C1	C2	C3	C4	C5	C6
1	BOLAM 40 W	41,8	50,6	99	151,8	209	264	321,2
2	BOLAM 100 W	74,8	81,4	118,8	167,2	222,2	277,2	332,2
3	TL 20 W	81,4	55	35,2	83,6	136,4	193,6	250,8
4	2 x TL 20 W	160,6	129,8	92,4	74,8	85,8	136,4	189,2
5	3 x TL 20 W	239,8	211,2	167,2	134,2	110	116,6	138,6

Dari data hasil pengujian kapasitor bank secara manual di atas, maka dapat diketahui berapa seharusnya jumlah kapasitor bank yang dipasang pada jaringan listrik untuk tiap-tiap beban listrik yang berbeda untuk mendapatkan arus yang paling kecil.

Tabel 4.9. Jumlah Kapasitor Yang Perlu Dipasang Pada Jaringan Listrik

NO	BEBAN	ARUS TERKECIL
1	BOLAM 40 W	semua kapasitor terputus
2	BOLAM 100 W	semua kapasitor terputus
3	TL 20 W	C1,C2 terpasang dan yang lain terputus
4	2 x TL 20 W	C1,C2 dan C3 terpasang dan yang lain terputus
5	3 x TL 20 W	C1, C2,C3 dan C4 terpasang dan yang lain terputus

4.7.4.2. Pemasangan Kapasitor Bank Secara Otomatis

Pengujian selanjutnya yaitu pemasangan kapasitor bank secara otomatis dengan cara memasang alat yang telah dibuat secara paralel terhadap jaringan instalasi listrik. Jumlah kapasitor yang dipasang secara otomatis oleh alat yang telah dibuat harus sesuai dengan data pada tabel 4.9 di atas.

Tabel 4.10. Hasil Pengujian Alat

NO	BEBAN	C1	C2	C3	C4	C5	C6	C7	C8
1	BOLAM 40 W	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF
2	BOLAM 100 W	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF
3	TL 20 W	ON	ON	OFF	OFF	OFF	OFF	OFF	OFF
4	2 x TL 20 W	ON	ON	ON	OFF	OFF	OFF	OFF	OFF
5	3 x TL 20 W	ON	ON	ON	ON	OFF	OFF	OFF	OFF

Tabel 4.10 di atas adalah hasil dari pengujian alat yang telah dibuat. Dari data pada tabel 4.10 dapat diketahui bahwa jumlah kapasitor yang dipasang secara otomatis oleh alat yang telah dibuat sudah sesuai dengan dengan kebutuhan kapasitor pada tabel 4.9. Dengan data hasil pengujian di atas dapat disimpulkan bahwa alat yang telah dibuat sudah dapat berfungsi dengan baik.

BAB V

PENUTUP

5.1. Kesimpulan

Dari hasil perencanaan dan pembuatan kapasitor bank berbasis mikrokontroler AT89S51 untuk optimasi daya serta pengujian yang telah dilakukan dapat diambil beberapa kesimpulan sebagai berikut :

1. Alat yang dibuat telah dapat menentukan jumlah kapasitor yang harus dipasang sebagai kompensator dari beban induktif sesuai dengan tabel 4.9 dan 4.10. Sedangkan bila beban hanya bersifat resistif murni maka tidak diperlukan kapasitor karena pemasangan kapasitor justru akan mengakibatkan adanya beban kapasitif yang nantinya justru memperbesar arus listrik. Alat yang dibuat telah dapat mendeteksi kenaikan dan penurunan arus pada jaringan instalasi listrik.
2. Alat ini bisa berfungsi dengan baik pada batas daya maksimal 450 VA atau arus maksimal sebesar 2 Ampere.
3. Pada rangkaian penyearah tidak menggunakan penyearah jembatan dioda karena dioda mempunyai tegangan ambang 0,6 Volt sebelum dioda dapat menghantar sedangkan tegangan yang akan disearahkan relatif kecil. Untuk itu digunakan penyearah menggunakan rangkaian op-amp dan dioda sehingga tidak ada sinyal yang terpotong. Adapun error rata-rata yang terjadi adalah sebesar 2,44 % yang merupakan kesalahan hasil penyearahan dari rangkaian yang telah dibuat terhadap perhitungan

5.2. Saran

Alat yang telah dibuat sudah bisa bekerja dengan baik tetapi masih terdapat beberapa hal yang penulis sarankan untuk perbaikan dalam rangka pengembangan alat yang telah dibuat. Adapun beberapa hal yang penulis sarankan adalah :

1. Sensor arus bisa menggunakan trafo arus (*Current Transformator*) sehingga alat yang dibuat bisa benar-benar terisolasi dari hubungan jala-jala listrik PLN.
2. Mikrokontroler bisa diganti dengan jenis mikrokontroler yang sudah tersedia ADC didalamnya seperti keluarga AVR atau Renesas sehingga akan mempermudah dalam perancangan hardware.
3. Alat yang telah dibuat didesain untuk beban 450 VA dengan arus maksimal 2 Ampere sehingga untuk pengembangannya nanti bisa dibuat alat dengan desain untuk beban yang lebih besar misalnya beban 1300 VA atau 2200 VA.
4. Alat yang akan dibuat bisa dilengkapi dengan sensor tegangan disamping sensor arus yang telah ada untuk selanjutnya dapat digunakan untuk mendeteksi besarnya beda fasa atau $\cos \emptyset$.

DAFTAR PUSTAKA

1. **www.atmel.com**
2. **www.national.com**
3. **www.allegromicro.com**
4. Paulus Andi Nalwan, **Panduan Praktis Teknik Antarmuka dan Pemrograman Mikrokontroler AT89C51**, PT. Elex Media Komputindo, Jakarta 2003.
5. Paulus Andi Nalwan, **Panduan Praktis Penggunaan Modul LCD M1632**, PT. Elex Media Komputindo, Jakarta 2004.
6. Afgianto,E.P., **Belajar Mikrokontroller AT89C51/52/55**, Penerbit Gava Media, Yogyakarta 2002.
7. Richard Blocher,Dipl.Phys, **Dasar Elektronika**, Penerbit Andi Yogyakarta, Yogyakarta 2003.
8. Wasito S,**Vedemekum Elektronika**, Edisi Kedua, PT. Gramedia, Jakarta 1985.
9. Totok Budioko, **Belajar dengan Mudah dan Cepat Pemrograman Bahasa C dengan SDCC (Small Device C Compailer) pada Mikrokontroler AT 89X051/AT 89C51/52**, Penerbit Gava Media, Yogyakarta 2005.
10. Ir. Hasan Basri, **Sistem Distribusi Daya Listrik**, Balai Penerbit dan Humas IST Bumi Srengsreng Indah P. Minggu, Jakarta Selatan 1996.
11. **Kuliah Fisika Dasar**, FMIPA UI.

LAMPIRAN



FORMULIR BIMBINGAN SKRIPSI

Nama : Nurul Huda
NIM : 0317023
Masa Bimbingan : 5-Juni-2007 s/d 5-Desember-2007
Judul Skripsi : Perencanaan dan Pembuatan Kapasitor Bank Berbasiskan Mikrokontroler AT89S51 Untuk Optimasi Daya

No	Tanggal	Uraian	Paraf Pembimbing
1.	2/8'07	Perbaikan sub. bab. 3.2.2 & 3.2.6.	
2.	8/8'07	Acc Bab I, II Revisi sub bab 4.7.4.1	
3.	10/8'07	Demo pengujian alat	
4.	13/8'07	Revisi Kesimpulan	
5.	15/8'07	ACC Skripsi	
6.			
7.			
8.			
9.			
10.			

Malang,
Dosen Pembimbing I

Ir. M. Abdul Hamid, MT
NIP.Y. 1018800188



FORMULIR BIMBINGAN SKRIPSI

Nama : Nurul Huda
NIM : 0317023
Masa Bimbingan : 5-Juni-2007 s/d 5-Desember-2007
Judul Skripsi : Perencanaan dan Pembuatan Kapasitor Bank Berbasiskan Mikrokontroler AT89S51 Untuk Optimasi Daya

No	Tanggal	Uraian	Paraf Pembimbing
1.	5/07 16	Proposal & Bab I	
2.	12/07 17	Revisi Bab II & Bab III - UCN diganti transistor. - penambahan listing prog.	
3.	23/07 17	Revisi Bab III dilanjutkan ke. Pengerjaan	
4.	30/07 17	Revisi Bab IV dilanjutkan ke bentuk molecular seminar Hasil	
5.	31/07 17	Revisi Bab V di tambahkan pengerjaan IC driver Relay.	
6.	13/07 08	molecular seminar Hasil	
7.	21/07 08	Revisi Molecular Skripsi	
8.			
9.			
10.			

Malang,
Desen Pembimbing II

I Komang Somawirata, ST, MT
NIP. X. 1018800188



**INSTITUT TEKNOLOGI NASIONAL MALANG
FAKULTAS TEKNOLOGI INDUSTRI
JURUSAN TEKNIK ELEKTRO S-1
KONSENTRASI ELEKTRONIKA**

LEMBAR PERSETUJUAN PERBAIKAN SKRIPSI

Dari hasil ujian skripsi jurusan Teknik Elektro jenjang strata satu (S-1), yang diselenggarakan pada:

Hari : Kamis

Tanggal : 6 September 2007

Telah dilakukan perbaikan oleh:

Nama : Nurul Huda
N.I.M : 03.17.023
Jurusan : TEKNIK ELEKTRO S-1
Konsentrasi : ELEKTRONIKA
Judul Skripsi : **Perencanaan dan Pembuatan Kapasitor Bank Berbasiskan Mikrokontroler AT89S51 Untuk Optimasi Daya**

Perbaikan meliputi:

No.	Materi Perbaikan	Keterangan
1.	Masukkan beban semu, beban nyata, arus induktif dan arus kapasitif ke latar belakang	
2.	- abstrak - pengujian dan tabel - kesimpulan	

Anggota Penguji

Penguji I

Dr. Cahyo Crvsdian, Msc

Penguji II

M. Ashar, ST, MT

Diperiksa dan Disetujui,

Dosen Pembimbing I

Ir. M. Abdul Hamid, MT

Dosen Pembimbing II

I Komang Somawirata, ST, MT



**INSTITUT TEKNOLOGI NASIONAL MALANG
FAKULTAS TEKNOLOGI INDUSTRI
JURUSAN TEKNIK ELEKTRO
KONSENTRASI ELEKTRONIKA**

LEMBAR PERSETUJUAN PERBAIKAN SKRIPSI

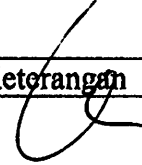
Dari hasil ujian skripsi jurusan Teknik Elektro jenjang strata satu (S-1), yang diselenggarakan pada:

Hari : Kamis
Tanggal : 6 September 2007

Telah dilakukan perbaikan oleh:

Nama : Nurul Huda
N.I.M : 03.17.023
Jurusan : TEKNIK ELEKTRO S-1
Konsentrasi : ELEKTRONIKA
Judul Skripsi : **Perencanaan dan Pembuatan Kapasitor Bank Berbasiskan Mikrokontroler AT89S51 Untuk Optimasi Daya**

Perbaikan meliputi:

No.	Materi Perbaikan	Keterangan
1.	Masukkan beban semu, beban nyata, arus induktif dan arus kapasitif ke latar belakang	

Penguji

Dr. Cahyo Crvysdian, Msc



**INSTITUT TEKNOLOGI NASIONAL MALANG
FAKULTAS TEKNOLOGI INDUSTRI
JURUSAN TEKNIK ELEKTRO
KONSENTRASI ELEKTRONIKA**

LEMBAR PERSETUJUAN PERBAIKAN SKRIPSI

Dari hasil ujian skripsi jurusan Teknik Elektro jenjang strata satu (S-1), yang diselenggarakan pada:

Hari : Kamis
Tanggal : 6 September 2007

Telah dilakukan perbaikan oleh:

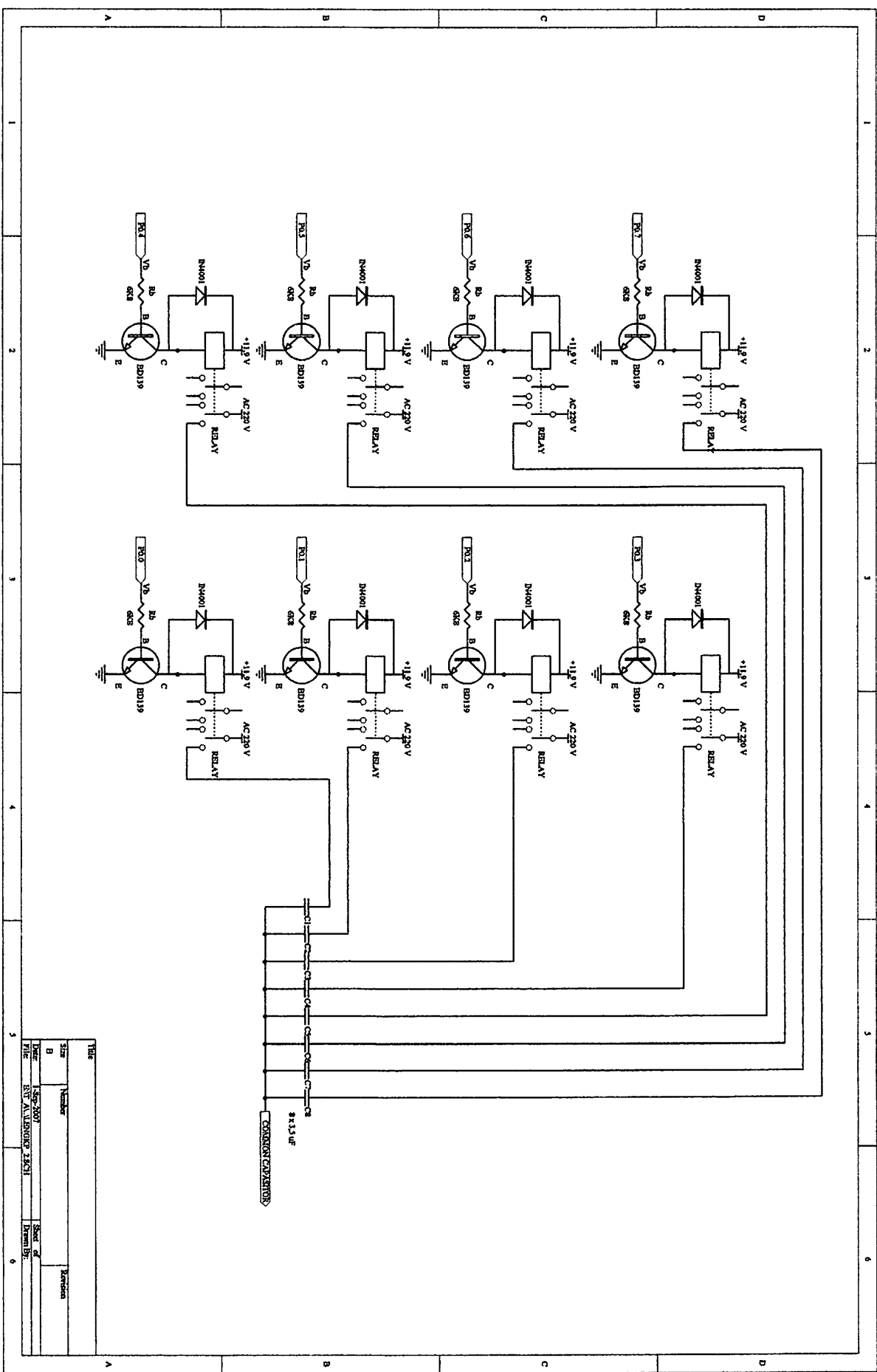
Nama : Nurul Huda
N.I.M : 03.17.023
Jurusan : TEKNIK ELEKTRO S-1
Konsentrasi : ELEKTRONIKA
Judul Skripsi : **Perencanaan dan Pembuatan Kapasitor Bank Berbasiskan Mikrokontroler AT89S51 Untuk Optimasi Daya**

Perbaikan meliputi:

No.	Materi Perbaikan	Keterangan
1.	- abstrak - pengujian dan tabel - kesimpulan	AS!

Penguji

M. Ashar, ST. MT



Title		Sheet of	
Size	Number	15	15
Date		Sheet of	
The		15	
15		15	

DOS 5.0 (038-N) MCS-51 MACRO ASSEMBLER, V2.2
 OBJECT MODULE PLACED IN E:\HUDA\SOFTWARE\LAGI\DASAR_5.OBJ
 ASSEMBLER INVOKED BY: C:\ANSA\S51PLUS\ASM51.EXE E:\HUDA\SOFTWARE\LAGI\DASAR_5.ASM

```

LOC  OBJ          LINE      SOURCE
0000          1          org      00h
0080          2          C0      bit      P0.0
0081          3          C1      bit      P0.1
0082          4          C2      bit      P0.2
0083          5          C3      bit      P0.3
0084          6          C4      bit      P0.4
0085          7          C5      bit      P0.5
0086          8          C6      bit      P0.6
0087          9          C7      bit      P0.7
00A0         10          ts      bit      P2.0
00B0         11          adc     equ      P3
0000 758000    12          mov     P0,#00h
          13          start_0:
0003 1201A9    14          call   delay
          15          start:
0006  C3        16          clr     C
0007  A8B0      17          mov     R0,adc      ;Ro = Io
0009  AFB0      18          mov     R7,adc
000B 1201A4    19          call   delay_1
000E  A9B0      20          mov     R1,adc      ;R1 = It
0010  E8        21          mov     A,R0
0011  2405      22          add    A,#05h
0013  40F1      23          jc     start
0015  F8        24          mov     R0,A        ;Ro = Io + 11h
0016  E9        25          mov     A,R1        ;A = It
0017  98        26          subb   A,R0        ;A = It - (Io + 11h)
0018  501D      27          jnc   naik
001A  C3        28          clr     C
001B  00        29          nop
001C  E9        30          mov     A,R1        ;R1 = It
001D  2405      31          add    A,#05h      ;A = It + 11h
001F  40E5      32          jc     start      ;A > FFh
0021  F9        33          mov     R1,A        ;R1 = It + 11h
0022  EF        34          mov     A,R7        ;A = Io
0023  99        35          subb   A,R1        ;A = Io - (It + 11h)
0024  500E      36          jnc   turun_2
0026  858090    37          mov     P1,P0
0029  80DB      38          jmp    start
          39
;=====
          40          check:
002B  EC        41          mov     A,R4
002C  2404      42          add    A,#04h
002E  FC        43          mov     R4,A
002F  EB        44          mov     A,R3
0030  9C        45          subb   A,R4
0031  500A      46          jnc   on_0
0033  22        47          ret
          48
;=====
          49          turun_2:
0034  020107    50          jmp    turun
  
```

```

;=====
          49          turun_2:
0034  020107    50          jmp    turun
  
```

```

LOC  OBJ          LINE      SOURCE
          51
;=====
  
```

```

                                52
0037 1201A9                    53
003A 1201A9                    54
                                55
003D 208016                    56
0040 E5B0                      57
0042 FB                        58
0043 D280                      59
0045 1201A9                    60
0048 1201A9                    61
004B ACB0                      62
004D 9C                        63
004E 40E4                      64
0050 112B                      65
0052 C280                      66
0054 80AD                      67
                                68
                                69
0056 208116                    70
0059 E5B0                      71
005B FB                        72
005C D281                      73
005E 1201A9                    74
0061 1201A9                    75
0064 ACB0                      76
0066 9C                        77
0067 40CB                      78
0069 112B                      79
006B C281                      80
006D 8094                      81
                                82
                                83
006F 208216                    84
0072 E5B0                      85
0074 FB                        86
0075 D282                      87
0077 1201A9                    88
007A 1201A9                    89
007D ACB0                      90
007F 9C                        91
0080 40B2                      92
0082 112B                      93
0084 C282                      94
0086 0103                      95
                                96
                                97
0088 208316                    98
008B E5B0                      99
008D FB                        100
008E D283                      101
0090 1201A9                    102
0093 1201A9                    103
0096 ACB0                      104
0098 9C                        105

```

```

DASAR_5.LST
naik:
    call    delay
    call    delay
on_0:
    jb     C0,on_1
    mov    A,adc
    mov    R3,A
    setb   C0
    call   delay
    call   delay
    mov    R4,adc
    subb   A,R4
    jc     turun_2
    call   check
    clr    C0
    jmp    start_0

On_1:
    jb     C1,on_2
    mov    A,adc
    mov    R3,A
    setb   C1
    call   delay
    call   delay
    mov    R4,adc
    subb   A,R4
    jc     turun_2
    call   check
    clr    C1
    jmp    start_0

On_2:
    jb     C2,on_3
    mov    A,adc
    mov    R3,A
    setb   C2
    call   delay
    call   delay
    mov    R4,adc
    subb   A,R4
    jc     turun_2
    call   check
    clr    C2
    jmp    start_0

On_3:
    jb     C3,on_4
    mov    A,adc
    mov    R3,A
    setb   C3
    call   delay
    call   delay
    mov    R4,adc
    subb   A,R4

```

08/10/:7

DASAR_5
 PAGE 3

```

LOC  OBJ          LINE      SOURCE
0099 406C          106      jc     turun
009B 112B          107      call  check
009D C283          108      clr   C3
009F 0103          109      jmp   start_0
                                110
                                111
On_4:
00A1 208416        112      jb     C4,on_5
00A4 E5B0          113      mov    A,adc
00A6 FB            114      mov    R3,A
00A7 D284          115      setb   C4
00A9 1201A9        116      call   delay

```

```

DASAR_5.LST
00AC 1201A9      117      call    delay
00AF ACB0        118      mov     R4,adc
00B1 9C          119      subb   A,R4
00B2 4053       120      jc     turun
00B4 112B       121      call   check
00B6 C284       122      clr    C4
00B8 0103       123      jmp    start_0
                124
                125      On_5:
00BA 208516     126      jb     C5,on_6
00BD E5B0        127      mov     A,adc
00BF FB          128      mov     R3,A
00C0 D285       129      setb   C5
00C2 1201A9     130      call   delay
00C5 1201A9     131      call   delay
00C8 ACB0        132      mov     R4,adc
00CA 9C         133      subb   A,R4
00CB 403A       134      jc     turun
00CD 112B       135      call   check
00CF C285       136      clr    C5
00D1 0103       137      jmp    start_0
                138
                139      On_6:
00D3 208616     140      jb     C6,on_7
00D6 E5B0        141      mov     A,adc
00D8 FB          142      mov     R3,A
00D9 D286       143      setb   C6
00DB 1201A9     144      call   delay
00DE 1201A9     145      call   delay
00E1 ACB0        146      mov     R4,adc
00E3 9C         147      subb   A,R4
00E4 4021       148      jc     turun
00E6 112B       149      call   check
00E8 C286       150      clr    C6
00EA 0103       151      jmp    start_0
                152
                153      On_7:
00EC 208718     154      jb     C7,turun
00EF E5B0        155      mov     A,adc
00F1 FB          156      mov     R3,A
00F2 D287       157      setb   C7
00F4 1201A9     158      call   delay
00F7 1201A9     159      call   delay
00FA ACB0        160      mov     R4,adc
UMCS-51 MACRO ASSEMBLER      DASAR_5
                                08/10/:7      PAGE      4

```

```

LOC  OBJ          LINE      SOURCE
00FC 9C           161      subb   A,R4
00FD 4008        162      jc     turun
00FF 112B        163      call   check
0101 C287        164      clr    C7
0103 0103        165      jmp    start_0
                166
                167
;=====
0105 0103        168      start_2:
                169      jmp    start_0
                170
;=====
0107 1201A9     171      turun:
                172      call   delay
                173      off_7:
010A 308710     174      jnb   C7,off_6
010D E5B0        175      mov     A,adc
010F C287        176      clr    C7
0111 1201A9     177      call   delay
0114 ACB0        178      mov     R4,adc
0116 9C         179      subb   A,R4

```

```

DASAR_5.LST
0117 5004      180      jnc      off_6
0119 D287      181      setb     C7
011B 0103      182      jmp      start_0
          183
          184      off_6:
011D 308610    185      jnb      C6,off_5
0120 E5B0      186      mov      A,adc
0122 C286      187      clr      C6
0124 1201A9    188      call     delay
0127 ACB0      189      mov      R4,adc
0129 9C        190      subb     A,R4
012A 5004      191      jnc      off_5
012C D286      192      setb     C6
012E 0103      193      jmp      start_0
          194
          195      off_5:
0130 308510    196      jnb      C5,off_4
0133 E5B0      197      mov      A,adc
0135 C285      198      clr      C5
0137 1201A9    199      call     delay
013A ACB0      200      mov      R4,adc
013C 9C        201      subb     A,R4
013D 5004      202      jnc      off_4
013F D285      203      setb     C5
0141 0103      204      jmp      start_0
          205
          206      off_4:
0143 308410    207      jnb      C4,off_3
0146 E5B0      208      mov      A,adc
0148 C284      209      clr      C4
014A 1201A9    210      call     delay
014D ACB0      211      mov      R4,adc
014F 9C        212      subb     A,R4
0150 5004      213      jnc      off_3
0152 D284      214      setb     C4
0154 0103      215      jmp      start_0
D\MCS-51 MACRO ASSEMBLER  DASAR_5
                                08/10/:7  PAGE 5

```

LOC	OBJ	LINE	SOURCE
		216	
		217	off_3:
0156	308310	218	jnb C3,off_2
0159	E5B0	219	mov A,adc
015B	C283	220	clr C3
015D	1201A9	221	call delay
0160	ACB0	222	mov R4,adc
0162	9C	223	subb A,R4
0163	5004	224	jnc off_2
0165	D283	225	setb C3
0167	0103	226	jmp start_0
		227	
		228	off_2:
0169	308210	229	jnb C2,off_1
016C	E5B0	230	mov A,adc
016E	C282	231	clr C2
0170	1201A9	232	call delay
0173	ACB0	233	mov R4,adc
0175	9C	234	subb A,R4
0176	5004	235	jnc off_1
0178	D282	236	setb C2
017A	0103	237	jmp start_0
		238	
		239	off_1:
017C	308110	240	jnb C1,off_0
017F	E5B0	241	mov A,adc
0181	C281	242	clr C1
0183	1201A9	243	call delay
0186	ACB0	244	mov R4,adc

```

                                DASAR_5.LST
0188 9C                        245      subb    A,R4
0189 5004                      246      jnc     off_0
018B D281                      247      setb   C1
018D 0103                      248      jmp     start_0
                                249
                                250      off_0:
018F 308010                   251      jnb    C0,start_3
0192 E5B0                      252      mov    A,adc
0194 C280                      253      clr   C0
0196 1201A9                   254      call  delay
0199 ACB0                      255      mov    R4,adc
019B 9C                        256      subb   A,R4
019C 5004                      257      jnc   start_3
019E D280                      258      setb  C0
01A0 0103                      259      jmp   start_0
                                260
;=====
01A2 0103                      261      start_3:
                                262      jmp   start_0
                                263
;=====
                                264      Delay_1:
01A4 7D32                      265      mov    R5,#50
01A6 0201AB                   266      jmp   tunggu_500ms
                                267
                                268      Delay:
01A9 7DC8                      269      mov    R5,#200
                                270
DMCS-51 MACRO ASSEMBLER      DASAR_5
                                08/10/:7  PAGE   6

```

```

LOC  OBJ                LINE    SOURCE
                                271      Tunggu_500ms:
01AB 1201B1             272      call  Delay_5ms
01AE DDFB               273      djnz  R5,Tunggu_500ms
01B0 22                 274      ret
                                275
                                276
                                277      Delay_5ms:
01B1 C089               278      push  TMOd
01B3 758921             279      mov   TMOd,#21H
01B6 758CED             280      mov   TH0,#0EDH
01B9 758AFF             281      mov   TLO,#0FFH
01BC D28C               282      setb  TR0
                                283
                                284      Tunggu_5ms:
01BE 108D02            285      jbc   TF0,Sudah_5ms
01C1 21BE               286      ajmp  Tunggu_5ms
                                287
                                288      sudah_5ms:
01C3 C28C               289      clr   TR0
01C5 D089               290      pop   TMOd
01C7 22                 291      ret
                                292      end
DMCS-51 MACRO ASSEMBLER      DASAR_5
                                08/10/:7  PAGE   7

```

SYMBOL TABLE LISTING

```

-----
NAME          TYPE      VALUE          ATTRIBUTES
ADC. . . . .  D ADDR      00B0H    A
C0 . . . . .  B ADDR      0080H.0  A
C1 . . . . .  B ADDR      0080H.1  A
C2 . . . . .  B ADDR      0080H.2  A
C3 . . . . .  B ADDR      0080H.3  A

```

DASAR_5.LST

```

C4 . . . . . B ADDR 0080H.4 A
C5 . . . . . B ADDR 0080H.5 A
C6 . . . . . B ADDR 0080H.6 A
C7 . . . . . B ADDR 0080H.7 A
CHECK. . . . C ADDR 002BH A
DELAY_1. . . C ADDR 01A4H A
DELAY_5MS. . C ADDR 01B1H A
DELAY. . . . C ADDR 01A9H A
NAIK . . . . C ADDR 0037H A
OFF_0. . . . C ADDR 018FH A
OFF_1. . . . C ADDR 017CH A
OFF_2. . . . C ADDR 0169H A
OFF_3. . . . C ADDR 0156H A
OFF_4. . . . C ADDR 0143H A
OFF_5. . . . C ADDR 0130H A
OFF_6. . . . C ADDR 011DH A
OFF_7. . . . C ADDR 010AH A
ON_0 . . . . C ADDR 003DH A
ON_1 . . . . C ADDR 0056H A
ON_2 . . . . C ADDR 006FH A
ON_3 . . . . C ADDR 0088H A
ON_4 . . . . C ADDR 00A1H A
ON_5 . . . . C ADDR 00BAH A
ON_6 . . . . C ADDR 00D3H A
ON_7 . . . . C ADDR 00ECH A
P0 . . . . . D ADDR 0080H A
P1 . . . . . D ADDR 0090H A
P2 . . . . . D ADDR 00A0H A
P3 . . . . . D ADDR 00B0H A
START_0. . . C ADDR 0003H A
START_2. . . C ADDR 0105H A
START_3. . . C ADDR 01A2H A
START. . . . C ADDR 0006H A
SUDAH_5MS. . C ADDR 01C3H A
TF0. . . . . B ADDR 0088H.5 A
TH0. . . . . D ADDR 008CH A
TL0. . . . . D ADDR 008AH A
TMOD . . . . D ADDR 0089H A
TR0. . . . . B ADDR 0088H.4 A
TS . . . . . B ADDR 00A0H.0 A
TUNGGU_500MS C ADDR 01ABH A
TUNGGU_5MS . C ADDR 01BEH A
TURUN_2. . . C ADDR 0034H A
TURUN. . . . C ADDR 0107H A

```

MMS-51 MACRO ASSEMBLER DASAR_5
 08/10/:7 PAGE 8

NAME TYPE VALUE ATTRIBUTES

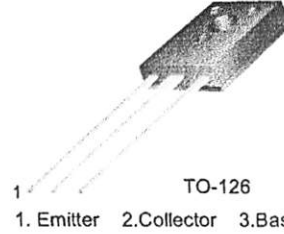
REGISTER BANK(S) USED: 0

ASSEMBLY COMPLETE, NO ERRORS FOUND

BD135/137/139

Medium Power Linear and Switching Applications

- Complement to BD136, BD138 and BD140 respectively



NPN Epitaxial Silicon Transistor

Absolute Maximum Ratings $T_C=25^\circ\text{C}$ unless otherwise noted

Symbol	Parameter	Value	Units
V_{CBO}	Collector-Base Voltage : BD135	45	V
	: BD137	60	V
	: BD139	80	V
V_{CEO}	Collector-Emitter Voltage : BD135	45	V
	: BD137	60	V
	: BD139	80	V
V_{EBO}	Emitter-Base Voltage	5	V
I_C	Collector Current (DC)	1.5	A
I_{CP}	Collector Current (Pulse)	3.0	A
I_B	Base Current	0.5	A
P_C	Collector Dissipation ($T_C=25^\circ\text{C}$)	12.5	W
P_C	Collector Dissipation ($T_a=25^\circ\text{C}$)	1.25	W
T_J	Junction Temperature	150	$^\circ\text{C}$
T_{STG}	Storage Temperature	- 55 ~ 150	$^\circ\text{C}$

Electrical Characteristics $T_C=25^\circ\text{C}$ unless otherwise noted

Symbol	Parameter	Test Condition	Min.	Typ.	Max.	Units	
$V_{CEO(sus)}$	Collector-Emitter Sustaining Voltage	$I_C = 30\text{mA}, I_B = 0$	45			V	
	: BD135						
	: BD137						
	: BD139						
I_{CBO}	Collector Cut-off Current	$V_{CB} = 30\text{V}, I_E = 0$			0.1	μA	
I_{EBO}	Emitter Cut-off Current	$V_{EB} = 5\text{V}, I_C = 0$			10	μA	
h_{FE1}	DC Current Gain : ALL DEVICE	$V_{CE} = 2\text{V}, I_C = 5\text{mA}$	25				
h_{FE2}			: ALL DEVICE	25			
h_{FE3}				: BD135	40		250
			: BD137, BD139	40		160	
$V_{CE(sat)}$	Collector-Emitter Saturation Voltage	$I_C = 500\text{mA}, I_B = 50\text{mA}$			0.5	V	
$V_{BE(on)}$	Base-Emitter ON Voltage	$V_{CE} = 2\text{V}, I_C = 0.5\text{A}$			1	V	

h_{FE} Classification

Classification	6	10	16
h_{FE3}	40 ~ 100	63 ~ 160	100 ~ 250

Typical Characteristics

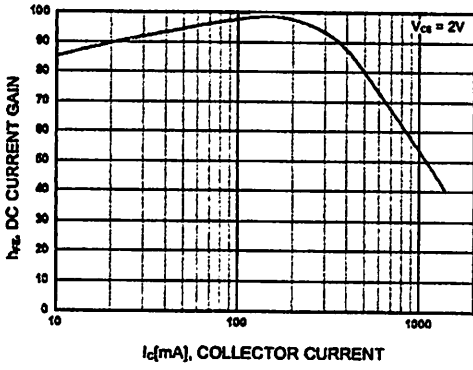


Figure 1. DC current Gain

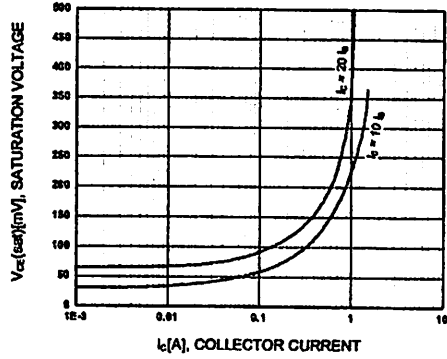


Figure 2. Collector-Emitter Saturation Voltage

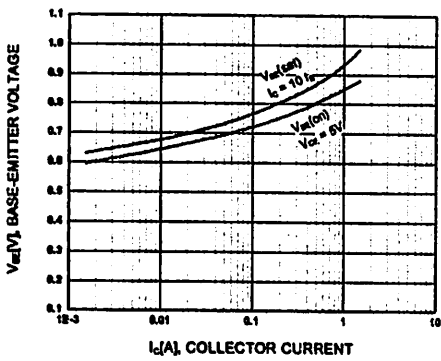


Figure 3. Base-Emitter Voltage

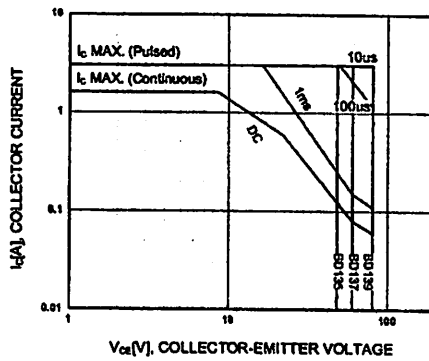


Figure 4. Safe Operating Area

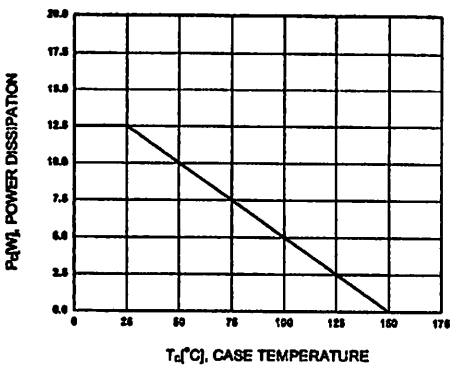
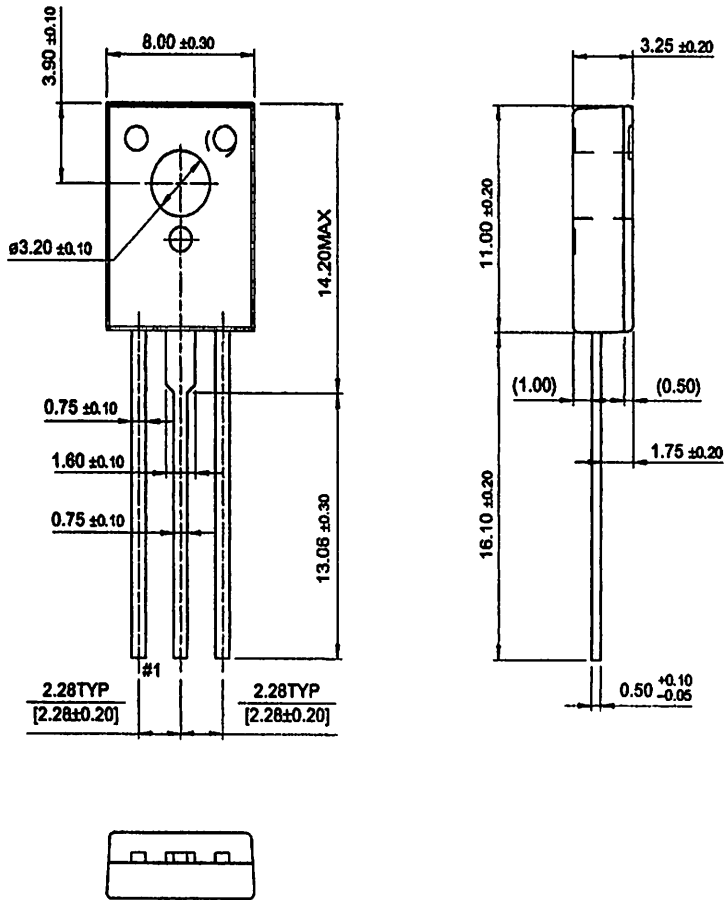


Figure 5. Power Derating

Package Dimensions

BD135/137/139

TO-126



Dimensions in Millimeters

TRADEMARKS

The following are registered and unregistered trademarks Fairchild Semiconductor owns or is authorized to use and is not intended to be an exhaustive list of all such trademarks.

ACEx™
 Bottomless™
 CoolFET™
 CROSSVOLT™
 E²CMOS™
 FACT™
 FACT Quiet Series™
 FAST®
 FASTr™
 GTO™

HiSeC™
 ISOPLANAR™
 MICROWIRE™
 POP™
 PowerTrench®
 QFET™
 QS™
 Quiet Series™
 SuperSOT™-3
 SuperSOT™-6

SuperSOT™-8
 SyncFET™
 TinyLogic™
 UHC™
 VCX™

DISCLAIMER

FAIRCHILD SEMICONDUCTOR RESERVES THE RIGHT TO MAKE CHANGES WITHOUT FURTHER NOTICE TO ANY PRODUCTS HEREIN TO IMPROVE RELIABILITY, FUNCTION OR DESIGN. FAIRCHILD DOES NOT ASSUME ANY LIABILITY ARISING OUT OF THE APPLICATION OR USE OF ANY PRODUCT OR CIRCUIT DESCRIBED HEREIN; NEITHER DOES IT CONVEY ANY LICENSE UNDER ITS PATENT RIGHTS, NOR THE RIGHTS OF OTHERS.

LIFE SUPPORT POLICY

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF FAIRCHILD SEMICONDUCTOR INTERNATIONAL.

As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, or (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in significant injury to the user.

2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

PRODUCT STATUS DEFINITIONS

Definition of Terms

Datasheet Identification	Product Status	Definition
Advance Information	Formative or In Design	This datasheet contains the design specifications for product development. Specifications may change in any manner without notice.
Preliminary	First Production	This datasheet contains preliminary data, and supplementary data will be published at a later date. Fairchild Semiconductor reserves the right to make changes at any time without notice in order to improve design.
No Identification Needed	Full Production	This datasheet contains final specifications. Fairchild Semiconductor reserves the right to make changes at any time without notice in order to improve design.
Obsolete	Not In Production	This datasheet contains specifications on a product that has been discontinued by Fairchild semiconductor. The datasheet is printed for reference information only.

LM741 Operational Amplifier

General Description

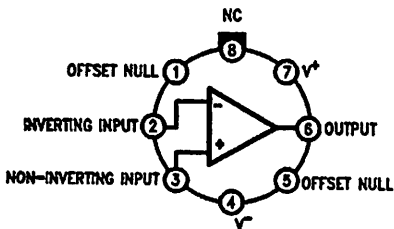
The LM741 series are general purpose operational amplifiers which feature improved performance over industry standards like the LM709. They are direct, plug-in replacements for the 709C, LM201, MC1439 and 748 in most applications.

The amplifiers offer many features which make their application nearly foolproof: overload protection on the input and output, no latch-up when the common mode range is exceeded, as well as freedom from oscillations.

The LM741C is identical to the LM741/LM741A except that the LM741C has their performance guaranteed over a 0°C to +70°C temperature range, instead of -55°C to +125°C.

Connection Diagrams

Metal Can Package

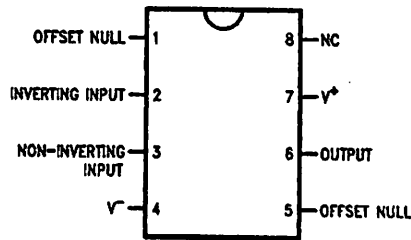


DS009341-2

Note 1: LM741H is available per JM38510/10101

Order Number LM741H, LM741H/883 (Note 1),
LM741AH/883 or LM741CH
See NS Package Number H08C

Dual-In-Line or S.O. Package



DS009341-3

Order Number LM741J, LM741J/883, LM741CN
See NS Package Number J08A, M08A or N08E

Ceramic Flatpak

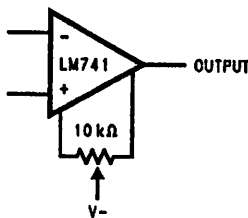


DS009341-6

Order Number LM741W/883
See NS Package Number W10A

Typical Application

Offset Nulling Circuit



DS009341-7

Absolute Maximum Ratings (Note 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

(Note 7)

	LM741A	LM741	LM741C
Supply Voltage	±22V	±22V	±18V
Power Dissipation (Note 3)	500 mW	500 mW	500 mW
Differential Input Voltage	±30V	±30V	±30V
Input Voltage (Note 4)	±15V	±15V	±15V
Output Short Circuit Duration	Continuous	Continuous	Continuous
Operating Temperature Range	-55°C to +125°C	-55°C to +125°C	0°C to +70°C
Storage Temperature Range	-65°C to +150°C	-65°C to +150°C	-65°C to +150°C
Junction Temperature	150°C	150°C	100°C
Soldering Information			
N-Package (10 seconds)	260°C	260°C	260°C
J- or H-Package (10 seconds)	300°C	300°C	300°C
M-Package			
Vapor Phase (60 seconds)	215°C	215°C	215°C
Infrared (15 seconds)	215°C	215°C	215°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

ESD Tolerance (Note 8)	400V	400V	400V
------------------------	------	------	------

Electrical Characteristics (Note 5)

Parameter	Conditions	LM741A			LM741			LM741C			Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage	$T_A = 25^\circ\text{C}$ $R_S \leq 10\text{ k}\Omega$ $R_S \leq 50\Omega$		0.8	3.0		1.0	5.0		2.0	6.0	mV
	$T_{AMIN} \leq T_A \leq T_{AMAX}$ $R_S \leq 50\Omega$ $R_S \leq 10\text{ k}\Omega$			4.0			6.0			7.5	mV
				15							$\mu\text{V}/^\circ\text{C}$
Average Input Offset Voltage Drift				15							$\mu\text{V}/^\circ\text{C}$
Input Offset Voltage Adjustment Range	$T_A = 25^\circ\text{C}$, $V_S = \pm 20\text{V}$	±10				±15			±15		mV
Input Offset Current	$T_A = 25^\circ\text{C}$		3.0	30		20	200		20	200	nA
	$T_{AMIN} \leq T_A \leq T_{AMAX}$			70		85	500			300	nA
Average Input Offset Current Drift				0.5							nA/°C
Input Bias Current	$T_A = 25^\circ\text{C}$		30	80		80	500		80	500	nA
	$T_{AMIN} \leq T_A \leq T_{AMAX}$			0.210			1.5			0.8	μA
Input Resistance	$T_A = 25^\circ\text{C}$, $V_S = \pm 20\text{V}$	1.0	6.0		0.3	2.0		0.3	2.0		M Ω
	$T_{AMIN} \leq T_A \leq T_{AMAX}$, $V_S = \pm 20\text{V}$	0.5									M Ω
Input Voltage Range	$T_A = 25^\circ\text{C}$							±12	±13		V
	$T_{AMIN} \leq T_A \leq T_{AMAX}$				±12	±13					V

Electrical Characteristics (Note 5) (Continued)

Parameter	Conditions	LM741A			LM741			LM741C			Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Open-Loop Signal Voltage Gain	$T_A = 25^\circ\text{C}$, $R_L \geq 2\text{ k}\Omega$ $V_S = \pm 20\text{V}$, $V_O = \pm 15\text{V}$ $V_S = \pm 15\text{V}$, $V_O = \pm 10\text{V}$	50			50	200		20	200		V/mV V/mV
	$T_{AMIN} \leq T_A \leq T_{AMAX}$, $R_L \geq 2\text{ k}\Omega$, $V_S = \pm 20\text{V}$, $V_O = \pm 15\text{V}$ $V_S = \pm 15\text{V}$, $V_O = \pm 10\text{V}$	32			25			15			V/mV V/mV V/mV
	$V_S = \pm 5\text{V}$, $V_O = \pm 2\text{V}$	10									V/mV
Output Voltage Swing	$V_S = \pm 20\text{V}$ $R_L \geq 10\text{ k}\Omega$	± 16									V
	$R_L \geq 2\text{ k}\Omega$	± 15									V
	$V_S = \pm 15\text{V}$ $R_L \geq 10\text{ k}\Omega$				± 12	± 14		± 12	± 14		V
	$R_L \geq 2\text{ k}\Omega$				± 10	± 13		± 10	± 13		V
Input Short-Circuit Current	$T_A = 25^\circ\text{C}$	10	25	35		25			25		mA
	$T_{AMIN} \leq T_A \leq T_{AMAX}$	10		40							mA
Common-Mode Rejection Ratio	$T_{AMIN} \leq T_A \leq T_{AMAX}$ $R_S \leq 10\text{ k}\Omega$, $V_{CM} = \pm 12\text{V}$				70	90		70	90		dB
	$R_S \leq 50\Omega$, $V_{CM} = \pm 12\text{V}$	80	95								dB
Supply Voltage Rejection Ratio	$T_{AMIN} \leq T_A \leq T_{AMAX}$, $V_S = \pm 20\text{V}$ to $V_S = \pm 5\text{V}$										dB
	$R_S \leq 50\Omega$ $R_S \leq 10\text{ k}\Omega$	86	96		77	96		77	96		dB
Transient Response Rise Time	$T_A = 25^\circ\text{C}$, Unity Gain		0.25	0.8		0.3			0.3		μs
			6.0	20		5			5		%
Bandwidth (Note 6)	$T_A = 25^\circ\text{C}$	0.437	1.5								MHz
Slew Rate	$T_A = 25^\circ\text{C}$, Unity Gain	0.3	0.7			0.5			0.5		V/ μs
Supply Current	$T_A = 25^\circ\text{C}$					1.7	2.8		1.7	2.8	mA
Power Consumption	$T_A = 25^\circ\text{C}$ $V_S = \pm 20\text{V}$ $V_S = \pm 15\text{V}$		80	150							mW
						50	85		50	85	mW
	$V_S = \pm 20\text{V}$ $T_A = T_{AMIN}$ $T_A = T_{AMAX}$			165							mW
				135							mW
LM741	$V_S = \pm 15\text{V}$ $T_A = T_{AMIN}$ $T_A = T_{AMAX}$					60	100				mW
						45	75				mW

Note 2: "Absolute Maximum Ratings" indicate limits beyond which damage to the device may occur. Operating Ratings indicate conditions for which the device is functional, but do not guarantee specific performance limits.

Electrical Characteristics (Note 5) (Continued)

Note 3: For operation at elevated temperatures, these devices must be derated based on thermal resistance, and T_j max. (listed under "Absolute Maximum Ratings"). $T_j = T_A + (\theta_{JA} P_D)$.

Thermal Resistance	Cerdip (J)	DIP (N)	HO8 (H)	SO-8 (M)
θ_{JA} (Junction to Ambient)	100°C/W	100°C/W	170°C/W	195°C/W
θ_{JC} (Junction to Case)	N/A	N/A	25°C/W	N/A

Note 4: For supply voltages less than $\pm 15V$, the absolute maximum input voltage is equal to the supply voltage.

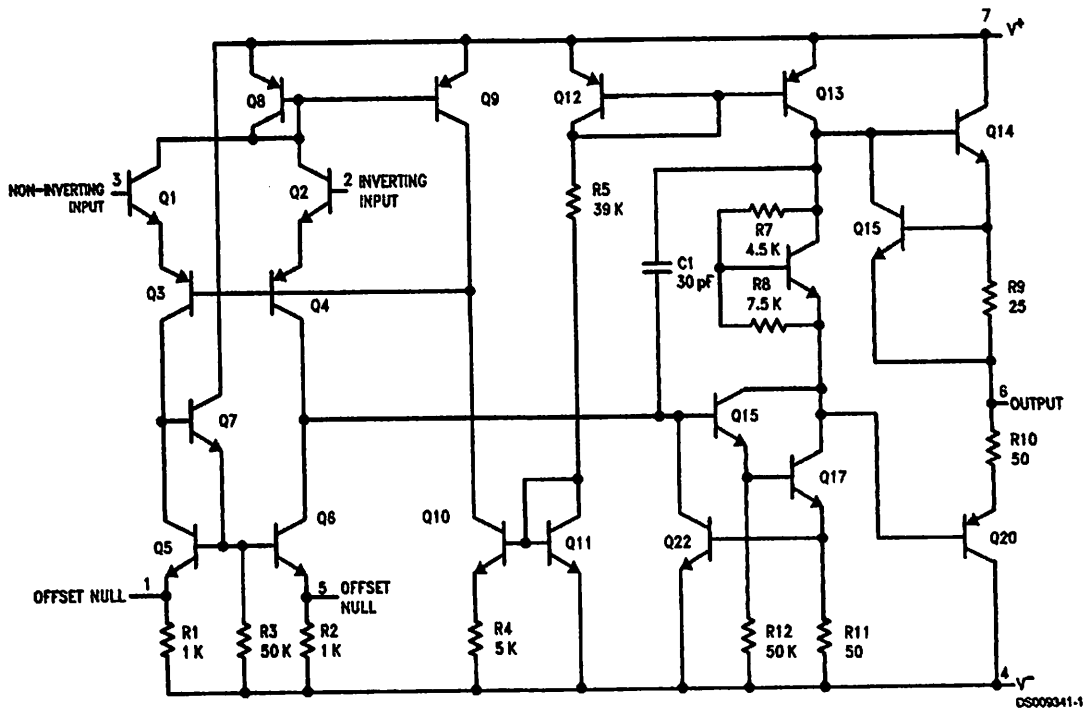
Note 5: Unless otherwise specified, these specifications apply for $V_{DS} = \pm 15V$, $-55^\circ C \leq T_A \leq +125^\circ C$ (LM741/LM741A). For the LM741C/LM741E, these specifications are limited to $0^\circ C \leq T_A \leq +70^\circ C$.

Note 6: Calculated value from: BW (MHz) = $0.35/\text{Rise Time}(\mu s)$.

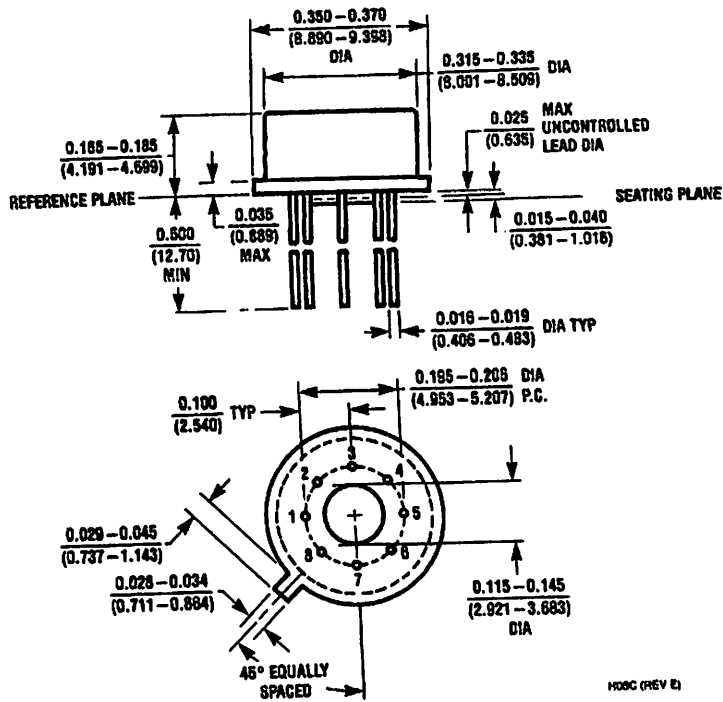
Note 7: For military specifications see RETS741X for LM741 and RETS741AX for LM741A.

Note 8: Human body model, 1.5 k Ω in series with 100 pF.

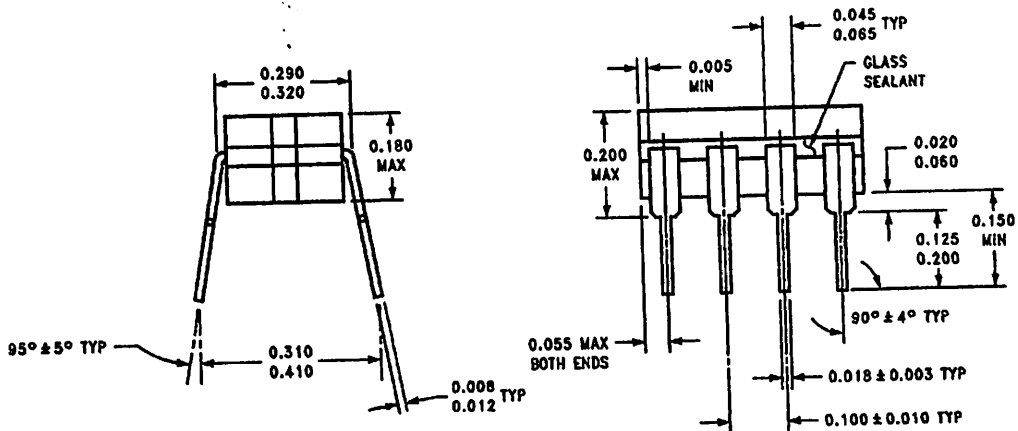
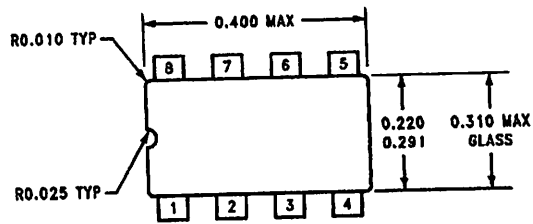
Schematic Diagram



Physical Dimensions Inches (millimeters) unless otherwise noted

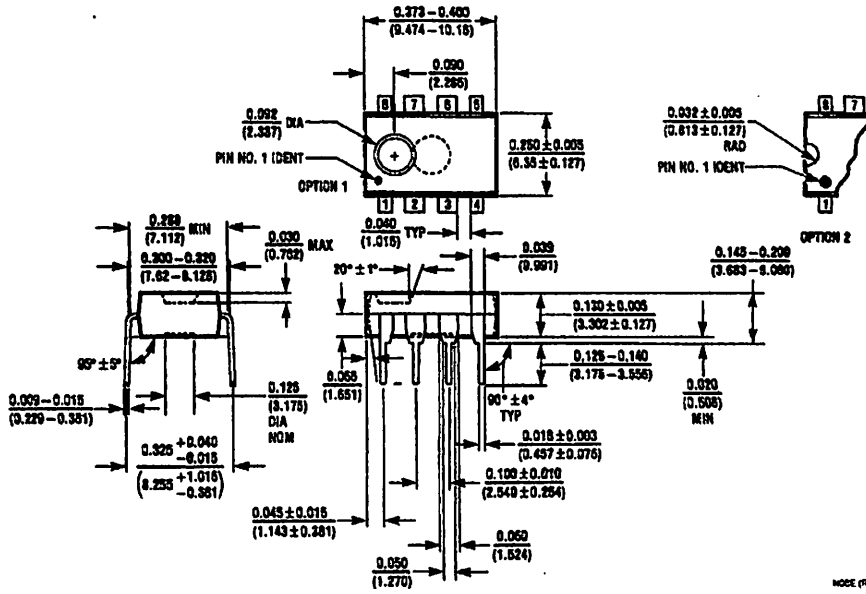


Metal Can Package (H)
 Order Number LM741H, LM741H/893, LM741AH/883, LM741AH-MIL or LM741CH
 NS Package Number H08C

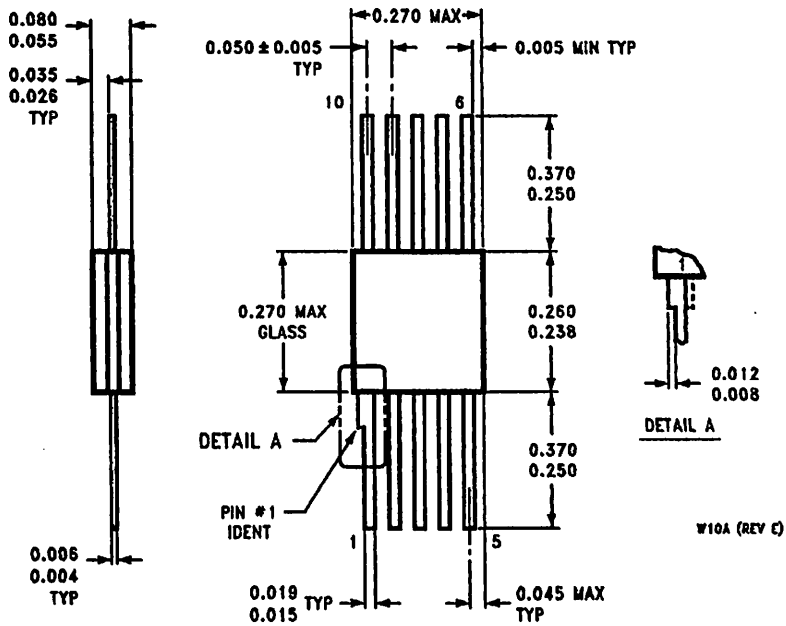


Ceramic Dual-in-Line Package (J)
 Order Number LM741J/883
 NS Package Number J08A

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



Dual-In-Line Package (N)
Order Number LM741CN
NS Package Number N08E




10-Lead Ceramic Flatpak (W)
Order Number LM741W/883, LM741WG-MPR or LM741WG/883
NS Package Number W10A

Notes

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT AND GENERAL COUNSEL OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

 National Semiconductor Corporation
Americas
Tel: 1-800-272-9959
Fax: 1-800-737-7018
Email: support@nsc.com
www.national.com

National Semiconductor
Europe
Fax: +49 (0) 180-530 85 88
Email: europe.support@nsc.com
Deutsch Tel: +49 (0) 69 9508 6208
English Tel: +44 (0) 870 24 0 2171
Français Tel: +33 (0) 1 41 91 8780

National Semiconductor
Asia Pacific Customer
Response Group
Tel: 65-2544466
Fax: 65-2504466
Email: ap.support@nsc.com

National Semiconductor
Japan Ltd.
Tel: 81-3-5639-7560
Fax: 81-3-5639-7507

ADC0801/ADC0802/ADC0803/ADC0804/ADC0805

8-Bit μ P Compatible A/D Converters

General Description

The ADC0801, ADC0802, ADC0803, ADC0804 and ADC0805 are CMOS 8-bit successive approximation A/D converters that use a differential potentiometric ladder—similar to the 256R products. These converters are designed to allow operation with the NSC800 and INS8080A derivative control bus with TRI-STATE® output latches directly driving the data bus. These A/Ds appear like memory locations or I/O ports to the microprocessor and no interfacing logic is needed.

Differential analog voltage inputs allow increasing the common-mode rejection and offsetting the analog zero input voltage value. In addition, the voltage reference input can be adjusted to allow encoding any smaller analog voltage span to the full 8 bits of resolution.

Features

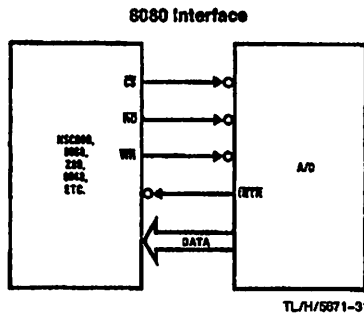
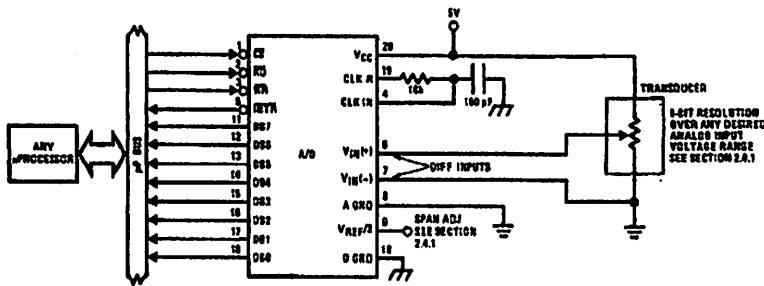
- Compatible with 8080 μ P derivatives—no interfacing logic needed - access time - 135 ns
- Easy interface to all microprocessors, or operates "stand alone"

- Differential analog voltage inputs
- Logic inputs and outputs meet both MOS and TTL voltage level specifications
- Works with 2.5V (LM338) voltage reference
- On-chip clock generator
- 0V to 5V analog input voltage range with single 5V supply
- No zero adjust required
- 0.3" standard width 20-pin DIP package
- 20-pin molded chip carrier or small outline package
- Operates ratiometrically or with 5 V_{DC}, 2.5 V_{DC}, or analog span adjusted voltage reference

Key Specifications

- Resolution 8 bits
- Total error $\pm 1/4$ LSB, $\pm 1/2$ LSB and ± 1 LSB
- Conversion time 100 μ s

Typical Applications



Error Specification (Includes Full-Scale, Zero Error, and Non-Linearity)			
Part Number	Full-Scale Adjusted	V _{REF} /2 = 2.500 V _{DC} (No Adjustments)	V _{REF} /2 = No Connection (No Adjustments)
ADC0801	$\pm 1/4$ LSB		
ADC0802		$\pm 1/2$ LSB	
ADC0803	$\pm 1/2$ LSB		
ADC0804		± 1 LSB	
ADC0805			± 1 LSB

TRI-STATE® is a registered trademark of National Semiconductor Corp.
Z-LOG® is a registered trademark of Zilog Corp.

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage (V_{CC}) (Note 3)	6.5V
Logic Control Inputs	-0.3V to +16V
At Other Input and Outputs	-0.3V to ($V_{CC} + 0.3V$)
Lead Temp. (Soldering, 10 seconds)	260°C
Dual-In-Line Package (plastic)	300°C
Dual-In-Line Package (ceramic)	
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

Storage Temperature Range	-65°C to +150°C
Package Dissipation at $T_A = 25^\circ\text{C}$	875 mW
ESD Susceptibility (Note 10)	800V

Operating Ratings (Notes 1 & 2)

Temperature Range	$T_{MIN} \leq T_A \leq T_{MAX}$
ADC0801/02LJ, ADC0802LJ/883	$-55^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$
ADC0801/02/03/04LCJ	$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$
ADC0801/02/03/05LCN	$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$
ADC0804LCN	$0^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$
ADC0802/03/04LCV	$0^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$
ADC0802/03/04LCWM	$0^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$
Range of V_{CC}	4.5 V_{DC} to 6.3 V_{DC}

Electrical Characteristics

The following specifications apply for $V_{CC} = 5 V_{DC}$, $T_{MIN} \leq T_A \leq T_{MAX}$ and $f_{CLK} = 640 \text{ kHz}$ unless otherwise specified.

Parameter	Conditions	Min	Typ	Max	Units
ADC0801: Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			$\pm 1/4$	LSB
ADC0802: Total Unadjusted Error (Note 8)	$V_{REF}/2 = 2.500 V_{DC}$			$\pm 1/2$	LSB
ADC0803: Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			$\pm 1/2$	LSB
ADC0804: Total Unadjusted Error (Note 8)	$V_{REF}/2 = 2.500 V_{DC}$			± 1	LSB
ADC0805: Total Unadjusted Error (Note 8)	$V_{REF}/2$ -No Connection			± 1	LSB
$V_{REF}/2$ Input Resistance (Pin 9)	ADC0801/02/03/05 ADC0804 (Note 9)	2.5 0.75	8.0 1.1		k Ω k Ω
Analog Input Voltage Range	(Note 4) $V(+)$ or $V(-)$	Gnd-0.05		$V_{CC} + 0.05$	V_{DC}
DC Common-Mode Error	Over Analog Input Voltage Range		$\pm 1/16$	$\pm 1/8$	LSB
Power Supply Sensitivity	$V_{CC} = 5 V_{DC} \pm 10\%$ Over Allowed $V_{IN}(+)$ and $V_{IN}(-)$ Voltage Range (Note 4)		$\pm 1/16$	$\pm 1/8$	LSB

AC Electrical Characteristics

The following specifications apply for $V_{CC} = 5 V_{DC}$ and $T_A = 25^\circ\text{C}$ unless otherwise specified.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
T_C	Conversion Time	$f_{CLK} = 640 \text{ kHz}$ (Note 6)	103		114	μs
T_C	Conversion Time	(Note 5, 6)	66		73	$1/f_{CLK}$
f_{CLK}	Clock Frequency Clock Duty Cycle	$V_{CC} = 5V$, (Note 5) (Note 5)	100 40	640	1460 60	kHz %
CR	Conversion Rate in Free-Running Mode	INTR tied to \overline{WR} with $\overline{CS} = 0 V_{DC}$, $f_{CLK} = 640 \text{ kHz}$	8770		9708	conv/s
$t_{W(WRIL)}$	Width of \overline{WR} Input (Start Pulse Width)	$\overline{CS} = 0 V_{DC}$ (Note 7)	100			ns
t_{ACC}	Access Time (Delay from Falling Edge of \overline{RD} to Output Data Valid)	$C_L = 100 \text{ pF}$		135	200	ns
t_{IH}, t_{OH}	TRI-STATE Control (Delay from Rising Edge of \overline{RD} to HI-Z State)	$C_L = 10 \text{ pF}$, $R_L = 10k$ (See TRI-STATE Test Circuits)		125	200	ns
t_{W}, t_{RI}	Delay from Falling Edge of \overline{WR} or \overline{RD} to Reset of INTR			300	450	ns
C_{IN}	Input Capacitance of Logic Control Inputs			5	7.5	pF
C_{OUT}	TRI-STATE Output Capacitance (Data Buffers)			5	7.5	pF

CONTROL INPUTS (Note: CLK IN (Pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately)

$V_{IN}(1)$	Logical "1" Input Voltage (Except Pin 4 CLK IN)	$V_{CC} = 5.25 V_{DC}$	2.0		15	V_{DC}
-------------	---	------------------------	-----	--	----	----------

AC Electrical Characteristics (Continued)

The following specifications apply for $V_{CC} = 5V_{DC}$ and $T_{MIN} \leq T_A \leq T_{MAX}$, unless otherwise specified.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
CONTROL INPUTS [Note: CLK IN (Pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately]						
$V_{IN(0)}$	Logical "0" Input Voltage (Except Pin 4 CLK IN)	$V_{CC} = 4.75 V_{DC}$			0.8	V_{DC}
$I_{IN(1)}$	Logical "1" Input Current (All Inputs)	$V_{IN} = 5 V_{DC}$		0.005	1	μA_{DC}
$I_{IN(0)}$	Logical "0" Input Current (All Inputs)	$V_{IN} = 0 V_{DC}$	-1	-0.005		μA_{DC}
CLOCK IN AND CLOCK R						
V_{T+}	CLK IN (Pin 4) Positive Going Threshold Voltage		2.7	3.1	3.5	V_{DC}
V_{T-}	CLK IN (Pin 4) Negative Going Threshold Voltage		1.5	1.8	2.1	V_{DC}
V_H	CLK IN (Pin 4) Hysteresis (V_{T+}) - (V_{T-})		0.6	1.3	2.0	V_{DC}
$V_{OUT(0)}$	Logical "0" CLK R Output Voltage	$I_O = 360 \mu A$ $V_{CC} = 4.75 V_{DC}$			0.4	V_{DC}
$V_{OUT(1)}$	Logical "1" CLK R Output Voltage	$I_O = -360 \mu A$ $V_{CC} = 4.75 V_{DC}$	2.4			V_{DC}
DATA OUTPUTS AND INTF						
$V_{OUT(0)}$	Logical "0" Output Voltage Data Outputs INTF Output	$I_{OUT} = 1.6 mA, V_{CC} = 4.75 V_{DC}$ $I_{OUT} = 1.0 mA, V_{CC} = 4.75 V_{DC}$			0.4 0.4	V_{DC} V_{DC}
$V_{OUT(1)}$	Logical "1" Output Voltage	$I_O = -360 \mu A, V_{CC} = 4.75 V_{DC}$	2.4			V_{DC}
$V_{OUT(1)}$	Logical "1" Output Voltage	$I_O = -10 \mu A, V_{CC} = 4.75 V_{DC}$	4.5			V_{DC}
I_{OUT}	TRI-STATE Disabled Output Leakage (All Data Buffers)	$V_{OUT} = 0 V_{DC}$ $V_{OUT} = 5 V_{DC}$	-3		3	μA_{DC} μA_{DC}
I_{SOURCE}		V_{OUT} Short to Gnd, $T_A = 25^\circ C$	4.5	6		mA_{DC}
I_{SINK}		V_{OUT} Short to V_{CC} , $T_A = 25^\circ C$	9.0	16		mA_{DC}
POWER SUPPLY						
I_{CC}	Supply Current (Includes Ladder Current) ADC0801/02/03/04LCJ/05 ADC0804LCN/LCV/LCWM	$f_{CLK} = 640 kHz$, $V_{REF/2} = NC, T_A = 25^\circ C$ and $CS = 5V$			1.1 1.9	1.8 2.5 mA mA

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to Gnd, unless otherwise specified. The separate A Gnd point should always be wired to the D Gnd.

Note 3: A zener diode exists, internally, from V_{CC} to Gnd and has a typical breakdown voltage of $7 V_{DC}$.

Note 4: For $V_{IN}(-) \geq V_{IN}(+)$ the digital output code will be 0000 0000. Two on-chip diodes are tied to each analog input (see block diagram) which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the V_{CC} supply. Be careful, during testing at low V_{CC} levels (4.5V), as high level analog inputs (5V) can cause this input diode to conduct—especially at elevated temperatures, and cause errors for analog inputs near full-scale. The spec allows 60 mV forward bias of either diode. This means that as long as the analog V_{IN} does not exceed the supply voltage by more than 60 mV, the output code will be correct. To achieve an absolute 0 V_{DC} to 5 V_{DC} input voltage range will therefore require a minimum supply voltage of 4.950 V_{DC} over temperature variations, initial tolerance and loading.

Note 5: Accuracy is guaranteed at $f_{CLK} = 640 kHz$. At higher clock frequencies accuracy can degrade. For lower clock frequencies, the duty cycle limits can be extended so long as the minimum clock high time interval or minimum clock low time interval is no less than 275 ns.

Note 6: With an asynchronous start pulse, up to 8 clock periods may be required before the internal clock phases are proper to start the conversion process. The start request is internally latched, see Figure 2 and section 2.0.

Note 7: The CS input is assumed to bracket the WR strobe input and therefore timing is dependent on the WR pulse width. An arbitrarily wide pulse width will hold the converter in a reset mode and the start of conversion is initiated by the low to high transition of the WR pulse (see timing diagrams).

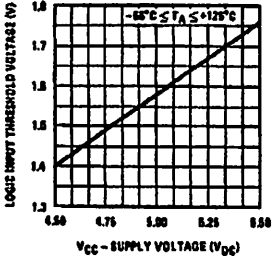
Note 8: None of these A/Ds requires a zero adjust (see section 2.5.1). To obtain zero code at other analog input voltages see section 2.5 and Figure 5.

Note 9: The $V_{REF/2}$ pin is the center point of a two-resistor divider connected from V_{CC} to ground. In all versions of the ADC0801, ADC0802, ADC0803, and ADC0805, and in the ADC0804LCJ, each resistor is typically 16 k Ω . In all versions of the ADC0804 except the ADC0804LCJ, each resistor is typically 2.2 k Ω .

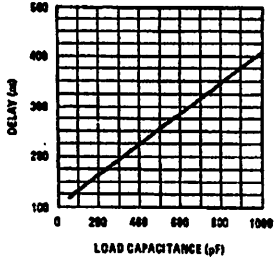
Note 10: Human body model, 100 pF discharged through a 1.5 k Ω resistor.

Typical Performance Characteristics

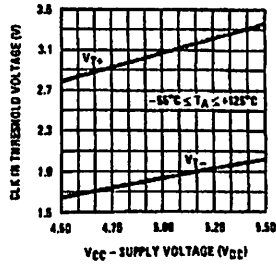
Logic Input Threshold Voltage vs. Supply Voltage



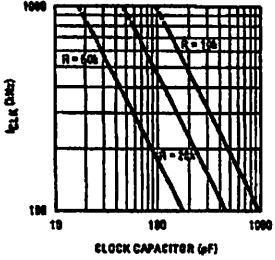
Delay From Falling Edge of RD to Output Data Valid vs. Load Capacitance



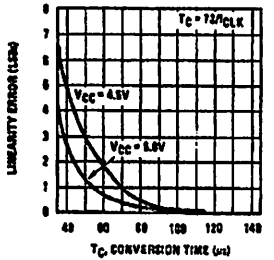
CLK IN Schmitt Trip Levels vs. Supply Voltage



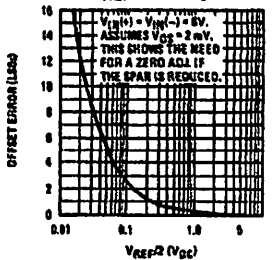
fCLK vs. Clock Capacitor



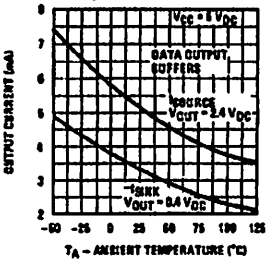
Full-Scale Error vs Conversion Time



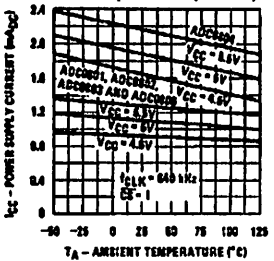
Effect of Unadjusted Offset Error vs. VREF/2 Voltage



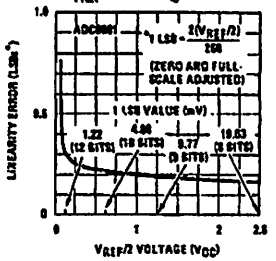
Output Current vs Temperature



Power Supply Current vs Temperature (Note 9)

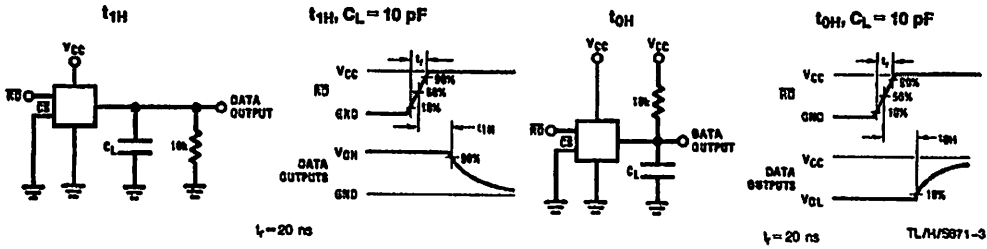


Linearity Error at Low VREF/2 Voltages

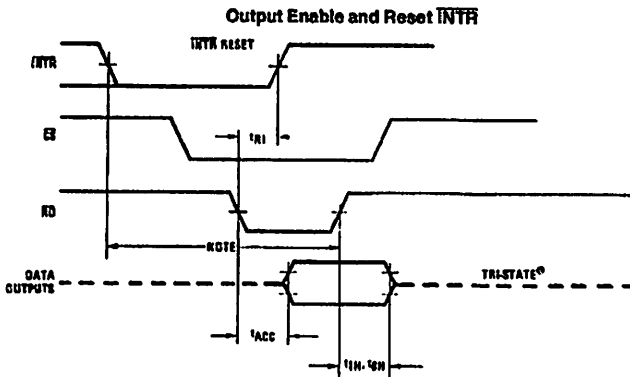
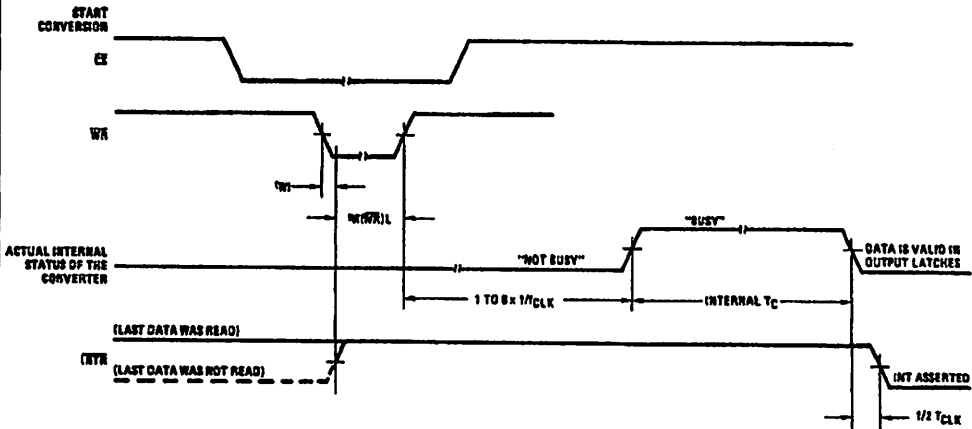


TL/H/5671-2

TRI-STATE Test Circuits and Waveforms



Timing Diagrams (All timing is measured from the 50% voltage points)

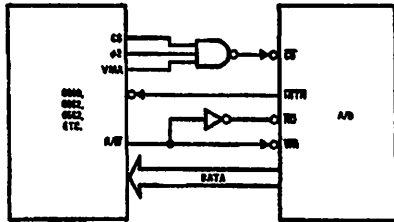


Note: Read strobe must occur 8 clock periods ($8/\text{CLK}$) after assertion of interrupt to guarantee reset of INTR.

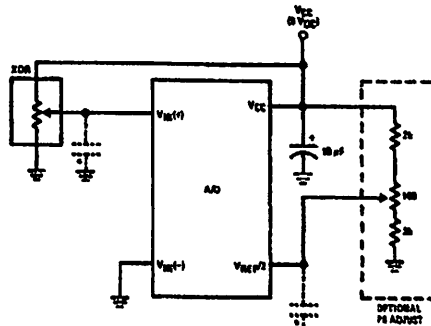
TL/H/5971-4

Typical Applications (Continued)

6800 Interface

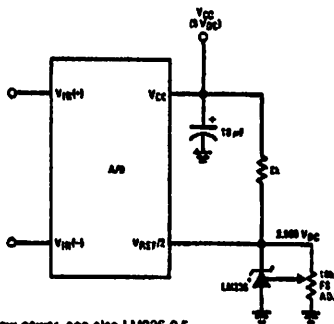


Ratiometric with Full-Scale Adjust



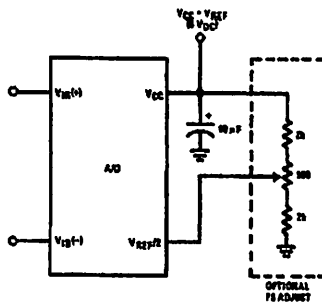
Note: before using caps at V_{IN} or $V_{REF}/2$, see section 2.3.2 Input Bypass Capacitors.

Absolute with a 2.500V Reference

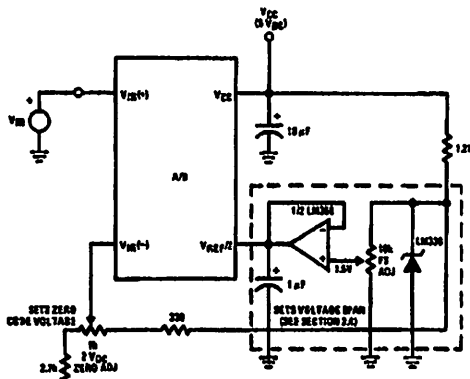


*For low power, see also LM335-2.5

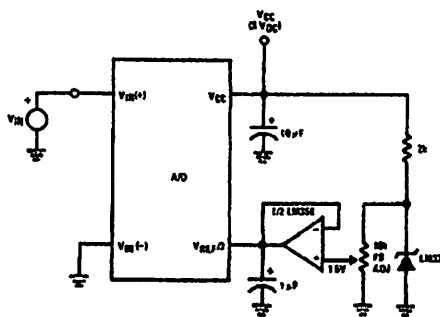
Absolute with a 5V Reference



Zero-Shift and Span Adjust: $2V \leq V_{IN} \leq 5V$



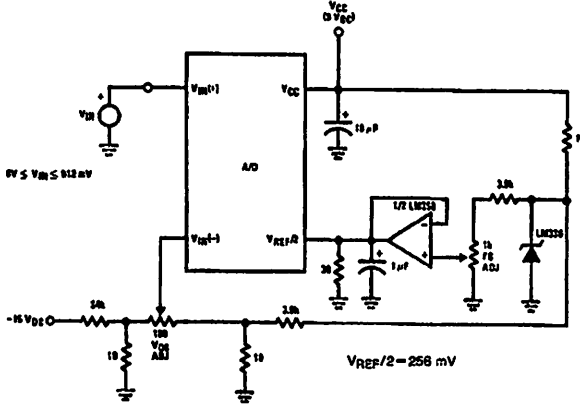
Span Adjust: $0V \leq V_{IN} \leq 3V$



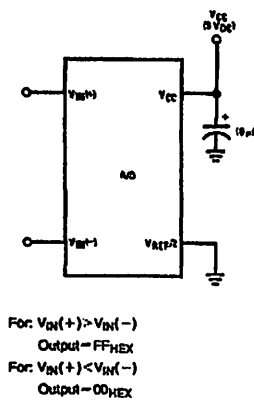
TL/H/5871-5

Typical Applications (Continued)

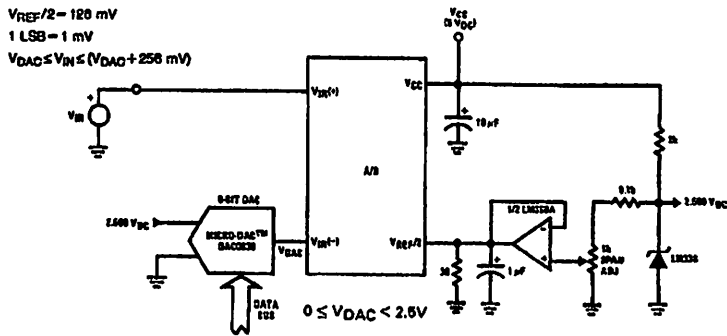
Directly Converting a Low-Level Signal



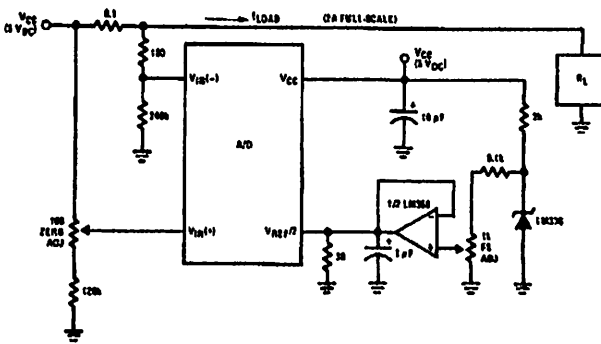
A μP Interfaced Comparator



1 mV Resolution with μP Controlled Range



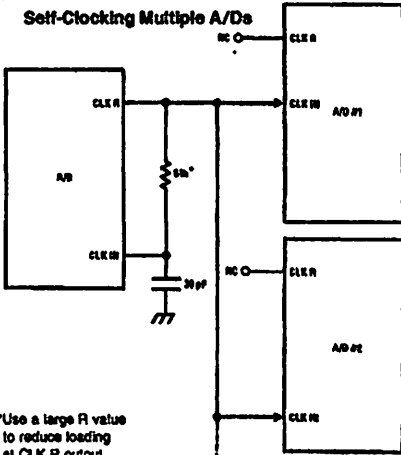
Digitizing a Current Flow



TL/H/5671-6

Typical Applications (Continued)

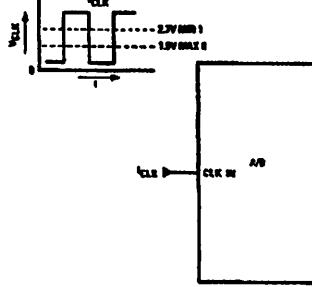
Self-Clocking Multiple A/Ds



*Use a large R value to reduce loading at CLK R output.

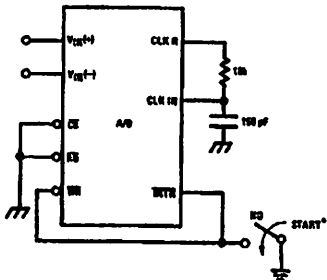
IF MORE THAN 8 ADDITIONAL A/Ds, USE A BUFFER (NOT VL1)

External Clocking



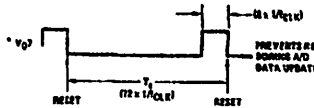
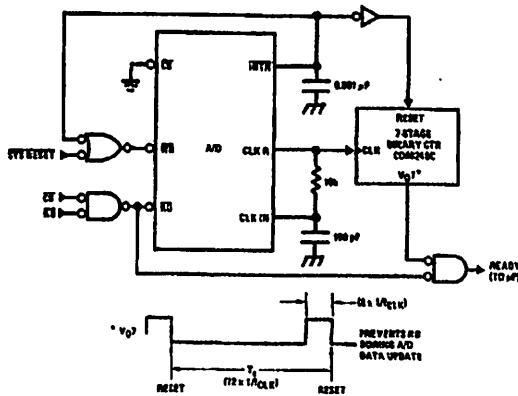
$$100 \text{ kHz} \leq f_{CLK} \leq 1460 \text{ kHz}$$

Self-Clocking in Free-Running Mode

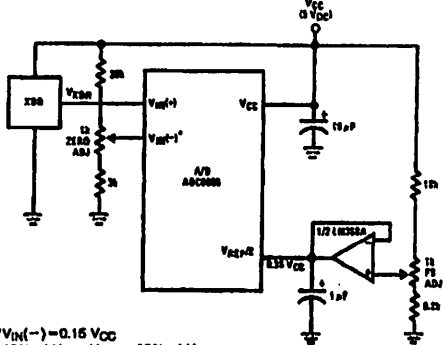


*After power-up, a momentary grounding of the WTR input is needed to guarantee operation.

μP Interface for Free-Running A/D

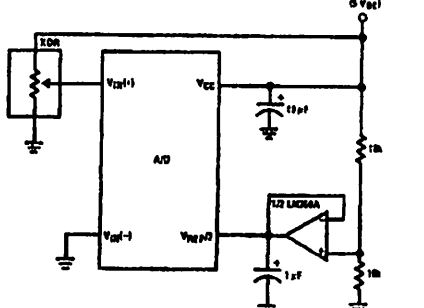


Operating with "Automotive" Ratioetric Transducers



* $V_{IN(-)} = 0.16 V_{CC}$
 $16\% \text{ of } V_{CC} \leq V_{XDR} \leq 85\% \text{ of } V_{CC}$

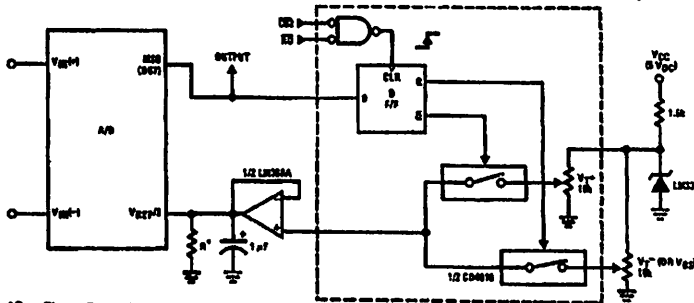
Ratioetric with $V_{REF}/2$ Forced



TL/H/6571-7

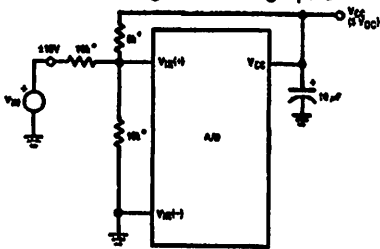
Typical Applications (Continued)

μ P Compatible Differential-Input Comparator with Pre-Set V_{OS} (with or without Hysteresis)



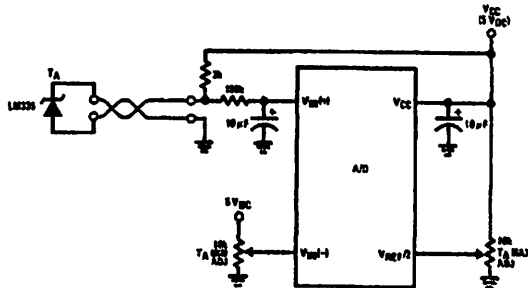
*See Figure 5 to select R value
 DS7 = "1" for $V_{IN}(+) > V_{IN}(-) + (V_{REF}/2)$
 Omit circuitry within the dotted area if
 hysteresis is not needed

Handling $\pm 10V$ Analog Inputs

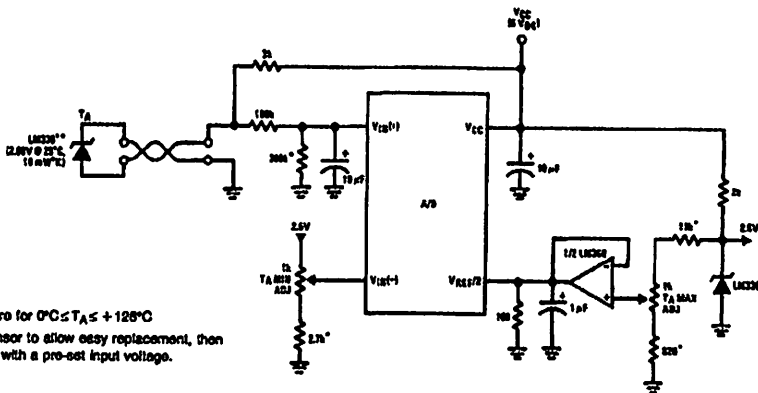


*Beckman Instruments #694-3-R10K resistor array

Low-Cost, μ P Interfaced, Temperature-to-Digital Converter



μ P Interfaced Temperature-to-Digital Converter



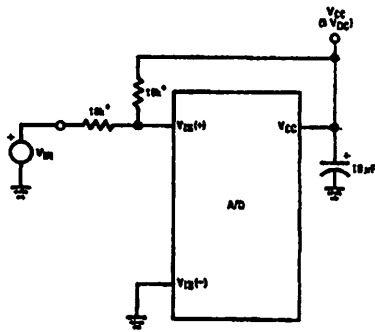
*Circuit values shown are for $0^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$

**Can calibrate each sensor to allow easy replacement, then
 A/D can be calibrated with a pre-set input voltage.

TL/H/5871-8

Typical Applications (Continued)

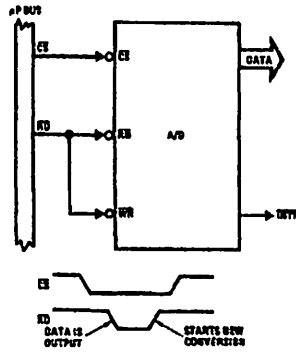
Handling $\pm 5V$ Analog Inputs



TL/H/5671-33

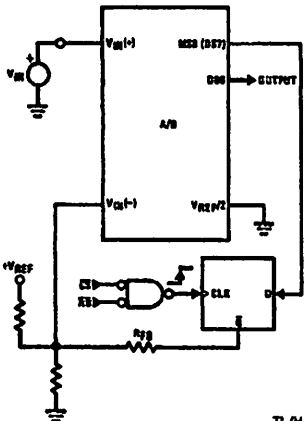
*Beckman Instruments # 694-3-R10K resistor array

Read-Only Interface



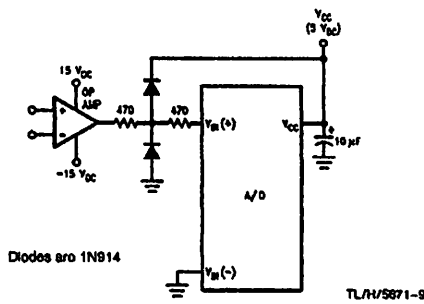
TL/H/5671-34

μP Interfaced Comparator with Hysteresis



TL/H/5671-35

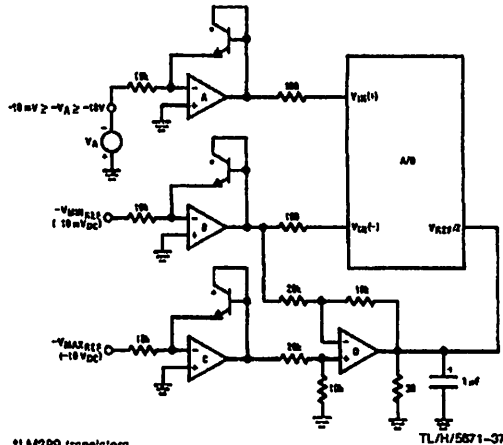
Protecting the Input



Diodes are 1N914

TL/H/5671-9

A Low-Cost, 3-Decade Logarithmic Converter

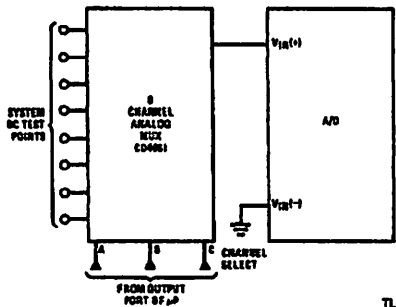


*LM389 transistors

A, B, C, D - LM324A quad op amp

TL/H/5671-37

Analog Self-Test for a System

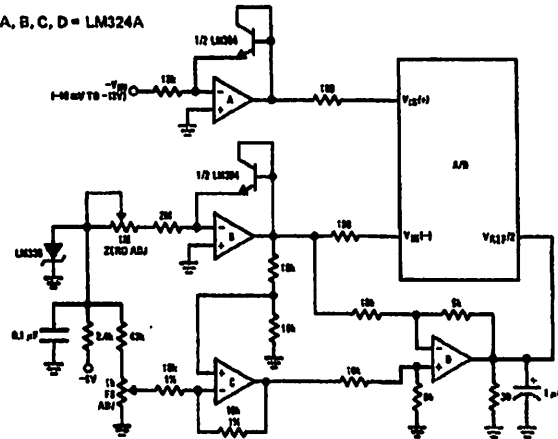


TL/H/5671-36

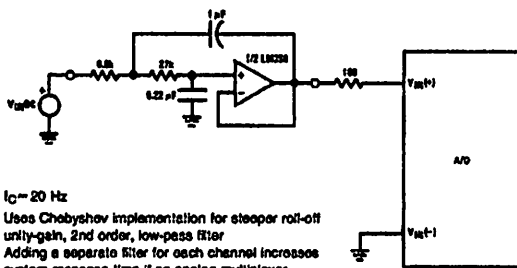
Typical Applications (Continued)

3-Decade Logarithmic A/D Converter

A, B, C, D = LM324A



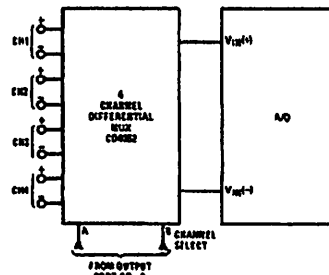
Noise Filtering the Analog Input



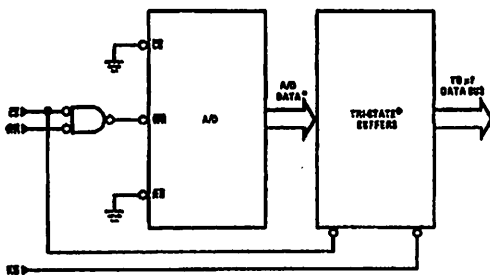
$f_c \approx 20$ Hz

Uses Chebyshev implementation for steeper roll-off unity-gain, 2nd order, low-pass filter
Adding a separate filter for each channel increases system response time if an analog multiplexer is used

Multiplexing Differential Inputs

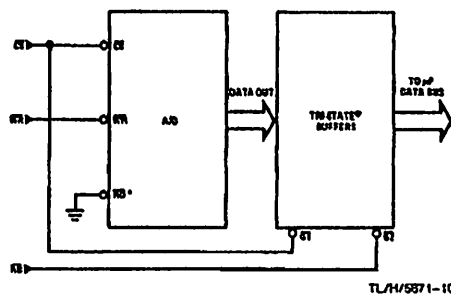


Output Buffers with A/D Data Enabled



*A/D output data is updated 1 CLK period prior to assertion of \overline{VTR}

Increasing Bus Drive and/or Reducing Time on Bus

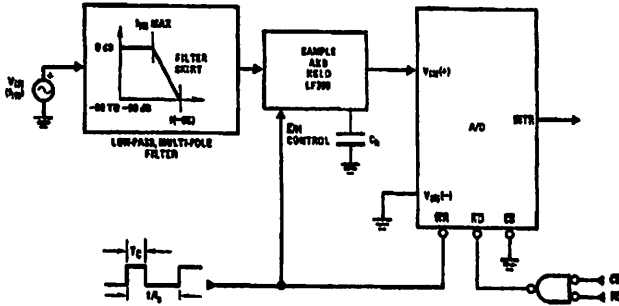


*Allows output data to set-up at falling edge of \overline{CS}

TL/H/5871-10

Typical Applications (Continued)

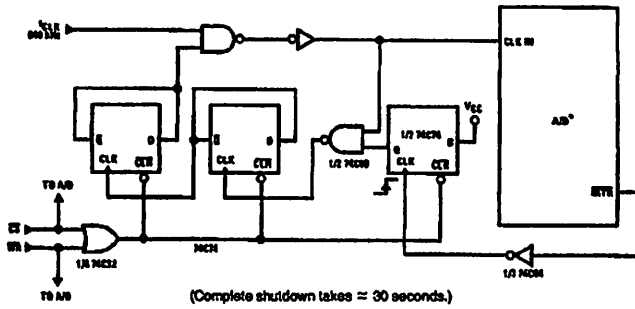
Sampling an AC Input Signal



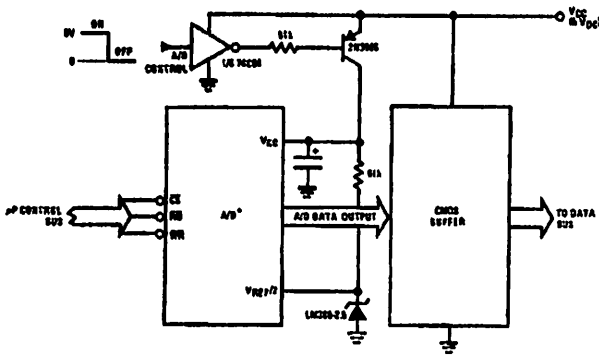
Note 1: Oversample whenever possible [keep $f_s > 2f(-60)$] to eliminate input frequency folding (aliasing) and to allow for the skirt response of the filter.

Note 2: Consider the amplitude errors which are introduced within the passband of the filter.

70% Power Savings by Clock Gating



Power Savings by A/D and V_{REF} Shutdown



*Use ADC0801, 02, 03 or 05 for lowest power consumption.

Note: Logic inputs can be driven to V_{CC} with A/D supply at zero volts.

Buffer prevents data bus from overdriving output of A/D when in shutdown mode.

TL/H/5871-11

Functional Description

1.0 UNDERSTANDING A/D ERROR SPECS

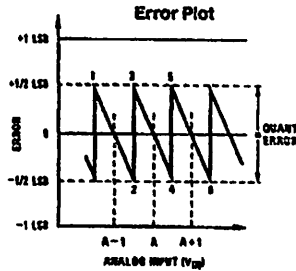
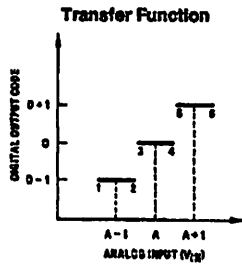
A perfect A/D transfer characteristic (staircase waveform) is shown in *Figure 1a*. The horizontal scale is analog input voltage and the particular points labeled are in steps of 1 LSB (18.63 mV with 2.5V tied to the $V_{REF}/2$ pin). The digital output codes that correspond to these inputs are shown as $D-1$, D , and $D+1$. For the perfect A/D, not only will center-value ($A-1$, A , $A+1$, . . .) analog inputs produce the correct output digital codes, but also each riser (the transitions between adjacent output codes) will be located $\pm 1/2$ LSB away from each center-value. As shown, the risers are ideal and have no width. Correct digital output codes will be provided for a range of analog input voltages that extend $\pm 1/2$ LSB from the ideal center-values. Each tread (the range of analog input voltage that provides the same digital output code) is therefore 1 LSB wide.

Figure 1b shows a worst case error plot for the ADC0801. All center-valued inputs are guaranteed to produce the correct output codes and the adjacent risers are guaranteed to be no closer to the center-value points than $\pm 1/4$ LSB. In

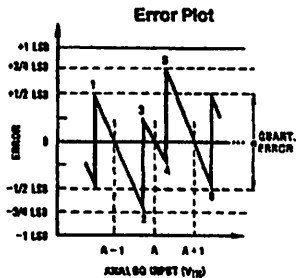
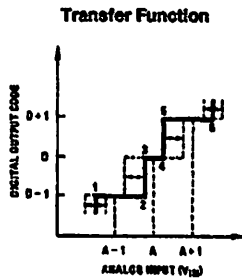
other words, if we apply an analog input equal to the center-value $\pm 1/4$ LSB, we guarantee that the A/D will produce the correct digital code. The maximum range of the position of the code transition is indicated by the horizontal arrow and it is guaranteed to be no more than $1/2$ LSB.

The error curve of *Figure 1c* shows a worst case error plot for the ADC0802. Here we guarantee that if we apply an analog input equal to the LSB analog voltage center-value the A/D will produce the correct digital code.

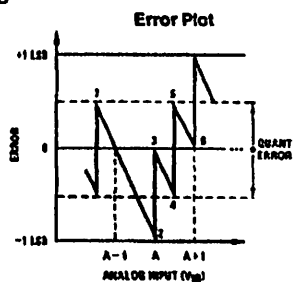
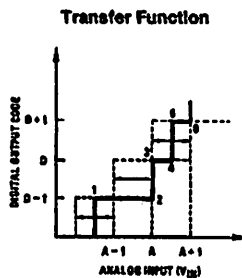
Next to each transfer function is shown the corresponding error plot. Many people may be more familiar with error plots than transfer functions. The analog input voltage to the A/D is provided by either a linear ramp or by the discrete output steps of a high resolution DAC. Notice that the error is continuously displayed and includes the quantization uncertainty of the A/D. For example the error at point 1 of *Figure 1a* is $+1/2$ LSB because the digital code appeared $1/2$ LSB in advance of the center-value of the tread. The error plots always have a constant negative slope and the abrupt upside steps are always 1 LSB in magnitude.



a) Accuracy = ± 0 LSB: A Perfect A/D



b) Accuracy = $\pm 1/4$ LSB



c) Accuracy = $\pm 1/2$ LSB

FIGURE 1. Clarifying the Error Specs of an A/D Converter

TLAV5871-12

Functional Description (Continued)

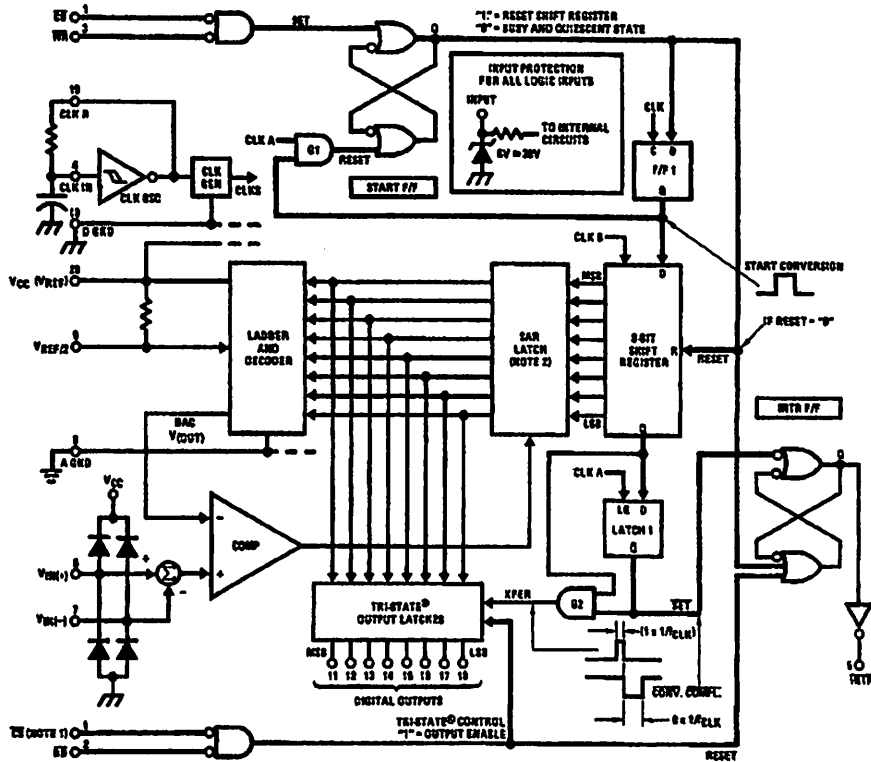
2.0 FUNCTIONAL DESCRIPTION

The ADC0801 series contains a circuit equivalent of the 256R network. Analog switches are sequenced by successive approximation logic to match the analog difference input voltage $[V_{IN}(+) - V_{IN}(-)]$ to a corresponding tap on the R network. The most significant bit is tested first and after 8 comparisons (64 clock cycles) a digital 8-bit binary code (1111 1111 = full-scale) is transferred to an output latch and then an interrupt is asserted (INTR makes a high-to-low transition). A conversion in process can be interrupted by issuing a second start command. The device may be operated in the free-running mode by connecting INTR to the WR input with CS=0. To ensure start-up under all possible conditions, an external WR pulse is required during the first power-up cycle.

On the high-to-low transition of the WR input the internal SAR latches and the shift register stages are reset. As long as the CS input and WR input remain low, the A/D will remain in a reset state. Conversion will start from 1 to 8 clock periods after at least one of these inputs makes a low-to-high transition.

A functional diagram of the A/D converter is shown in Figure 2. All of the package pinouts are shown and the major logic control paths are drawn in heavier weight lines.

The converter is started by having CS and WR simultaneously low. This sets the start flip-flop (F/F) and the resulting "1" level resets the 8-bit shift register, resets the interrupt (INTR) F/F and inputs a "1" to the D flip, F/F1, which is at the input end of the 8-bit shift register. Internal clock signals then transfer this "1" to the Q output of F/F1. The AND gate, G1, combines this "1" output with a clock signal to provide a reset signal to the start F/F. If the set signal is no longer present (either WR or CS is a "1") the start F/F is reset and the 8-bit shift register then can have the "1" clocked in, which starts the conversion process. If the set signal were to still be present, this reset pulse would have no effect (both outputs of the start F/F would momentarily be at a "1" level) and the 8-bit shift register would continue to be held in the reset mode. This logic therefore allows for wide CS and WR signals and the converter will start after at least one of these signals returns high and the internal clocks again provide a reset signal for the start F/F.



Note 1: CS shown twice for clarity.
 Note 2: SAR = Successive Approximation Register.

TL14/5871-13

FIGURE 2. Block Diagram

Functional Description (Continued)

After the "1" is clocked through the 8-bit shift register (which completes the SAR search) it appears as the input to the D-type latch, LATCH 1. As soon as this "1" is output from the shift register, the AND gate, G2, causes the new digital word to transfer to the TRI-STATE output latches. When LATCH 1 is subsequently enabled, the Q output makes a high-to-low transition which causes the INTR F/F to set. An inverting buffer then supplies the $\overline{\text{INTR}}$ input signal.

Note that this SET control of the INTR F/F remains low for 8 of the external clock periods (as the internal clocks run at $\frac{1}{2}$ of the frequency of the external clock). If the data output is continuously enabled ($\overline{\text{CS}}$ and $\overline{\text{RD}}$ both held low), the $\overline{\text{INTR}}$ output will still signal the end of conversion (by a high-to-low transition), because the SET input can control the Q output of the INTR F/F even though the RESET input is constantly at a "1" level in this operating mode. This $\overline{\text{INTR}}$ output will therefore stay low for the duration of the SET signal, which is 8 periods of the external clock frequency (assuming the A/D is not started during this interval).

When operating in the free-running or continuous conversion mode ($\overline{\text{INTR}}$ pin tied to $\overline{\text{WR}}$ and $\overline{\text{CS}}$ wired low—see also section 2.8), the START F/F is SET by the high-to-low transition of the $\overline{\text{INTR}}$ signal. This resets the SHIFT REGISTER which causes the input to the D-type latch, LATCH 1, to go low. As the latch enable input is still present, the $\overline{\text{Q}}$ output will go high, which then allows the INTR F/F to be RESET. This reduces the width of the resulting $\overline{\text{INTR}}$ output pulse to only a few propagation delays (approximately 300 ns).

When data is to be read, the combination of both $\overline{\text{CS}}$ and $\overline{\text{RD}}$ being low will cause the INTR F/F to be reset and the TRI-STATE output latches will be enabled to provide the 8-bit digital outputs.

2.1 Digital Control Inputs

The digital control inputs ($\overline{\text{CS}}$, $\overline{\text{RD}}$, and $\overline{\text{WR}}$) meet standard TTL logic voltage levels. These signals have been renamed when compared to the standard A/D Start and Output Enable labels. In addition, these inputs are active low to allow an easy interface to microprocessor control busses. For non-microprocessor based applications, the $\overline{\text{CS}}$ input (pin 1) can be grounded and the standard A/D Start function is obtained by an active low pulse applied at the $\overline{\text{WR}}$ input (pin 3) and the Output Enable function is caused by an active low pulse at the $\overline{\text{RD}}$ input (pin 2).

2.2 Analog Differential Voltage Inputs and Common-Mode Rejection

This A/D has additional applications flexibility due to the analog differential voltage input. The $V_{\text{IN}}(-)$ input (pin 7) can be used to automatically subtract a fixed voltage value from the input reading (tare correction). This is also useful in 4 mA–20 mA current loop conversion. In addition, common-mode noise can be reduced by use of the differential input. The time interval between sampling $V_{\text{IN}}(+)$ and $V_{\text{IN}}(-)$ is $4\frac{1}{2}$ clock periods. The maximum error voltage due to this

slight time difference between the input voltage samples is given by:

$$\Delta V_o(\text{MAX}) = (V_p) (2\pi f_{\text{cm}}) \left(\frac{4.5}{f_{\text{CLK}}} \right),$$

where:

ΔV_o is the error voltage due to sampling delay

V_p is the peak value of the common-mode voltage

f_{cm} is the common-mode frequency

As an example, to keep this error to $\frac{1}{4}$ LSB (~ 5 mV) when operating with a 60 Hz common-mode frequency, f_{cm} , and using a 640 kHz A/D clock, f_{CLK} , would allow a peak value of the common-mode voltage, V_p , which is given by:

$$V_p = \frac{(\Delta V_o(\text{MAX})) (f_{\text{CLK}})}{(2\pi f_{\text{cm}}) (4.5)}$$

or

$$V_p = \frac{(5 \times 10^{-3}) (640 \times 10^3)}{(8.28) (60) (4.5)}$$

which gives

$$V_p \approx 1.9V.$$

The allowed range of analog input voltages usually places more severe restrictions on input common-mode noise levels.

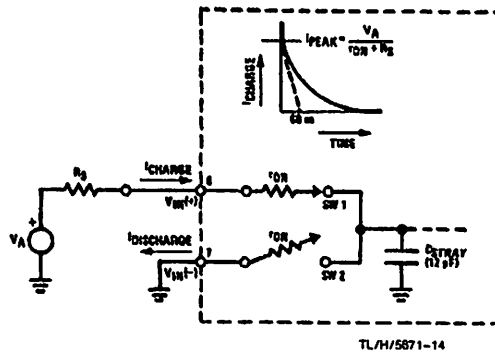
An analog input voltage with a reduced span and a relatively large zero offset can be handled easily by making use of the differential input (see section 2.4 Reference Voltage).

2.3 Analog Inputs

2.3.1 Input Current

Normal Mode

Due to the internal switching action, displacement currents will flow at the analog inputs. This is due to on-chip stray capacitance to ground as shown in Figure 3.



$$r_{\text{ON}} \text{ of SW 1 and SW 2} \approx 5 \text{ k}\Omega$$

$$t = r_{\text{ON}} C_{\text{STRAY}} \approx 5 \text{ k}\Omega \times 12 \text{ pF} = 60 \text{ ns}$$

FIGURE 3. Analog Input Impedance

Functional Description (Continued)

The voltage on this capacitance is switched and will result in currents entering the $V_{IN}(+)$ input pin and leaving the $V_{IN}(-)$ input which will depend on the analog differential input voltage levels. These current transients occur at the leading edge of the internal clocks. They rapidly decay and do not cause errors as the on-chip comparator is strobed at the end of the clock period.

Fault Mode

If the voltage source applied to the $V_{IN}(+)$ or $V_{IN}(-)$ pin exceeds the allowed operating range of $V_{CC} + 50$ mV, large input currents can flow through a parasitic diode to the V_{CC} pin. If these currents can exceed the 1 mA max allowed spec, an external diode (1N914) should be added to bypass this current to the V_{CC} pin (with the current bypassed with this diode, the voltage at the $V_{IN}(+)$ pin can exceed the V_{CC} voltage by the forward voltage of this diode).

2.3.2 Input Bypass Capacitors

Bypass capacitors at the inputs will average these charges and cause a DC current to flow through the output resistances of the analog signal sources. This charge pumping action is worse for continuous conversions with the $V_{IN}(+)$ input voltage at full-scale. For continuous conversions with a 640 kHz clock frequency with the $V_{IN}(+)$ input at 5V, this DC current is at a maximum of approximately 5 μ A. Therefore, bypass capacitors should not be used at the analog inputs or the $V_{REF}/2$ pin for high resistance sources (> 1 k Ω). If input bypass capacitors are necessary for noise filtering and high source resistance is desirable to minimize capacitor size, the detrimental effects of the voltage drop across this input resistance, which is due to the average value of the input current, can be eliminated with a full-scale adjustment while the given source resistor and input bypass capacitor are both in place. This is possible because the average value of the input current is a precise linear function of the differential input voltage.

2.3.3 Input Source Resistance

Large values of source resistance where an input bypass capacitor is not used, will not cause errors as the input currents settle out prior to the comparison time. If a low pass filter is required in the system, use a low valued series resistor (≤ 1 k Ω) for a passive RC section or add an op amp RC active low pass filter. For low source resistance applications, (≤ 1 k Ω), a 0.1 μ F bypass capacitor at the inputs will prevent noise pickup due to series lead inductance of a long wire. A 100 Ω series resistor can be used to isolate this capacitor—both the R and C are placed outside the feedback loop—from the output of an op amp, if used.

2.3.4 Noise

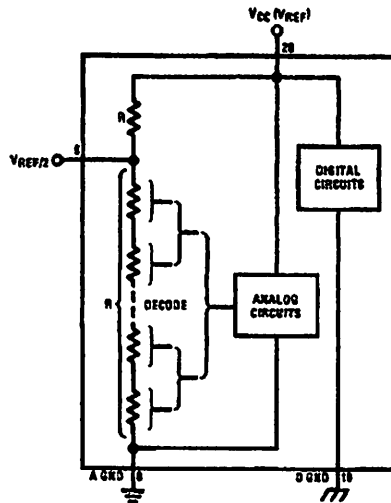
The leads to the analog inputs (pin 6 and 7) should be kept as short as possible to minimize input noise coupling. Both noise and undesired digital clock coupling to these inputs can cause system errors. The source resistance for these inputs should, in general, be kept below 5 k Ω . Larger values of source resistance can cause undesired system noise pickup. Input bypass capacitors, placed from the analog inputs to ground, will eliminate system noise pickup but can create analog scale errors as these capacitors will average the transient input switching currents of the A/D (see section 2.3.1.). This scale error depends on both a large source

resistance and the use of an input bypass capacitor. This error can be eliminated by doing a full-scale adjustment of the A/D (adjust $V_{REF}/2$ for a proper full-scale reading—see section 2.5.2 on Full-Scale Adjustment) with the source resistance and input bypass capacitor in place.

2.4 Reference Voltage

2.4.1 Span Adjust

For maximum applications flexibility, these A/Ds have been designed to accommodate a 5 V_{CC} , 2.5 V_{CC} or an adjusted voltage reference. This has been achieved in the design of the IC as shown in Figure 4.



TL/116671-15

FIGURE 4. The $V_{REFERENCE}$ Design on the IC

Notice that the reference voltage for the IC is either $1/2$ of the voltage applied to the V_{CC} supply pin, or is equal to the voltage that is externally forced at the $V_{REF}/2$ pin. This allows for a ratiometric voltage reference using the V_{CC} supply, a 5 V_{DC} reference voltage can be used for the V_{CC} supply or a voltage less than 2.5 V_{DC} can be applied to the $V_{REF}/2$ input for increased application flexibility. The internal gain to the $V_{REF}/2$ input is 2, making the full-scale differential input voltage twice the voltage at pin 9.

An example of the use of an adjusted reference voltage is to accommodate a reduced span—or dynamic voltage range of the analog input voltage. If the analog input voltage were to range from 0.5 V_{DC} to 3.5 V_{DC} , instead of 0V to 5 V_{DC} , the span would be 3V as shown in Figure 5. With 0.5 V_{DC} applied to the $V_{IN}(-)$ pin to absorb the offset, the reference voltage can be made equal to $1/2$ of the 3V span or 1.5 V_{DC} . The A/D now will encode the $V_{IN}(+)$ signal from 0.5V to 3.5 V with the 0.5V input corresponding to zero and the 3.5 V_{DC} input corresponding to full-scale. The full 8 bits of resolution are therefore applied over this reduced analog input voltage range.

Functional Description (Continued)

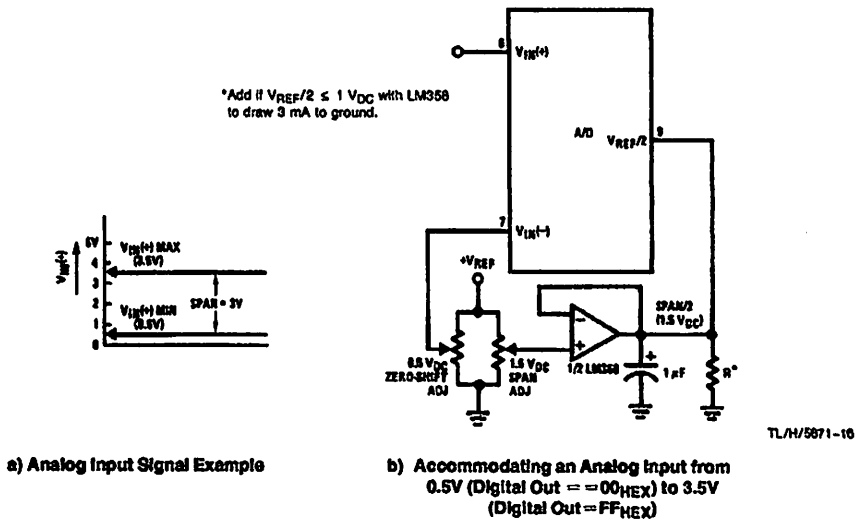


FIGURE 5. Adapting the A/D Analog Input Voltages to Match an Arbitrary Input Signal Range

2.4.2 Reference Accuracy Requirements

The converter can be operated in a ratiometric mode or an absolute mode. In ratiometric converter applications, the magnitude of the reference voltage is a factor in both the output of the source transducer and the output of the A/D converter and therefore cancels out in the final digital output code. The ADC0805 is specified particularly for use in ratiometric applications with no adjustments required. In absolute conversion applications, both the initial value and the temperature stability of the reference voltage are important factors in the accuracy of the A/D converter. For $V_{REF}/2$ voltages of 2.4 V_{DC} nominal value, initial errors of ± 10 mV_{DC} will cause conversion errors of ± 1 LSB due to the gain of 2 of the $V_{REF}/2$ input. In reduced span applications, the initial value and the stability of the $V_{REF}/2$ input voltage become even more important. For example, if the span is reduced to 2.5V, the analog input LSB voltage value is correspondingly reduced from 20 mV (5V span) to 10 mV and 1 LSB at the $V_{REF}/2$ input becomes 5 mV. As can be seen, this reduces the allowed initial tolerance of the reference voltage and requires correspondingly less absolute change with temperature variations. Note that spans smaller than 2.5V place even tighter requirements on the initial accuracy and stability of the reference source.

In general, the magnitude of the reference voltage will require an initial adjustment. Errors due to an improper value of reference voltage appear as full-scale errors in the A/D transfer function. IC voltage regulators may be used for references if the ambient temperature changes are not excessive. The LM336B 2.5V IC reference diode (from National Semiconductor) has a temperature stability of 1.8 mV typ (6 mV max) over $0^{\circ}\text{C} \leq T_A \leq +70^{\circ}\text{C}$. Other temperature range parts are also available.

2.5 Errors and Reference Voltage Adjustments

2.5.1 Zero Error

The zero of the A/D does not require adjustment. If the minimum analog input voltage value, $V_{IN(MIN)}$, is not ground, a zero offset can be done. The converter can be made to output 0000 0000 digital code for this minimum input voltage by biasing the A/D $V_{IN(-)}$ input at this $V_{IN(MIN)}$ value (see Applications section). This utilizes the differential mode operation of the A/D.

The zero error of the A/D converter relates to the location of the first riser of the transfer function and can be measured by grounding the $V_{IN(-)}$ input and applying a small magnitude positive voltage to the $V_{IN(+)}$ input. Zero error is the difference between the actual DC input voltage that is necessary to just cause an output digital code transition from 0000 0000 to 0000 0001 and the ideal $1/2$ LSB value ($1/2$ LSB = 9.8 mV for $V_{REF}/2 = 2.500 V_{DC}$).

2.5.2 Full-Scale

The full-scale adjustment can be made by applying a differential input voltage that is $1/2$ LSB less than the desired analog full-scale voltage range and then adjusting the magnitude of the $V_{REF}/2$ input (pin 9 or the V_{CC} supply if pin 9 is not used) for a digital output code that is just changing from 1111 1110 to 1111 1111.

Functional Description (Continued)

2.5.3 Adjusting for an Arbitrary Analog Input Voltage Range

If the analog zero voltage of the A/D is shifted away from ground (for example, to accommodate an analog input signal that does not go to ground) this new zero reference should be properly adjusted first. A $V_{IN}(+)$ voltage that equals this desired zero reference plus $\frac{1}{4}$ LSB (where the LSB is calculated for the desired analog span, $1 \text{ LSB} = \text{analog span}/256$) is applied to pin 6 and the zero reference voltage at pin 7 should then be adjusted to just obtain the 00_{HEX} to 01_{HEX} code transition.

The full-scale adjustment should then be made (with the proper $V_{IN}(-)$ voltage applied) by forcing a voltage to the $V_{IN}(+)$ input which is given by:

$$V_{IN}(+) \text{ fs adj} = V_{\text{MAX}} - 1.5 \left[\frac{(V_{\text{MAX}} - V_{\text{MIN}})}{256} \right],$$

where:

V_{MAX} = The high end of the analog input range and

V_{MIN} = the low end (the offset zero) of the analog range. (Both are ground referenced.)

The $V_{\text{REF}}/2$ (or V_{CC}) voltage is then adjusted to provide a code change from FE_{HEX} to FF_{HEX} . This completes the adjustment procedure.

2.6 Clocking Option

The clock for the A/D can be derived from the CPU clock or an external RC can be added to provide self-clocking. The CLK IN (pin 4) makes use of a Schmitt trigger as shown in Figure 6.

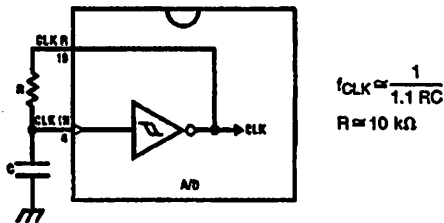


FIGURE 6. Self-Clocking the A/D

TL/H/5871-17

Heavy capacitive or DC loading of the clock R pin should be avoided as this will disturb normal converter operation. Loads less than 50 pF, such as driving up to 7 A/D converter clock inputs from a single clock R pin of 1 converter, are allowed. For larger clock line loading, a CMOS or low power TTL buffer or PNP input logic should be used to minimize the loading on the clock R pin (do not use a standard TTL buffer).

2.7 Restart During a Conversion

If the A/D is restarted ($\overline{\text{CS}}$ and $\overline{\text{WR}}$ go low and return high) during a conversion, the converter is reset and a new conversion is started. The output data latch is not updated if the

conversion in process is not allowed to be completed, therefore the data of the previous conversion remains in this latch. The $\overline{\text{INTR}}$ output simply remains at the "1" level.

2.8 Continuous Conversions

For operation in the free-running mode an initializing pulse should be used, following power-up, to ensure circuit operation. In this application, the $\overline{\text{CS}}$ input is grounded and the $\overline{\text{WR}}$ input is tied to the $\overline{\text{INTR}}$ output. This $\overline{\text{WR}}$ and $\overline{\text{INTR}}$ node should be momentarily forced to logic low following a power-up cycle to guarantee operation.

2.9 Driving the Data Bus

This MOS A/D, like MOS microprocessors and memories, will require a bus driver when the total capacitance of the data bus gets large. Other circuitry, which is tied to the data bus, will add to the total capacitive loading, even in TRI-STATE (high impedance mode). Backplane bussing also greatly adds to the stray capacitance of the data bus.

There are some alternatives available to the designer to handle this problem. Basically, the capacitive loading of the data bus slows down the response time, even though DC specifications are still met. For systems operating with a relatively slow CPU clock frequency, more time is available in which to establish proper logic levels on the bus and therefore higher capacitive loads can be driven (see typical characteristics curves).

At higher CPU clock frequencies time can be extended for I/O reads (and/or writes) by inserting wait states (8080) or using clock extending circuits (6800).

Finally, if time is short and capacitive loading is high, external bus drivers must be used. These can be TRI-STATE buffers (low power Schottky such as the DM74LS240 series is recommended) or special higher drive current products which are designed as bus drivers. High current bipolar bus drivers with PNP inputs are recommended.

2.10 Power Supplies

Noise spikes on the V_{CC} supply line can cause conversion errors as the comparator will respond to this noise. A low inductance tantalum filter capacitor should be used close to the converter V_{CC} pin and values of 1 μF or greater are recommended. If an unregulated voltage is available in the system, a separate LM340LAZ-5.0, TO-92, 5V voltage regulator for the converter (and other analog circuitry) will greatly reduce digital noise on the V_{CC} supply.

2.11 Wiring and Hook-Up Precautions

Standard digital wire wrap sockets are not satisfactory for breadboarding this A/D converter. Sockets on PC boards can be used and all logic signal wires and leads should be grouped and kept as far away as possible from the analog signal leads. Exposed leads to the analog inputs can cause undesired digital noise and hum pickup, therefore shielded leads may be necessary in many applications.

Functional Description (Continued)

A single point analog ground that is separate from the logic ground points should be used. The power supply bypass capacitor and the self-clocking capacitor (if used) should both be returned to digital ground. Any $V_{REF}/2$ bypass capacitors, analog input filter capacitors, or input signal shielding should be returned to the analog ground point. A test for proper grounding is to measure the zero error of the A/D converter. Zero errors in excess of $1/4$ LSB can usually be traced to improper board layout and wiring (see section 2.5.1 for measuring the zero error).

3.0 TESTING THE A/D CONVERTER

There are many degrees of complexity associated with testing an A/D converter. One of the simplest tests is to apply a known analog input voltage to the converter and use LEDs to display the resulting digital output code as shown in Figure 7.

For ease of testing, the $V_{REF}/2$ (pin 9) should be supplied with 2.560 V_{DC} and a V_{CC} supply voltage of 5.12 V_{DC} should be used. This provides an LSB value of 20 mV.

If a full-scale adjustment is to be made, an analog input voltage of 5.090 V_{DC} ($5.120 - 1/4$ LSB) should be applied to the $V_{IN}(+)$ pin with the $V_{IN}(-)$ pin grounded. The value of the $V_{REF}/2$ input voltage should then be adjusted until the digital output code is just changing from 1111 1110 to 1111 1111. This value of $V_{REF}/2$ should then be used for all the tests.

The digital output LED display can be decoded by dividing the 8 bits into 2 hex characters, the 4 most significant (MS) and the 4 least significant (LS). Table I shows the fractional binary equivalent of these two 4-bit groups. By adding the voltages obtained from the "VMS" and "VLS" columns in Table I, the nominal value of the digital display (when

$V_{REF}/2 = 2.560V$) can be determined. For example, for an output LED display of 1011 0110 or B6 (in hex), the voltage values from the table are $3.520 + 0.120$ or 3.640 V_{DC}. These voltage values represent the center-values of a perfect A/D converter. The effects of quantization error have to be accounted for in the interpretation of the test results.

For a higher speed test system, or to obtain plotted data, a digital-to-analog converter is needed for the test set-up. An accurate 10-bit DAC can serve as the precision voltage source for the A/D. Errors of the A/D under test can be expressed as either analog voltages or differences in 2 digital words.

A basic A/D tester that uses a DAC and provides the error as an analog output voltage is shown in Figure 8. The 2 op amps can be eliminated if a lab DVM with a numerical subtraction feature is available to read the difference voltage, "A-C", directly. The analog input voltage can be supplied by a low frequency ramp generator and an X-Y plotter can be used to provide analog error (Y axis) versus analog input (X axis).

For operation with a microprocessor or a computer-based test system, it is more convenient to present the errors digitally. This can be done with the circuit of Figure 9, where the output code transitions can be detected as the 10-bit DAC is incremented. This provides $1/4$ LSB steps for the 8-bit A/D under test. If the results of this test are automatically plotted with the analog input on the X axis and the error (in LSB's) as the Y axis, a useful transfer function of the A/D under test results. For acceptance testing, the plot is not necessary and the testing speed can be increased by establishing internal limits on the allowed error for each code.

4.0 MICROPROCESSOR INTERFACING

To discuss the interface with 8080A and 6800 microprocessors, a common sample subroutine structure is used. The microprocessor starts the A/D, reads and stores the results of 16 successive conversions, then returns to the user's program. The 16 data bytes are stored in 16 successive memory locations. All Data and Addresses will be given in hexadecimal form. Software and hardware details are provided separately for each type of microprocessor.

4.1 Interfacing 8080 Microprocessor Derivatives (8048, 8085)

This converter has been designed to directly interface with derivatives of the 8080 microprocessor. The A/D can be mapped into memory space (using standard memory address decoding for \overline{CS} and the \overline{MEMR} and \overline{MEMW} strobes) or it can be controlled as an I/O device by using the $\overline{I/O \overline{R}}$ and $\overline{I/O \overline{W}}$ strobes and decoding the address bits $A_0 \rightarrow A_7$ (or address bits $A_8 \rightarrow A_{15}$ as they will contain the same 8-bit address information) to obtain the \overline{CS} input. Using the I/O space provides 256 additional addresses and may allow a simpler 8-bit address decoder but the data can only be input to the accumulator. To make use of the additional memory reference instructions, the A/D should be mapped into memory space. An example of an A/D in I/O space is shown in Figure 10.

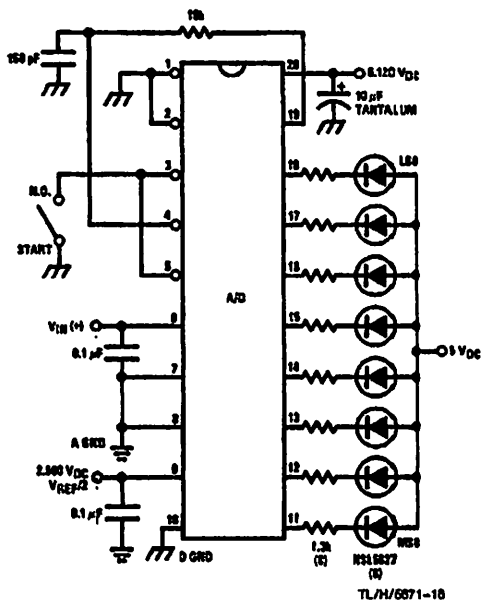


FIGURE 7. Basic A/D Tester

Features

- Compatible with MCS-51® Products
- Features of In-System Programmable (ISP) Flash Memory
- Endurance: 1000 Write/Erase Cycles
- 5.0V to 5.5V Operating Range
- Static Operation: 0 Hz to 33 MHz
- Two-Level Program Memory Lock
- 8-bit Internal RAM
- Programmable I/O Lines
- 16-bit Timer/Counters
- Interrupt Sources
- Full-Duplex UART Serial Channel
- Power Idle and Power-down Modes
- Fast Recovery from Power-down Mode
- Watchdog Timer
- Data Pointer
- Power-off Flag
- Short Programming Time
- On-chip In-System Programming (Byte and Page Mode)

Description

The AT89S51 is a low-power, high-performance CMOS 8-bit microcontroller with 4K bytes of in-system programmable Flash memory. The device is manufactured using high-density nonvolatile memory technology and is compatible with the industry standard 80C51 instruction set and pinout. The on-chip Flash allows the program to be reprogrammed in-system or by a conventional nonvolatile memory programmer. By combining a versatile 8-bit CPU with in-system programmable Flash on a single chip, the Atmel AT89S51 is a powerful microcontroller which provides a flexible and cost-effective solution to many embedded control applications.

The AT89S51 provides the following standard features: 4K bytes of Flash, 128 bytes of internal RAM, 2 I/O lines, Watchdog timer, two data pointers, two 16-bit timer/counters, a five-level interrupt architecture, a full duplex serial port, on-chip oscillator, and microcircuitry. In addition, the AT89S51 is designed with static logic for operation at zero frequency and supports two software selectable power saving modes. Power Idle Mode stops the CPU while allowing the RAM, timer/counters, serial port, and interrupt system to continue functioning. The Power-down mode saves the RAM content but freezes the oscillator, disabling all other chip functions until the next external reset or hardware reset.



8-bit Microcontroller with 4K Bytes In-System Programmable Flash

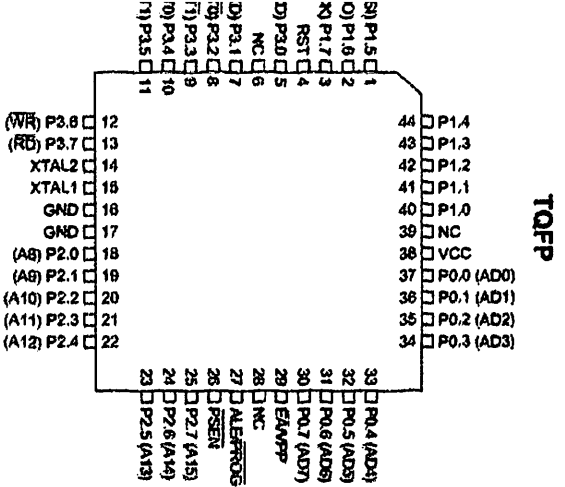
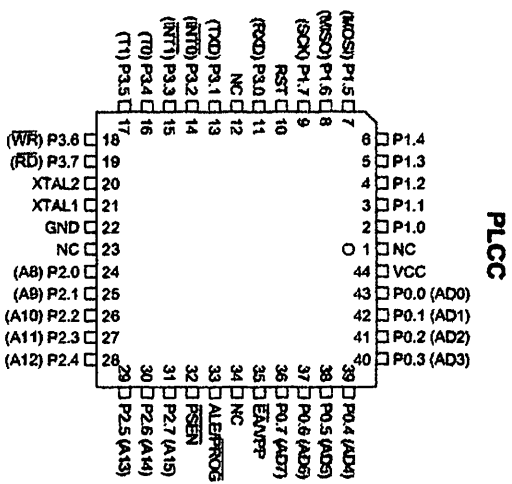
AT89S51

Rev. 2487A-10/01



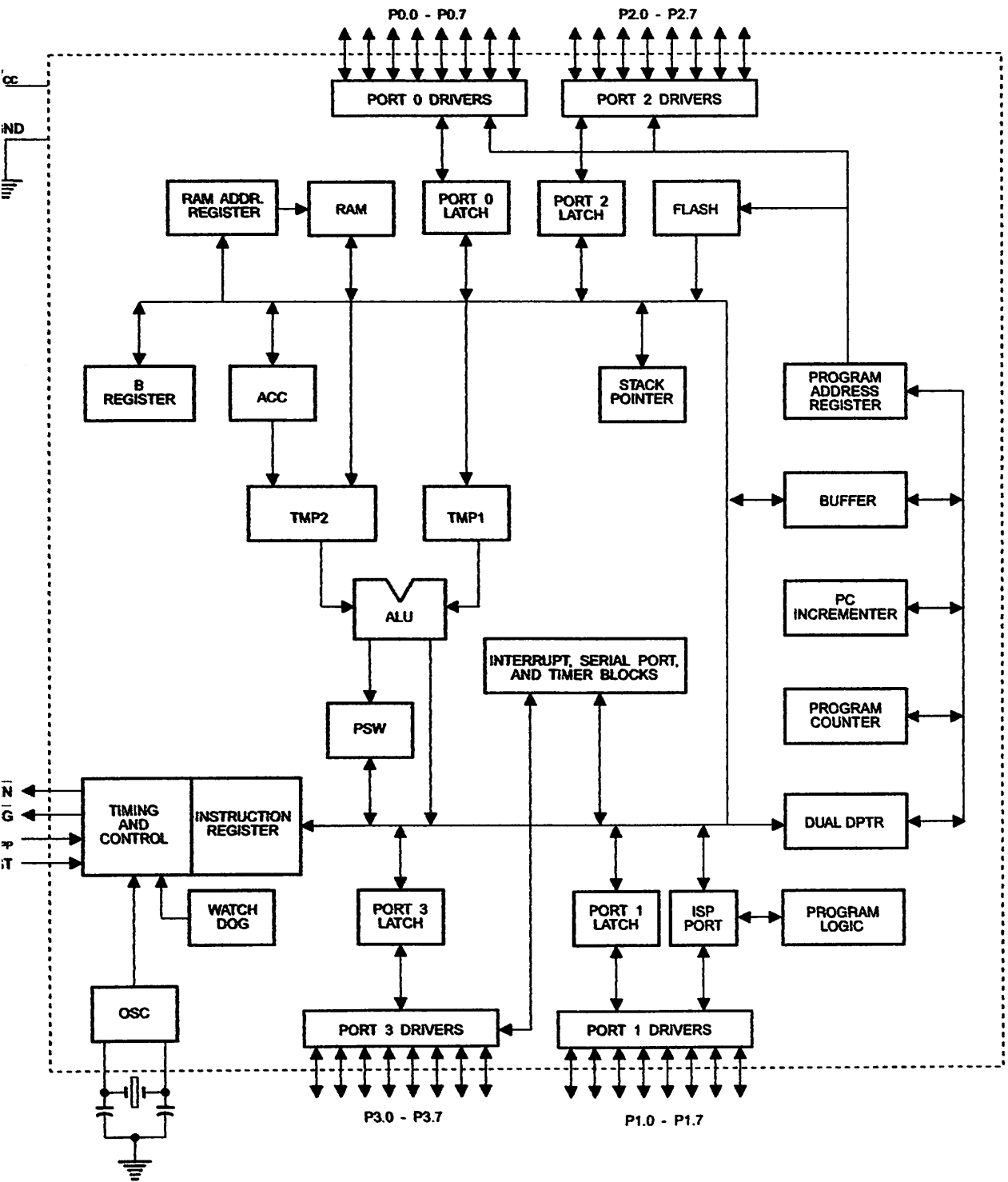


Configurations



AT89S51

Diagram





Description

Supply voltage.

Ground.

Port 0 is an 8-bit open drain bidirectional I/O port. As an output port, each pin can sink eight TTL inputs. When 1s are written to port 0 pins, the pins can be used as high-impedance inputs.

Port 0 can also be configured to be the multiplexed low-order address/data bus during accesses to external program and data memory. In this mode, P0 has internal pull-ups.

Port 0 also receives the code bytes during Flash programming and outputs the code bytes during program verification. **External pull-ups are required during program verification.**

Port 1 is an 8-bit bidirectional I/O port with internal pull-ups. The Port 1 output buffers can sink/source four TTL inputs. When 1s are written to Port 1 pins, they are pulled high by the internal pull-ups and can be used as inputs. As inputs, Port 1 pins that are externally being pulled low will source current (I_{IL}) because of the internal pull-ups.

Port 1 also receives the low-order address bytes during Flash programming and verification.

Port Pin	Alternate Functions
P1.5	MOSI (used for In-System Programming)
P1.6	MISO (used for In-System Programming)
P1.7	SCK (used for In-System Programming)

Port 2 is an 8-bit bidirectional I/O port with internal pull-ups. The Port 2 output buffers can sink/source four TTL inputs. When 1s are written to Port 2 pins, they are pulled high by the internal pull-ups and can be used as inputs. As inputs, Port 2 pins that are externally being pulled low will source current (I_{IL}) because of the internal pull-ups.

Port 2 emits the high-order address byte during fetches from external program memory and during accesses to external data memory that use 16-bit addresses (MOVX @ DPTR). In this application, Port 2 uses strong internal pull-ups when emitting 1s. During accesses to external data memory that use 8-bit addresses (MOVX @ RI), Port 2 emits the contents of the P2 Special Function Register.

Port 2 also receives the high-order address bits and some control signals during Flash programming and verification.

Port 3 is an 8-bit bidirectional I/O port with internal pull-ups. The Port 3 output buffers can sink/source four TTL inputs. When 1s are written to Port 3 pins, they are pulled high by the internal pull-ups and can be used as inputs. As inputs, Port 3 pins that are externally being pulled low will source current (I_{IL}) because of the pull-ups.

Port 3 receives some control signals for Flash programming and verification.

Port 3 also serves the functions of various special features of the AT89S51, as shown in the following table.

Port Pin	Alternate Functions
P3.0	RXD (serial input port)
P3.1	TXD (serial output port)
P3.2	INT0 (external interrupt 0)
P3.3	INT1 (external interrupt 1)
P3.4	T0 (timer 0 external input)
P3.5	T1 (timer 1 external input)
P3.6	\overline{WR} (external data memory write strobe)
P3.7	\overline{RD} (external data memory read strobe)

Reset input. A high on this pin for two machine cycles while the oscillator is running resets the device. This pin drives High for 98 oscillator periods after the Watchdog times out. The DISRTO bit in SFR AUXR (address 8EH) can be used to disable this feature. In the default state of bit DISRTO, the RESET HIGH out feature is enabled.

Address Latch Enable (ALE) is an output pulse for latching the low byte of the address during accesses to external memory. This pin is also the program pulse input (\overline{PROG}) during Flash programming.

In normal operation, ALE is emitted at a constant rate of 1/6 the oscillator frequency and may be used for external timing or clocking purposes. Note, however, that one ALE pulse is skipped during each access to external data memory.

If desired, ALE operation can be disabled by setting bit 0 of SFR location 8EH. With the bit set, ALE is active only during a MOVX or MOVC instruction. Otherwise, the pin is weakly pulled high. Setting the ALE-disable bit has no effect if the microcontroller is in external execution mode.

Program Store Enable (\overline{PSEN}) is the read strobe to external program memory.

When the AT89S51 is executing code from external program memory, \overline{PSEN} is activated twice each machine cycle, except that two \overline{PSEN} activations are skipped during each access to external data memory.

External Access Enable. \overline{EA} must be strapped to GND in order to enable the device to fetch code from external program memory locations starting at 0000H up to FFFFH. Note, however, that if lock bit 1 is programmed, \overline{EA} will be internally latched on reset.

\overline{EA} should be strapped to V_{CC} for internal program executions.

This pin also receives the 12-volt programming enable voltage (V_{PP}) during Flash programming.

Input to the inverting oscillator amplifier and input to the internal clock operating circuit.

Output from the inverting oscillator amplifier



al
ion
ters

A map of the on-chip memory area called the Special Function Register (SFR) space is shown in Table 1.

Note that not all of the addresses are occupied, and unoccupied addresses may not be implemented on the chip. Read accesses to these addresses will in general return random data, and write accesses will have an indeterminate effect.

AT89S51 SFR Map and Reset Values

								0FFH
B 00000000								0F7H
								0EFH
ACC 00000000								0E7H
								0DFH
PSW 00000000								0D7H
								0CFH
								0C7H
IP XX000000								0BFH
P3 11111111								0B7H
IE 0X000000								0AFH
P2 11111111		AUXR1 XXXXXXXX0				WDTRST XXXXXXXXX		0A7H
SCON 00000000	SBUF XXXXXXXXX							9FH
P1 11111111								97H
TCON 00000000	TMOD 00000000	TL0 00000000	TL1 00000000	TH0 00000000	TH1 00000000	AUXR XX00XX0		8FH
P0 11111111	SP 00000111	DP0L 00000000	DP0H 00000000	DP1L 00000000	DP1H 00000000		PCON 0XX0000	87H

User software should not write 1s to these unlisted locations, since they may be used in future products to invoke new features. In that case, the reset or inactive values of the new bits will always be 0.

Interrupt Registers: The individual interrupt enable bits are in the IE register. Two priorities can be set for each of the five interrupt sources in the IP register.

Table 2. AUXR: Auxiliary Register

AUXR	Address = 8EH							Reset Value = XXX00XX0B
Not Bit Addressable	-	-	-	WDIDLE	DISRTO	-	-	DISALE
Bit	7	6	5	4	3	2	1	0
-	Reserved for future expansion							
DISALE	Disable/Enable ALE							
	DISALE							
	Operating Mode							
0	ALE is emitted at a constant rate of 1/6 the oscillator frequency							
1	ALE is active only during a MOVX or MOVC instruction							
DISRTO	Disable/Enable Reset out							
	DISRTO							
0	Reset pin is driven High after WDT times out							
1	Reset pin is input only							
WDIDLE	Disable/Enable WDT in IDLE mode							
	WDIDLE							
0	WDT continues to count in IDLE mode							
1	WDT halts counting in IDLE mode							

Dual Data Pointer Registers: To facilitate accessing both internal and external data memory, two banks of 16-bit Data Pointer Registers are provided: DP0 at SFR address locations 82H-83H and DP1 at 84H-85H. Bit DPS = 0 in SFR AUXR1 selects DP0 and DPS = 1 selects DP1. The user should always initialize the DPS bit to the appropriate value before accessing the respective Data Pointer Register.



Power Off Flag: The Power Off Flag (POF) is located at bit 4 (PCON.4) in the PCON SFR. POF is set to "1" during power up. It can be set and rest under software control and is not affected by reset.

Table 3. AUXR1: Auxiliary Register 1

AUXR1							
Address = A2H							
Reset Value = XXXXXXX0B							
Not Bit Addressable							
	-	-	-	-	-	-	DPS
Bit	7	6	5	4	3	2	1
-	Reserved for future expansion						
DPS	Data Pointer Register Select						
	DPS						
0	Selects DPTR Registers DP0L, DP0H						
1	Selects DPTR Registers DP1L, DP1H						

MCS-51 devices have a separate address space for Program and Data Memory. Up to 64K bytes each of external Program and Data Memory can be addressed.

If the \overline{EA} pin is connected to GND, all program fetches are directed to external memory.

On the AT89S51, if \overline{EA} is connected to V_{CC} , program fetches to addresses 0000H through FFFH are directed to internal memory and fetches to addresses 1000H through FFFFH are directed to external memory.

The AT89S51 implements 128 bytes of on-chip RAM. The 128 bytes are accessible via direct and indirect addressing modes. Stack operations are examples of indirect addressing, so the 128 bytes of data RAM are available as stack space.

The WDT is intended as a recovery method in situations where the CPU may be subjected to software upsets. The WDT consists of a 14-bit counter and the Watchdog Timer Reset (WDTRST) SFR. The WDT is defaulted to disable from exiting reset. To enable the WDT, a user must write 01EH and 0E1H in sequence to the WDTRST register (SFR location 0A6H). When the WDT is enabled, it will increment every machine cycle while the oscillator is running. The WDT timeout period is dependent on the external clock frequency. There is no way to disable the WDT except through reset (either hardware reset or WDT overflow reset). When WDT overflows, it will drive an output RESET HIGH pulse at the RST pin.

To enable the WDT, a user must write 01EH and 0E1H in sequence to the WDTRST register (SFR location 0A6H). When the WDT is enabled, the user needs to service it by writing 01EH and 0E1H to WDTRST to avoid a WDT overflow. The 14-bit counter overflows when it reaches 16383 (3FFFH), and this will reset the device. When the WDT is enabled, it will increment every machine cycle while the oscillator is running. This means the user must reset the WDT at least every 16383 machine cycles. To reset the WDT the user must write 01EH and 0E1H to WDTRST. WDTRST is a write-only register. The WDT counter cannot be read or written. When WDT overflows, it will generate an output RESET pulse at the RST pin. The RESET pulse duration is $98 \times TOSC$, where $TOSC = 1/FOSC$. To make the best use of the WDT, it

should be serviced in those sections of code that will periodically be executed within the time required to prevent a WDT reset.

During Power-down Mode

In Power-down mode the oscillator stops, which means the WDT also stops. While in Power-down mode, the user does not need to service the WDT. There are two methods of exiting Power-down mode: by a hardware reset or via a level-activated external interrupt, which is enabled prior to entering Power-down mode. When Power-down is exited with hardware reset, servicing the WDT should occur as it normally does whenever the AT89S51 is reset. Exiting Power-down with an interrupt is significantly different. The interrupt is held low long enough for the oscillator to stabilize. When the interrupt is brought high, the interrupt is serviced. To prevent the WDT from resetting the device while the interrupt pin is held low, the WDT is not started until the interrupt is pulled high. It is suggested that the WDT be reset during the interrupt service for the interrupt used to exit Power-down mode.

To ensure that the WDT does not overflow within a few states of exiting Power-down, it is best to reset the WDT just before entering Power-down mode.

Before going into the IDLE mode, the WDIDLE bit in SFR AUXR is used to determine whether the WDT continues to count if enabled. The WDT keeps counting during IDLE (WDIDLE bit = 0) as the default state. To prevent the WDT from resetting the AT89S51 while in IDLE mode, the user should always set up a timer that will periodically exit IDLE, service the WDT, and reenter IDLE mode.

With WDIDLE bit enabled, the WDT will stop to count in IDLE mode and resumes the count upon exit from IDLE.

The UART in the AT89S51 operates the same way as the UART in the AT89C51. For further information on the UART operation, refer to the ATMEL Web site (<http://www.atmel.com>). From the home page, select 'Products', then '8051-Architecture Flash Microcontroller', then 'Product Overview'.

Timer 0 and 1

Timer 0 and Timer 1 in the AT89S51 operate the same way as Timer 0 and Timer 1 in the AT89C51. For further information on the timers' operation, refer to the ATMEL Web site (<http://www.atmel.com>). From the home page, select 'Products', then '8051-Architecture Flash Microcontroller', then 'Product Overview'.

Interrupts

The AT89S51 has a total of five interrupt vectors: two external interrupts ($\overline{INT0}$ and $\overline{INT1}$), two timer interrupts (Timers 0 and 1), and the serial port interrupt. These interrupts are all shown in Figure 1.

Each of these interrupt sources can be individually enabled or disabled by setting or clearing a bit in Special Function Register IE. IE also contains a global disable bit, EA, which disables all interrupts at once.

Note that Table 4 shows that bit position IE.6 is unimplemented. In the AT89S51, bit position IE.5 is also unimplemented. User software should not write 1s to these bit positions, since they may be used in future AT89 products.

The Timer 0 and Timer 1 flags, TF0 and TF1, are set at S5P2 of the cycle in which the timers overflow. The values are then polled by the circuitry in the next cycle.





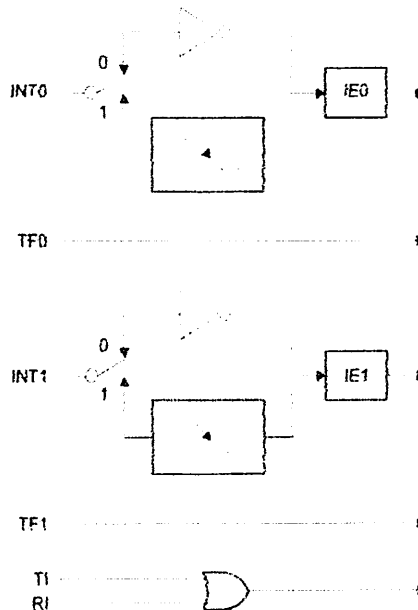
Table 4. Interrupt Enable (IE) Register

(MSB)				(LSB)			
EA	-	-	ES	ET1	EX1	ET0	EX0
Enable Bit = 1 enables the interrupt.							
Enable Bit = 0 disables the interrupt.							

Symbol	Position	Function
EA	IE.7	Disables all interrupts. If EA = 0, no interrupt is acknowledged. If EA = 1, each interrupt source is individually enabled or disabled by setting or clearing its enable bit.
-	IE.6	Reserved
-	IE.5	Reserved
ES	IE.4	Serial Port interrupt enable bit
ET1	IE.3	Timer 1 interrupt enable bit
EX1	IE.2	External interrupt 1 enable bit
ET0	IE.1	Timer 0 interrupt enable bit
EX0	IE.0	External interrupt 0 enable bit

User software should never write 1s to reserved bits, because they may be used in future AT89 products.

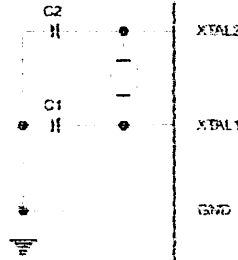
Figure 1. Interrupt Sources



ator
cteristics

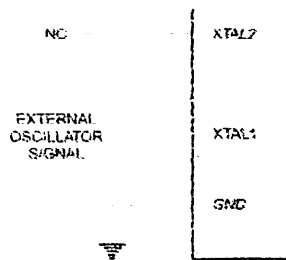
XTAL1 and XTAL2 are the input and output, respectively, of an inverting amplifier that can be configured for use as an on-chip oscillator, as shown in Figure 2. Either a quartz crystal or ceramic resonator may be used. To drive the device from an external clock source, XTAL2 should be left unconnected while XTAL1 is driven, as shown in Figure 3. There are no requirements on the duty cycle of the external clock signal, since the input to the internal clocking circuitry is through a divide-by-two flip-flop, but minimum and maximum voltage high and low time specifications must be observed.

Figure 2. Oscillator Connections



Note: C1, C2 = 30 pF ± 10 pF for Crystals = 40 pF ± 10 pF for Ceramic Resonators

Figure 3. External Clock Drive Configuration



ode

In idle mode, the CPU puts itself to sleep while all the on-chip peripherals remain active. The mode is invoked by software. The content of the on-chip RAM and all the special function registers remain unchanged during this mode. The idle mode can be terminated by any enabled interrupt or by a hardware reset.

Note that when idle mode is terminated by a hardware reset, the device normally resumes program execution from where it left off, up to two machine cycles before the internal reset algorithm takes control. On-chip hardware inhibits access to internal RAM in this event, but access to the port pins is not inhibited. To eliminate the possibility of an unexpected write to a port pin when idle mode is terminated by a reset, the instruction following the one that invokes idle mode should not write to a port pin or to external memory.

r-down

In the Power-down mode, the oscillator is stopped, and the instruction that invokes Power-down is the last instruction executed. The on-chip RAM and Special Function Registers retain their values until the Power-down mode is terminated. Exit from Power-down mode can be initiated either by a hardware reset or by activation of an enabled external interrupt into INT0 or INT1. Reset redefines the SFRs but does not change the on-chip RAM. The reset should not be activated before V_{CC} is restored to its normal operating level and must be held active long enough to allow the oscillator to restart and stabilize.





Table 5. Status of External Pins During Idle and Power-down Modes

Mode	Program Memory	ALE	PSEN	PORT0	PORT1	PORT2	PORT3
Idle	Internal	1	1	Data	Data	Data	Data
Idle	External	1	1	Float	Data	Address	Data
Power-down	Internal	0	0	Data	Data	Data	Data
Power-down	External	0	0	Float	Data	Data	Data

The AT89S51 has three lock bits that can be left unprogrammed (U) or can be programmed (P) to obtain the additional features listed in the following table.

Table 6. Lock Bit Protection Modes

Program Lock Bits				Protection Type
	LB1	LB2	LB3	
1	U	U	U	No program lock features
2	P	U	U	MOV _C instructions executed from external program memory are disabled from fetching code bytes from internal memory, EA is sampled and latched on reset, and further programming of the Flash memory is disabled
3	P	P	U	Same as mode 2, but verify is also disabled
4	P	P	P	Same as mode 3, but external execution is also disabled

When lock bit 1 is programmed, the logic level at the \overline{EA} pin is sampled and latched during reset. If the device is powered up without a reset, the latch initializes to a random value and holds that value until reset is activated. The latched value of \overline{EA} must agree with the current logic level at that pin in order for the device to function properly.

The AT89S51 is shipped with the on-chip Flash memory array ready to be programmed. The programming interface needs a high-voltage (12-volt) program enable signal and is compatible with conventional third-party Flash or EPROM programmers.

The AT89S51 code memory array is programmed byte-by-byte.

Programming Algorithm: Before programming the AT89S51, the address, data, and control signals should be set up according to the Flash programming mode table and Figures 13 and 14. To program the AT89S51, take the following steps:

1. Input the desired memory location on the address lines.
2. Input the appropriate data byte on the data lines.
3. Activate the correct combination of control signals.
4. Raise \overline{EA}/V_{PP} to 12V.
5. Pulse ALE/PROG once to program a byte in the Flash array or the lock bits. The byte-write cycle is self-timed and typically takes no more than 50 μ s. Repeat steps 1 through 5, changing the address and data for the entire array or until the end of the object file is reached.

Data Polling: The AT89S51 features Data Polling to indicate the end of a byte write cycle. During a write cycle, an attempted read of the last byte written will result in the complement of the written data on P0.7. Once the write cycle has been completed, true data is valid on all outputs, and the next cycle may begin. Data Polling may begin any time after a write cycle has been initiated.

Ready/Busy: The progress of byte programming can also be monitored by the $\overline{\text{RDY/BSY}}$ output signal. P3.0 is pulled low after ALE goes high during programming to indicate $\overline{\text{BUSY}}$. P3.0 is pulled high again when programming is done to indicate **READY**.

Program Verify: If lock bits LB1 and LB2 have not been programmed, the programmed code data can be read back via the address and data lines for verification. The status of the individual lock bits can be verified directly by reading them back.

Reading the Signature Bytes: The signature bytes are read by the same procedure as a normal verification of locations 000H, 100H, and 200H, except that P3.6 and P3.7 must be pulled to a logic low. The values returned are as follows.

- (000H) = 1EH Indicates manufactured by Atmel
- (100H) = 51H Indicates 89S51
- (200H) = 06H

Chip Erase: In the parallel programming mode, a chip erase operation is initiated by using the proper combination of control signals and by pulsing ALE/PROG low for a duration of 200 ns - 500 ns.

In the serial programming mode, a chip erase operation is initiated by issuing the Chip Erase instruction. In this mode, chip erase is self-timed and takes about 500 ms.

During chip erase, a serial read from any address location will return 00H at the data output.

programming
Flash –
al Mode

The Code memory array can be programmed using the serial ISP interface while RST is pulled to V_{CC} . The serial interface consists of pins SCK, MOSI (input) and MISO (output). After RST is set high, the Programming Enable instruction needs to be executed first before other operations can be executed. Before a reprogramming sequence can occur, a Chip Erase operation is required.

The Chip Erase operation turns the content of every memory location in the Code array into FFH.

Either an external system clock can be supplied at pin XTAL1 or a crystal needs to be connected across pins XTAL1 and XTAL2. The maximum serial clock (SCK) frequency should be less than 1/16 of the crystal frequency. With a 33 MHz oscillator clock, the maximum SCK frequency is 2 MHz.

al
programming
rithm

To program and verify the AT89S51 in the serial programming mode, the following sequence is recommended:

1. Power-up sequence:
Apply power between VCC and GND pins.
Set RST pin to "H".
If a crystal is not connected across pins XTAL1 and XTAL2, apply a 3 MHz to 33 MHz clock to XTAL1 pin and wait for at least 10 milliseconds.
2. Enable serial programming by sending the Programming Enable serial instruction to pin MOSI/P1.5. The frequency of the shift clock supplied at pin SCK/P1.7 needs to be less than the CPU clock at XTAL1 divided by 16.
3. The Code array is programmed one byte at a time in either the Byte or Page mode. The write cycle is self-timed and typically takes less than 0.5 ms at 5V.
4. Any memory location can be verified by using the Read instruction that returns the content at the selected address at serial output MISO/P1.6.
5. At the end of a programming session, RST can be set low to commence normal device operation.





Power-off sequence (if needed):

Set XTAL1 to "L" (if a crystal is not used).

Set RST to "L".

Turn V_{CC} power off.

Data Polling: The Data Polling feature is also available in the serial mode. In this mode, during a write cycle an attempted read of the last byte written will result in the complement of the MSB of the serial output byte on MISO.

The Instruction Set for Serial Programming follows a 4-byte protocol and is shown in Table 8 on page 18.

al
ramming
uction Set

ramming
urface –
allel Mode

Every code byte in the Flash array can be programmed by using the appropriate combination of control signals. The write operation cycle is self-timed and once initiated, will automatically time itself to completion.

All major programming vendors offer worldwide support for the Atmel microcontroller series. Please contact your local programming vendor for the appropriate software revision.

7. Flash Programming Modes

	V _{CC}	RST	PSEN	ALE/ PROG	EA/ V _{PP}	P2.6	P2.7	P3.3	P3.6	P3.7	P0.7-0 Data	P2.3-0	P1.7-0
												Address	
Code Data	5V	H	L	(2)	12V	L	H	H	H	H	D _{IN}	A11-8	A7-0
Code Data	5V	H	L	H	H	L	L	L	H	H	D _{OUT}	A11-8	A7-0
Lock Bit 1	5V	H	L	(3)	12V	H	H	H	H	H	X	X	X
Lock Bit 2	5V	H	L	(3)	12V	H	H	H	L	L	X	X	X
Lock Bit 3	5V	H	L	(3)	12V	H	L	H	H	L	X	X	X
Lock Bits	5V	H	L	H	H	H	H	L	H	L	P0.2, P0.3, P0.4	X	X
Erase	5V	H	L	(1)	12V	H	L	H	L	L	X	X	X
Atmel ID	5V	H	L	H	H	L	L	L	L	L	1EH	0000	00H
Device ID	5V	H	L	H	H	L	L	L	L	L	51H	0001	00H
Device ID	5V	H	L	H	H	L	L	L	L	L	06H	0010	00H

1. Each **PROG** pulse is 200 ns - 500 ns for Chip Erase.
2. Each **PROG** pulse is 200 ns - 500 ns for Write Code Data.
3. Each **PROG** pulse is 200 ns - 500 ns for Write Lock Bits.
4. RDY/BSY signal is output on P3.0 during programming.
5. X = don't care.

AT89S51

Figure 4. Programming the Flash Memory (Parallel Mode)

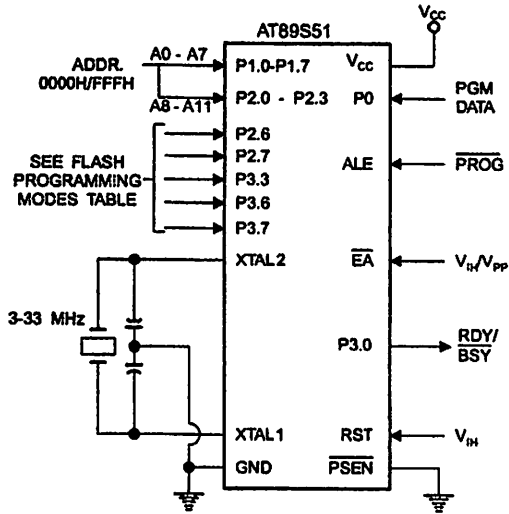
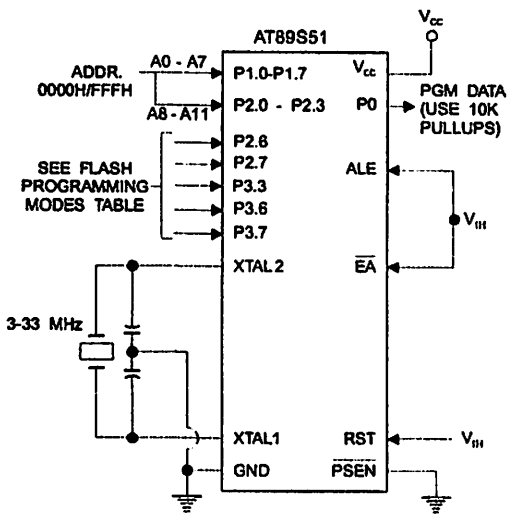


Figure 5. Verifying the Flash Memory (Parallel Mode)



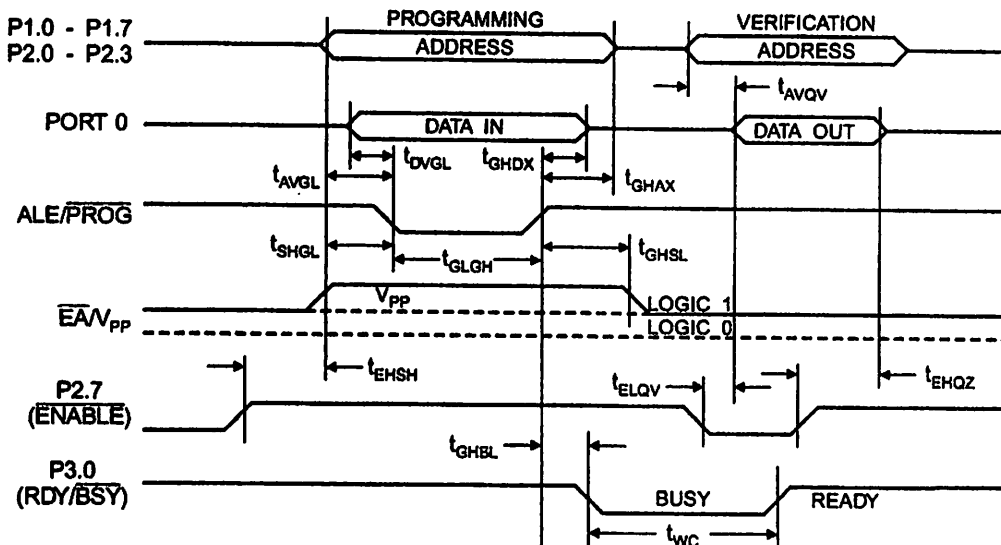


Flash Programming and Verification Characteristics (Parallel Mode)

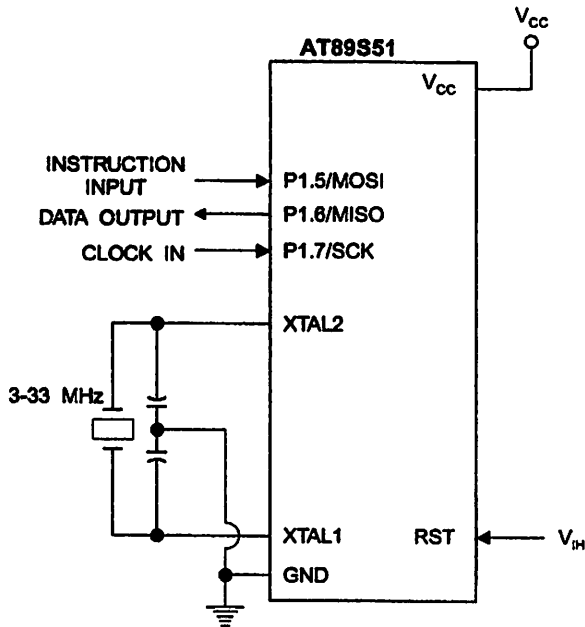
20°C to 30°C, $V_{CC} = 4.5$ to $5.5V$

Parameter	Min	Max	Units
Programming Supply Voltage	11.5	12.5	V
Programming Supply Current		10	mA
V_{CC} Supply Current		30	mA
Oscillator Frequency	3	33	MHz
Address Setup to \overline{PROG} Low	$48t_{CLCL}$		
Address Hold After \overline{PROG}	$48t_{CLCL}$		
Data Setup to \overline{PROG} Low	$48t_{CLCL}$		
Data Hold After \overline{PROG}	$48t_{CLCL}$		
P2.7 (ENABLE) High to V_{PP}	$48t_{CLCL}$		
V_{PP} Setup to \overline{PROG} Low	10		μs
V_{PP} Hold After \overline{PROG}	10		μs
\overline{PROG} Width	0.2	1	μs
Address to Data Valid		$48t_{CLCL}$	
ENABLE Low to Data Valid		$48t_{CLCL}$	
Data Float After ENABLE	0	$48t_{CLCL}$	
\overline{PROG} High to BUSY Low		1.0	μs
Byte Write Cycle Time		50	μs

6. Flash Programming and Verification Waveforms – Parallel Mode

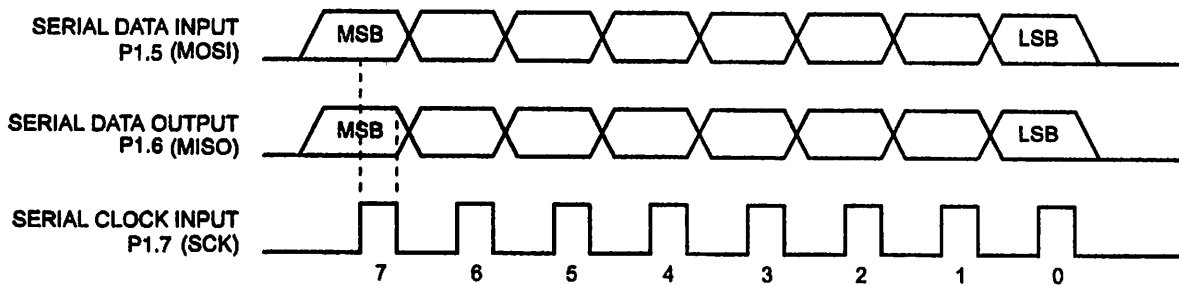


7. Flash Memory Serial Downloading



8. Serial Programming and Verification Waveforms – Serial Mode

8. Serial Programming Waveforms





8. Serial Programming Instruction Set

Instruction	Instruction Format				Operation
	Byte 1	Byte 2	Byte 3	Byte 4	
Programming Enable	1010 1100	0101 0011	xxxx xxxx	xxxx xxxx 0110 1001 (Output)	Enable Serial Programming while RST is high
Erase	1010 1100	100x xxxx	xxxx xxxx	xxxx xxxx	Chip Erase Flash memory array
Read Program Memory (Byte Mode)	0010 0000	xxxx A11 A10 A9 A8	A7 A6 A5 A4 A3 A2 A1 A0	D7 D6 D5 D4 D3 D2 D1 D0	Read data from Program memory in the byte mode
Write Program Memory (Byte Mode)	0100 0000	xxxx A11 A10 A9 A8	A7 A6 A5 A4 A3 A2 A1 A0	D7 D6 D5 D4 D3 D2 D1 D0	Write data to Program memory in the byte mode
Write Lock Bits ⁽²⁾	1010 1100	1110 00 B1 B2	xxxx xxxx	xxxx xxxx	Write Lock bits. See Note (2).
Read Lock Bits	0010 0100	xxxx xxxx	xxxx xxxx	xx B2 LB2 LB1 xx	Read back current status of the lock bits (a programmed lock bit reads back as a "1")
Read Signature Bytes ⁽¹⁾	0010 1000	xxx A5 A4 A3 A1	A0 xxx xxxx	Signature Byte	Read Signature Byte
Read Program Memory (Page Mode)	0011 0000	xxxx A11 A10 A9 A8	Byte 0	Byte 1... Byte 255	Read data from Program memory in the Page Mode (256 bytes)
Write Program Memory (Page Mode)	0101 0000	xxxx A11 A10 A9 A8	Byte 0	Byte 1... Byte 255	Write data to Program memory in the Page Mode (256 bytes)

1. The signature bytes are not readable in Lock Bit Modes 3 and 4.

2. B1 = 0, B2 = 0 → Mode 1, no lock protection
 B1 = 0, B2 = 1 → Mode 2, lock bit 1 activated
 B1 = 1, B2 = 0 → Mode 3, lock bit 2 activated
 B1 = 1, B2 = 1 → Mode 4, lock bit 3 activated

Each of the lock bits needs to be activated sequentially before Mode 4 can be executed.

After Reset signal is high, SCK should be low for at least 64 system clocks before it goes high to clock in the enable data bytes. No pulsing of Reset signal is necessary. SCK should be no faster than 1/16 of the system clock at XTAL1.

For Page Read/Write, the data always starts from byte 0 to 255. After the command byte and upper address byte are latched, each byte thereafter is treated as data until all 256 bytes are shifted in/out. Then the next instruction will be ready to be decoded.

Serial Programming Characteristics

Figure 9. Serial Programming Timing

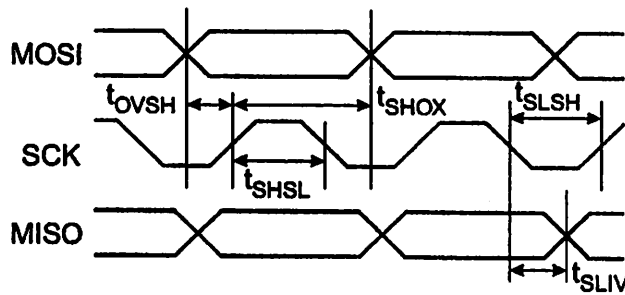


Table 9. Serial Programming Characteristics, $T_A = -40^\circ\text{C}$ to 85°C , $V_{CC} = 4.0 - 5.5\text{V}$ (Unless Otherwise Noted)

Symbol	Parameter	Min	Typ	Max	Units
f_{CLCL}	Oscillator Frequency	0		33	MHz
t_{CLCL}	Oscillator Period	30			ns
t_{SHSL}	SCK Pulse Width High	$8 t_{CLCL}$			ns
t_{SLSH}	SCK Pulse Width Low	$8 t_{CLCL}$			ns
t_{OVSH}	MOSI Setup to SCK High	t_{CLCL}			ns
t_{SHOX}	MOSI Hold after SCK High	$2 t_{CLCL}$			ns
t_{SLIV}	SCK Low to MISO Valid	10	16	32	ns
t_{ERASE}	Chip Erase Instruction Cycle Time			500	ms
t_{WC}	Serial Byte Write Cycle Time			$64 t_{CLCL} + 400$	μs





Absolute Maximum Ratings*

Operating Temperature.....	-55°C to +125°C
Storage Temperature.....	-65°C to +150°C
Voltage on Any Pin Respect to Ground.....	-1.0V to +7.0V
Maximum Operating Voltage.....	6.6V
Output Current.....	15.0 mA

***NOTICE:** Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Characteristics

Values shown in this table are valid for $T_A = -40^\circ\text{C}$ to 85°C and $V_{CC} = 4.0\text{V}$ to 5.5V , unless otherwise noted.

Symbol	Parameter	Condition	Min	Max	Units
	Input Low Voltage	(Except \overline{EA})	-0.5	$0.2 V_{CC} - 0.1$	V
	Input Low Voltage (\overline{EA})		-0.5	$0.2 V_{CC} - 0.3$	V
	Input High Voltage	(Except XTAL1, RST)	$0.2 V_{CC} + 0.9$	$V_{CC} + 0.5$	V
	Input High Voltage	(XTAL1, RST)	$0.7 V_{CC}$	$V_{CC} + 0.5$	V
	Output Low Voltage ⁽¹⁾ (Ports 1,2,3)	$I_{OL} = 1.6 \text{ mA}$		0.45	V
	Output Low Voltage ⁽¹⁾ (Port 0, ALE, \overline{PSEN})	$I_{OL} = 3.2 \text{ mA}$		0.45	V
	Output High Voltage (Ports 1,2,3, ALE, \overline{PSEN})	$I_{OH} = -80 \mu\text{A}, V_{CC} = 5\text{V} \pm 10\%$	2.4		V
		$I_{OH} = -25 \mu\text{A}$	$0.75 V_{CC}$		V
		$I_{OH} = -10 \mu\text{A}$	$0.9 V_{CC}$		V
	Output High Voltage (Port 0 in External Bus Mode)	$I_{OH} = -800 \mu\text{A}, V_{CC} = 5\text{V} \pm 10\%$	2.4		V
		$I_{OH} = -300 \mu\text{A}$	$0.75 V_{CC}$		V
		$I_{OH} = -80 \mu\text{A}$	$0.9 V_{CC}$		V
	Logical 0 Input Current (Ports 1,2,3)	$V_{IN} = 0.45\text{V}$		-50	μA
	Logical 1 to 0 Transition Current (Ports 1,2,3)	$V_{IN} = 2\text{V}, V_{CC} = 5\text{V} \pm 10\%$		-650	μA
	Input Leakage Current (Port 0, \overline{EA})	$0.45 < V_{IN} < V_{CC}$		± 10	μA
RT	Reset Pulldown Resistor		50	300	K Ω
	Pin Capacitance	Test Freq. = 1 MHz, $T_A = 25^\circ\text{C}$		10	pF
	Power Supply Current	Active Mode, 12 MHz		25	mA
		Idle Mode, 12 MHz		6.5	mA
	Power-down Mode ⁽²⁾	$V_{CC} = 5.5\text{V}$		50	μA

- Under steady state (non-transient) conditions, I_{OL} must be externally limited as follows:
 Maximum I_{OL} per port pin: 10 mA
 Maximum I_{OL} per 8-bit port:
 Port 0: 26 mA Ports 1, 2, 3: 15 mA
 Maximum total I_{OL} for all output pins: 71 mA
 If I_{OL} exceeds the test condition, V_{OL} may exceed the related specification. Pins are not guaranteed to sink current greater than the listed test conditions.
- Minimum V_{CC} for Power-down is 2V.

AT89S51

Characteristics

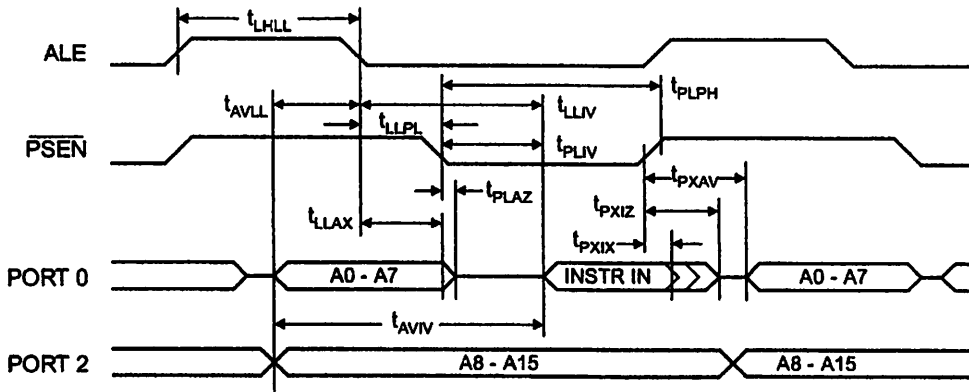
Operating conditions, load capacitance for Port 0, ALE/ $\overline{\text{PROG}}$, and $\overline{\text{PSEN}}$ = 100 pF; load capacitance for all other ports = 80 pF.

Internal Program and Data Memory Characteristics

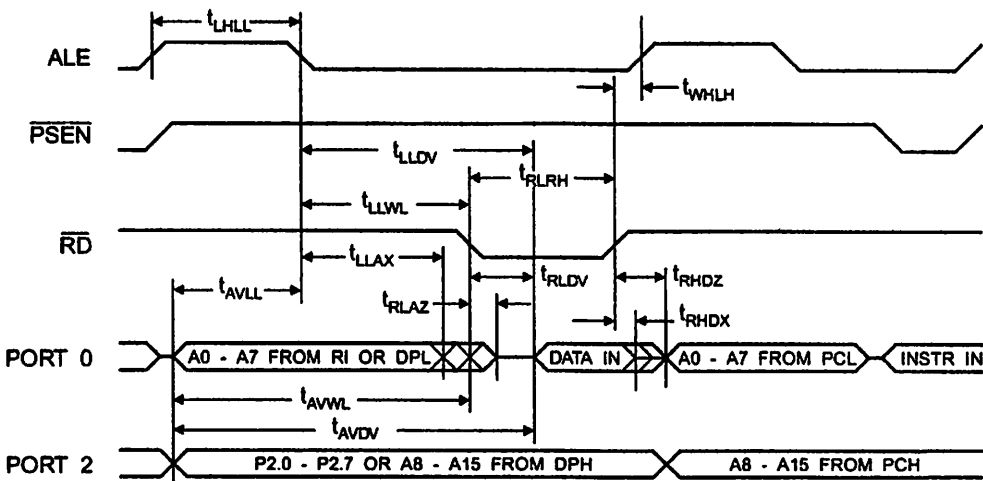
Symbol	Parameter	12 MHz Oscillator		Variable Oscillator		Units
		Min	Max	Min	Max	
	Oscillator Frequency			0	33	MHz
	ALE Pulse Width	127		$2t_{\text{CLCL}}-40$		ns
	Address Valid to ALE Low	43		$t_{\text{CLCL}}-25$		ns
	Address Hold After ALE Low	48		$t_{\text{CLCL}}-25$		ns
	ALE Low to Valid Instruction In		233		$4t_{\text{CLCL}}-65$	ns
	ALE Low to $\overline{\text{PSEN}}$ Low	43		$t_{\text{CLCL}}-25$		ns
	$\overline{\text{PSEN}}$ Pulse Width	205		$3t_{\text{CLCL}}-45$		ns
	$\overline{\text{PSEN}}$ Low to Valid Instruction In		145		$3t_{\text{CLCL}}-60$	ns
	Input Instruction Hold After $\overline{\text{PSEN}}$	0		0		ns
	Input Instruction Float After $\overline{\text{PSEN}}$		59		$t_{\text{CLCL}}-25$	ns
	$\overline{\text{PSEN}}$ to Address Valid	75		$t_{\text{CLCL}}-8$		ns
	Address to Valid Instruction In		312		$5t_{\text{CLCL}}-80$	ns
	$\overline{\text{PSEN}}$ Low to Address Float		10		10	ns
	$\overline{\text{RD}}$ Pulse Width	400		$6t_{\text{CLCL}}-100$		ns
	$\overline{\text{WR}}$ Pulse Width	400		$6t_{\text{CLCL}}-100$		ns
	$\overline{\text{RD}}$ Low to Valid Data In		252		$5t_{\text{CLCL}}-90$	ns
	Data Hold After $\overline{\text{RD}}$	0		0		ns
	Data Float After $\overline{\text{RD}}$		97		$2t_{\text{CLCL}}-28$	ns
	ALE Low to Valid Data In		517		$8t_{\text{CLCL}}-150$	ns
	Address to Valid Data In		585		$9t_{\text{CLCL}}-165$	ns
	ALE Low to $\overline{\text{RD}}$ or $\overline{\text{WR}}$ Low	200	300	$3t_{\text{CLCL}}-50$	$3t_{\text{CLCL}}+50$	ns
	Address to $\overline{\text{RD}}$ or $\overline{\text{WR}}$ Low	203		$4t_{\text{CLCL}}-75$		ns
	Data Valid to $\overline{\text{WR}}$ Transition	23		$t_{\text{CLCL}}-30$		ns
	Data Valid to $\overline{\text{WR}}$ High	433		$7t_{\text{CLCL}}-130$		ns
	Data Hold After $\overline{\text{WR}}$	33		$t_{\text{CLCL}}-25$		ns
	$\overline{\text{RD}}$ Low to Address Float		0		0	ns
	$\overline{\text{RD}}$ or $\overline{\text{WR}}$ High to ALE High	43	123	$t_{\text{CLCL}}-25$	$t_{\text{CLCL}}+25$	ns



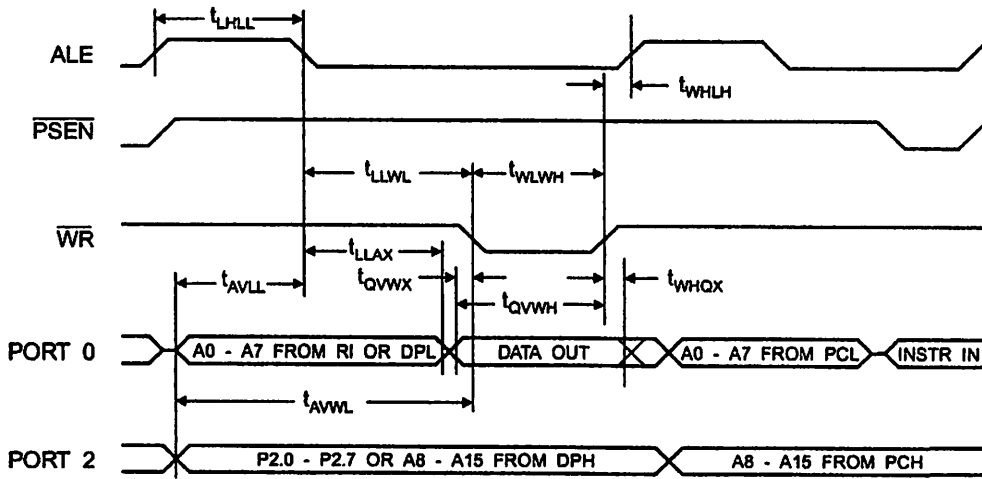
Internal Program Memory Read Cycle



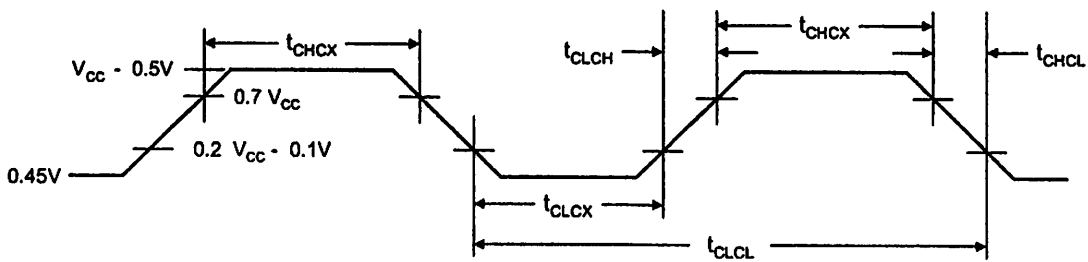
Internal Data Memory Read Cycle



Internal Data Memory Write Cycle



Internal Clock Drive Waveforms



Internal Clock Drive

Symbol	Parameter	Min	Max	Units
f_{CL}	Oscillator Frequency	0	33	MHz
T_{CL}	Clock Period	30		ns
t_{CHX}	High Time	12		ns
t_{CLX}	Low Time	12		ns
t_{r}	Rise Time		5	ns
t_{f}	Fall Time		5	ns

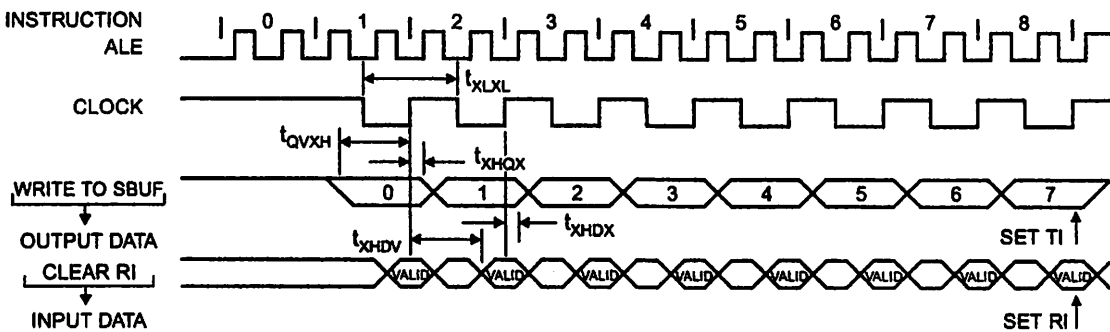


Serial Port Timing: Shift Register Mode Test Conditions

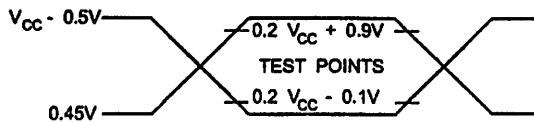
Values in this table are valid for $V_{CC} = 4.0V$ to $5.5V$ and Load Capacitance = 80 pF .

Signal	Parameter	12 MHz Osc		Variable Oscillator		Units
		Min	Max	Min	Max	
	Serial Port Clock Cycle Time	1.0		$12t_{CLCL}$		μs
	Output Data Setup to Clock Rising Edge	700		$10t_{CLCL}-133$		ns
	Output Data Hold After Clock Rising Edge	50		$2t_{CLCL}-80$		ns
	Input Data Hold After Clock Rising Edge	0		0		ns
	Clock Rising Edge to Input Data Valid		700		$10t_{CLCL}-133$	ns

Shift Register Mode Timing Waveforms

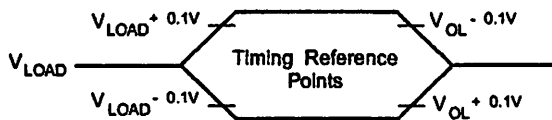


Testing Input/Output Waveforms⁽¹⁾



1. AC Inputs during testing are driven at $V_{CC} - 0.5V$ for a logic 1 and $0.45V$ for a logic 0. Timing measurements are made at V_{IH} min. for a logic 1 and V_{IL} max. for a logic 0.

Timing Waveforms⁽¹⁾



1. For timing purposes, a port pin is no longer floating when a 100 mV change from load voltage occurs. A port pin begins to float when a 100 mV change from the loaded V_{OH}/V_{OL} level occurs.

Ordering Information

Speed (Hz)	Power Supply	Ordering Code	Package	Operation Range
24	4.0V to 5.5V	AT89S51-24AC	44A	Commercial (0° C to 70° C)
		AT89S51-24JC	44J	
		AT89S51-24PC	40P6	
		AT89S51-24AI	44A	Industrial (-40° C to 85° C)
		AT89S51-24JI	44J	
		AT89S51-24PI	40P6	
33	4.5V to 5.5V	AT89S51-33AG	44A	Commercial (0° C to 70° C)
		AT89S51-33JC	44J	
		AT89S51-33PC	40P6	

 = Preliminary Availability

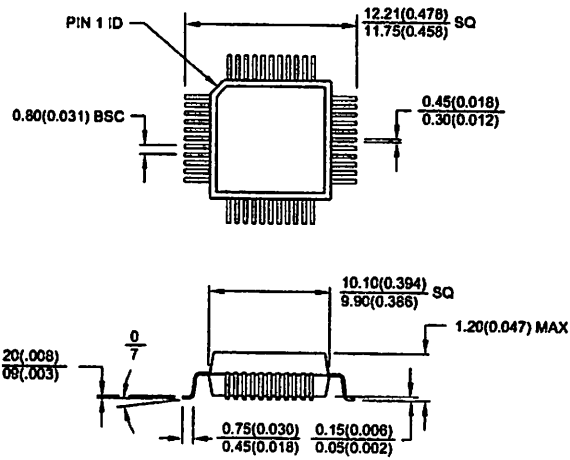
Package Type	
	44-lead, Thin Plastic Gull Wing Quad Flatpack (TQFP)
	44-lead, Plastic J-leaded Chip Carrier (PLCC)
	40-pin, 0.600" Wide, Plastic Dual Inline Package (PDIP)





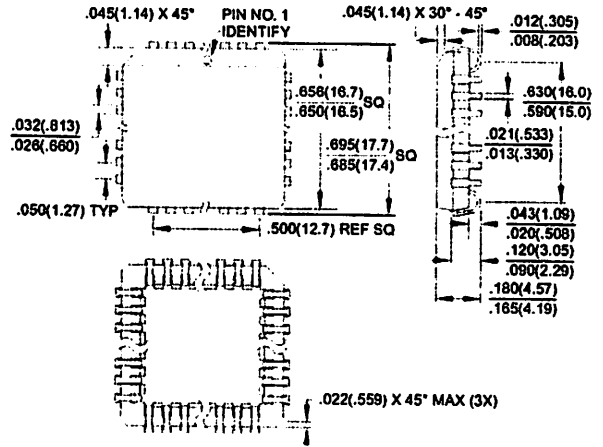
Packaging Information

44A, 44-lead, Thin (1.0 mm) Plastic Gull Wing Quad Flat Package (TQFP)
 Dimensions in Millimeters and (Inches)*



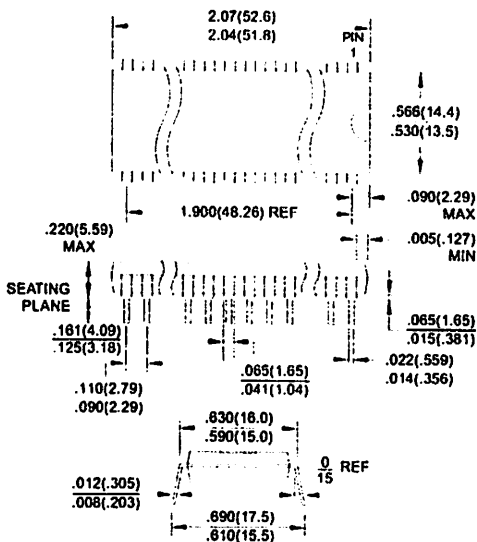
Controlling dimension: millimeters

44J, 44-lead, Plastic J-leaded Chip Carrier (PLCC)
 Dimensions in Inches and (Millimeters)



44P6, 40-pin, 0.600" Wide, Plastic Dual Inline Package (PDIP)
 Dimensions in Inches and (Millimeters)

DEC STANDARD MS-011 AC



AT89S51



Global Headquarters

Corporate Headquarters
5 Orchard Parkway
Folsom, CA 95131
TEL (408) 441-0311
FAX (408) 487-2600

Atmel SarL
Route des Arsenaux 41
Case Postale 80
1705 Fribourg
Switzerland
TEL (41) 26-426-5555
FAX (41) 26-426-5500

Atmel Asia, Ltd.
Room 1219
Lachem Golden Plaza
100 Mody Road Tsimshatsui
Kowloon
Hong Kong
TEL (852) 2721-9778
FAX (852) 2722-1369

Atmel Japan K.K.
Tonetsu Shinkawa Bldg.
1-8 Shinkawa
Nishi-ku, Tokyo 104-0033
Japan
TEL (81) 3-3523-3551
FAX (81) 3-3523-7581

Atmel Product Operations

Atmel Colorado Springs
1150 E. Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906
TEL (719) 576-3300
FAX (719) 540-1759

Atmel Grenoble
Avenue de Rochepleine
BP 123
38521 Saint-Egreve Cedex, France
TEL (33) 4-7658-3000
FAX (33) 4-7658-3480

Atmel Heilbronn
Theresienstrasse 2
POB 3535
D-74025 Heilbronn, Germany
TEL (49) 71 31 67 25 94
FAX (49) 71 31 67 24 23

Atmel Nantes
La Chantrerie
BP 70602
44306 Nantes Cedex 3, France
TEL (33) 0 2 40 18 18 18
FAX (33) 0 2 40 18 19 60

Atmel Rousset
Zone Industrielle
13106 Rousset Cedex, France
TEL (33) 4-4253-6000
FAX (33) 4-4253-6001

Atmel Smart Card ICs
Scottish Enterprise Technology Park
East Kilbride, Scotland G75 0QR
TEL (44) 1355-357-000
FAX (44) 1355-242-743

e-mail
literature@atmel.com

Web Site
<http://www.atmel.com>

Atmel Corporation 2001.

Atmel Corporation makes no warranty for the use of its products, other than those expressly contained in the Company's standard warranty detailed in Atmel's Terms and Conditions located on the Company's web site. The Company assumes no responsibility for any errors that may appear in this document, reserves the right to change devices or specifications detailed herein at any time without notice, and does not make any commitment to update the information contained herein. No licenses to patents or other intellectual property of Atmel are granted by the Company in connection with the sale of Atmel products, expressly or by implication. Atmel's products are not authorized for use as critical components in life support devices or systems.

Atmel is the registered trademark of Atmel.

Atmel is the registered trademark of Intel Corporation. Terms and product names in this document may be trademarks of others.



Printed on recycled paper.

2487A-10/01/xM