

SKRIPSI

**RANCANG BANGUN OSILATOR VHF – FM
DENGAN KESTABILAN TINGGI
BERBASIS PHASE LOCKED LOOP (PLL)**



Disusun Oleh :

Nama : Aseb Sofyan Sahuri Ismadi

NIM : 0912706

**KONSENTRASI TEKNIK TELEKOMUNIKASI
PROGRAM STUDI TEKNIK ELEKTRO S-1
FAKULTAS TEKNOLOGI INDUSTRI
INSTITUT TEKNOLOGI NASIONAL MALANG**

2014

LEMBAR PERSETUJUAN

**RANCANG BANGUN OSILATOR VHF-FM
DENGAN KESTABILAN TINGGI
BERBASIS PHASE LOCKED LOOP (PLL)**

SKRIPSI

*Disusun dan Diajukan Sebagai Salah Satu Syarat Untuk Memperoleh
Gelar Sarjana Teknik Telekomunikasi Strata Satu (S-1)*

Disusun oleh :

ASEB SOFYAN SAHURI ISMADI

NIM. 0912706

Mengetahui,

Ketua Program Studi Teknik Elektro S-1



M. Ibrahim Ashari, ST, MT
NIP.P. 1030100358

Diperiksa dan Disetujui

**Mengetahui
Pembimbing I**

**Mengetahui
Pembimbing II**

Irmalia Suryani Faradisa, ST, MT
NIP.P. 1030000365

Michael Ardita, ST, MT
NIP.P.1031000434

**KONSENTRASI TEKNIK TELEKOMUNIKASI
PROGRAM STUDI TEKNIK ELEKTRO S-1
FAKULTAS TEKNOLOGI INDUSTRI
INSTITUT TEKNOLOGI NASIONAL MALANG**

2014



PT. BNI (PERSERO) MALANG
BANK NIAGA MALANG

PERKUMPULAN PENGELOLA PENDIDIKAN UMUM DAN TEKNOLOGI NASIONAL MALANG
INSTITUT TEKNOLOGI NASIONAL MALANG

FAKULTAS TEKNOLOGI INDUSTRI
FAKULTAS TEKNIK SIPIL DAN PERENCANAAN
PROGRAM PASCASARJANA MAGISTER TEKNIK

Kampus I : Jl. Bendungan Sigura-gura No. 2 Telp. (0341) 551431 (Hunting), Fax. (0341) 553015 Malang 65145
Kampus II : Jl. Raya Karanglo, Km 2 Telp. (0341) 417636 Fax. (0341) 417634 Malang

**BERITA ACARA UJIAN SKRIPSI
FAKULTAS TEKNOLOGI INDUSTRI**

Nama : **Aseb Sofyan Sahuri Ismadi**
Nim : **09.12.706**
Jurusan : **Teknik Elektro**
Konsentrasi : **Teknik Telekomunikasi S-1**
Masa Bimbingan : **Semester Ganjil 2013-2014**
Judul : **RANCANG BANGUN OSILATOR VHF – FM DENGAN
KESTABILAN TINGGI BERBASIS PHASE LOCKED
LOOP (PLL)**

Dipertahankan dihadapan Tim Penguji Skripsi Jenjang Program Strata Satu (S-1)

Pada Hari : Rabu
Tanggal : 19 Februari 2014
Dengan Nilai : 82,45 (A)

PANITIA UJIAN SKRIPSI

Ketua Majelis Penguji

M. Ibrahim Ashari, ST, MT
NIP.P. 1030100358

Sekretaris Majelis Penguji

Dr. Eng. Aryuanto Soetedjo, ST, MT
NIP.Y.1030800417

ANGGOTA PENGUJI

Dosen Penguji I

M. Ibrahim Ashari, ST, MT
NIP. P. 1030100358

Dosen Penguji II

Bambang Prio Hartono, ST, MT
NIP. Y. 1028400082

KATA PENGANTAR



Puji syukur penulis panjatkan kepada Tuhan Yang Maha Esa atas karunia-Nya yang telah di limpahkan, sehingga dapat menyelesaikan skripsi ini yang berjudul **“RANCANG BANGUN OSILATOR VHF-FM DENGAN KESTABILAN TINGGI BERBASIS PHASE LOCKED LOOP (PLL)”**. Skripsi ini disusun untuk memenuhi syarat yang harus ditempuh oleh seluruh mahasiswa di lingkungan Institut Teknologi Nasional Malang untuk mendapatkan gelar sarjana.

Dengan selesainya skripsi ini, penulis mengucapkan banyak terimakasih atas bantuan dan kerjasamanya kepada pihak-pihak yang telah membantu penulis baik secara langsung maupun tidak langsung pada penyusunan skripsi ini. Oleh karena itu pada kesempatan ini dengan segala kerendahan hati, perkenankanlah saya mengucapkan terimakasih kepada :

1. Allah SWT, atas limpahan berkah, rahmat, hidayah serta izinNYA, sehingga kita masih di beri kesempatan untuk selalu bernaung di bawah lindungan-NYA dan diberi kemudahan untuk menyelesaikan skripsi ini.
2. Orang tua saya Siti Rohngatin yang senantiasa memberi dukungan serta doa – doanya.
3. Bapak Ir. Soerparno Djiwo, MT selaku Rektor ITN Malang.
4. Bapak Ir. H. Anang Subardi, MT selaku Dekan FTI ITN Malang.
5. Bapak M. Ibrahim Ashari, ST, MT selaku Ketua Jurusan Teknik Elektro S-1 ITN Malang.
6. Ibu Irmalia Suryani Faradisa, ST, MT selaku Dosen Pembimbing I.
7. Bapak Michael Ardita, ST, MT selaku Dosen Pembimbing II.
8. Serta sahabat semua yang telah membantu secara langsung maupun tidak langsung sehingga penulis dapat menyelesaikan laporan skripsi ini.

Penulis sebagai manusia biasa menyadari sedalam-dalamnya akan kekurangan dan keterbatasan, oleh karena itu kritik serta saran yang membangun demi kesempurnaan penyusunan skripsi ini sangat penulis harapkan. Semoga skripsi ini dapat bermanfaat.

Malang, Februari 2014

Aseb Sofyan Sahuri. I

ABSTRAK

RANCANG BANGUN OSILATOR VHF – FM DENGAN KESTABILAN TINGGI BERBASIS PHASE LOCKED LOOP (PLL)

Aseb Sofyan Sahuri Ismadi, NIM 0912706

Dosen Pembimbing 1 : Irmalia Suryani Faradisa, ST, MT

Dosen Pembimbing 2 : Michael Ardita, ST, MT

Untuk memenuhi kebutuhan akan kestabilan frekuensi diperlukan suatu sistem penguncian frekuensi. Sistem yang digunakan yaitu sistem Phase Locked Loop (PLL). PLL adalah sistem penguncian frekuensi dengan cara mencuplik frekuensi output osilator kemudian membagi frekuensi tersebut dengan tujuan agar dapat diproses pada pembagi frekuensi terprogram lalu membandingkannya dengan frekuensi referensi. Maka keluaran frekuensi osilator ini akan terkunci

Osilator berbasis PLL ini diimplementasikan pada semua jenis media komunikasi nirkabel. Khususnya pada frekuensi VHF-FM. Untuk mendapatkan osilator dengan kestabilan tinggi maka jalur rangkaian harus dibuat seminimal mungkin dengan tujuan untuk mengurangi losses. Selain itu pemilihan komponen yang tepat juga sangat berpengaruh pada kestabilan PLL.

Pada hasil pengujian PLL ini didapatkan kestabilan 0,0059% jauh lebih baik dibandingkan dengan tanpa menggunakan PLL yaitu 0,004316%. Pada PLL ini konstanta VCO yang digunakan adalah 1,363 MHz/Volt.

Kata kunci: Osilator, PLL, VHF-FM, VCO, Kestabilan

PERNYATAAN KEASLIAN TULISAN

Saya yang bertanda tangan dibawah ini :

Nama : Aseb Sofyan Sahuri Ismadi

NIM : 0912706

Mahasiswa Jurusan Teknik Elektro S-1, Konsentrasi Teknik Telekomunikasi,
Fakultas Teknologi Industri, Institut Teknologi Nasional Malang.

Menyatakan,

Bahwa skripsi yang saya buat ini adalah hasil karya saya sendiri dan bukan dari hasil karya orang lain, kecuali kutipan yang telah disebutkan sumbernya.

Malang, Februari 2014



Aseb Sofyan Sahuri.I

DAFTAR ISI

LEMBAR PERSETUJUAN	i
BERITA ACARA UJIAN SKRIPSI	ii
KATA PENGANTAR	iii
ABSTRAK	v
PERNYATAAN KEASLIAN ISI TULISAN	vi
DAFTAR ISI	vii
DAFTAR GAMBAR	x
DAFTAR GRAFIK	xii
DAFTAR TABEL	xiii
BAB I PENDAHULUAN	1
1.1 Latar Belakang.....	1
1.2 Rumusan Masalah.....	1
1.3 Tujuan Penelitian.....	1
1.4 Batasan Masalah.....	2
1.5 Metode Penelitian.....	2
1.6 Sistematika Penulisan.....	3
BAB II TEORI DASAR	4
2.1 Radio.....	4
2.2 Frekuensi.....	7
2.2 Oscillator.....	8
2.3 PLL (<i>Phase Lock Loop</i>).....	9
2.4 Filter.....	12
2.5 Cadsoft Eagle.....	15

2.6 Prescaler 1/8.....	16
2.7 Frequency Divider	18
BAB III PERANCANGAN SISTEM	12
3.1 Pendahuluan.....	21
3.2 Blok Diagram Sistem.....	21
3.3 Cara Kerja Sistem	22
3.4 Perancangan Perblok.....	22
3.4.1 Voltage Control Oscillator.....	22
3.4.2 Prescaler 1/8.....	23
3.4.3 Frequency Divider	24
3.4.4 Frequency Referensi	25
3.4.5 Phase Komparator.....	27
3.4.6 Low Pass Filter	29
BAB IV PENGUJIAN SISTEM	32
4.1 Pendahuluan.....	32
4.2 Pengujian VCO (Voltage Crontrrolled Oscillator.....	32
4.2.1 Alat yang Digunakan	32
4.2.2 Langkah – langkah Pengujian.....	32
4.2.3 Blok Pengujian VCO	32
4.2.4 Hasil Pengujian VCO.....	33
4.2.5 Analisa Hasil Pengujian VCO	36
4.3 Pengujian Phase Comparator.....	36
4.3.1 Alat yang Digunakan	36
4.3.2 Langkah – langkah Pengujian.....	36
4.3.3 Blok Rangkaian Pengujian Phase Comparator	37
4.3.4 Hasil Pengujian Phase Comparator	37

4.3.5 Analisa Hasil Pengujian Phase Comparator	39
4.4 Pengujian Keseluruhan Sistem	39
4.4.1 Peralatan yang Digunakan	39
4.4.2 Langkah - langkah Pengujian.....	40
4.4.3 Diagram Blok Pengujian Keseluruhan	40
4.4.4 Hasil Pengujian Keseluruhan Sistem.....	40
4.4.5 Analisa Hasil Pengujian Keseluruhan Sistem.....	46
BAB V PENUTUP.....	47
5.1 Kesimpulan	47
5.2 Saran	47
DAFTAR PUSTAKA	
LAMPIRAN	

DAFTAR GAMBAR

Gambar 2.1 Spektrum Gelombang Radio.....	8
Gambar 2.2 Rangkaian RC Filter.....	13
Gambar 2.3 Rangkaian <i>High Pass Filter</i>	13
Gambar 2.4 Rangkaian <i>Band Pass Filter</i>	14
Gambar 2.5 Rangkaian <i>Band Stop Filter</i>	15
Gambar 2.6 Tampilan Perangkat Lunak <i>Cadsoft Eagle</i>	16
Gambar 2.7 Bentuk Fisik IC LB3500	16
Gambar 2.8 Blok Diagram IC LB3500.....	17
Gambar 2.9 Konfigurasi Pin IC LB3500	17
Gambar 2.10 Pin Out IC LB3500	18
Gambar 2.11 Blok Diagram Internal IC TC9122	19
Gambar 3.1 Blok Diagram Sistem.....	21
Gambar 3.2 Skematik VCO	22
Gambar 3.3 Skematik IC LB3500	23
Gambar 3.4 Skematik <i>Frequency Divider</i>	25
Gambar 3.5 Skematik Frekuensi Referensi	26
Gambar 3.6 Konfigurasi Pin IC CD4046.....	28
Gambar 3.7 Skematik <i>Low Pass Filter</i>	29
Gambar 4.1 Blok Diagram Pengujian VCO	33
Gambar 4.2 Frekuensi VCO Pada Tegangan 2.92 Volt.....	33
Gambar 4.3 Frekuensi VCO Pada Tegangan 3,00 Volt.....	34
Gambar 4.4 Frekuensi VCO Pada Tegangan 3,05 Volt.....	34
Gambar 4.5 Blok Diagram Pengujian Phase Comparator	37
Gambar 4.6 Frekuensi Divider Lebih Tinggi dari Frekuensi Referensi.	38

Gambar 4.7 Frekuensi Divider Lebih Rendah dari Frekuensi Referensinya.	38
Gambar 4.8 Frekuensi Divider Sama dengan Frekuensi Refensinya.	39
Gambar 4.9 Diagram Blok Pengujian Keseluruhan Sistem.....	40
Gambar 4.10 Awal Pengujian Keseluruhan Sistem.....	41
Gambar 4.11 Pengujian Keseluruhan Sistem Menit ke 10.	41
Gambar 4.12 Pengujian Keseluruhan Sistem Menit ke 20.	42
Gambar 4.13 Pengujian Keseluruhan Sistem Menit ke 30.	42
Gambar 4.14 Pengujian Keseluruhan Sistem Menit ke 40.	43

DAFTAR GRAFIK

Grafik 2.1 Respon Frekuensi <i>Low Pass Filter</i>	13
Grafik 2.2 Respon Frekuensi <i>High Pass Filter</i>	14
Grafik 2.3 Respon Frekuensi <i>Band Pass Filter</i>	14
Grafik 2.4 Respon Frekuensi <i>Band Stop Filter</i>	15

DAFTAR TABEL

Tabel 2.1 Pembagian Spektrum Frekuensi Radio.....	8
Tabel 4.1 Perubahan Frekuensi Terhadap Perubahan VCO	35
Tabel 4.2 Data Perubahan Frekuensi Oscilator Non PLL dan Oscilator PLL	43
Tabel 4.3 Hasil Perhitungan Selisih Pergeseran Frekuensi.	45

BAB I

PENDAHULUAN

1.1 Latar Belakang

Seiring berkembangnya teknologi saat ini banyak peralatan - peralatan yang dimanjakan dengan perangkat wireless. Pada perangkat *wireless* tersebut biasanya diperlukan pesawat pemancar dan penerima yang frekuensinya stabil untuk memudahkan pemeliharaan (*maintenance*). Biasanya untuk mendapatkan frekuensi yang stabil diperlukan system control loop tertutup.

Salah satu teknik untuk menjaga kestabilan frekuensi tersebut adalah dengan teknik *Phase Locked Loop (PLL)* sintesa frekuensi. Sayangnya di pasaran jarang ada perangkat PCB atau PLL yang sudah jadi atau tersedia di pasaran. Oleh karena itu peneliti ingin mengembangkan modul PLL yang nantinya dapat dipergunakan untuk penelitian berikut di laboratorium dan sebagai media pembelajaran di laboratorium telekomunikasi.

Karena latar belakang tersebut, peneliti mengemukakan sebuah ide “RANCANG BANGUN OSILATOR VHF - FM DENGAN KESTABILAN TINGGI BERBASIS PHASE LOCKED LOOP (PLL)”

1.2 Rumusan Masalah

Bagaimana merancang atau membangun osilator kestabilan tinggi berbasis PLL dengan mempergunakan komponen yang mudah ditemukan dipasaran ?

1.3 Tujuan Penelitian

Tujuan dari membangun osilator VHF - FM dengan kestabilan tinggi berbasis *Phase Locked Loop (PLL)* adalah untuk mengembangkan modul PLL yang nantinya dapat dipergunakan sebagai penelitian dan media pembelajaran di laboratorium telekomunikasi.

BAB I PENDAHULUAN

1.1 Latar Belakang

Seiring berkembangnya teknologi saat ini banyak peralatan - peralatan yang dimanfaatkan dengan perangkat wireless. Pada perangkat wireless tersebut biasanya dibutuhkan power pemancar dan penerima yang teknologinya stabil untuk mendapatkan penerimaan (receiving) biasanya untuk mendapatkan frekuensi yang stabil diperlukan sistem control loop tertutup.

Salah satu teknik untuk menjaga kestabilan frekuensi tersebut adalah dengan teknik Phase Locked Loop (PLL) sintesa frekuensi. Nyananya di pasaran jarang ada perangkat PCB atau PLL yang sudah jadi atau tersedia di pasaran. Oleh karena itu peneliti ingin mengembangkan modul PLL yang nantinya dapat dipergunakan untuk penelitian berikut di laboratorium dan sebagai media pembelajaran di laboratorium telekomunikasi.

Karena latar belakang tersebut, peneliti menggunakan sebuah ide "RANGKAI BANGUN OSILATOR VCO - FM DENGAN KESTABILAN TINGGI BERBASIS PHASE LOCKED LOOP (PLL)".

1.2 Rumusan Masalah

Bagaimana merancang atau membangun osilator kestabilan tinggi berbasis PLL dengan menggunakan komponen yang mudah ditemukan dipasaran ?

1.3 Tujuan Penelitian

Tujuan dari membangun osilator VCO - FM dengan kestabilan tinggi berbasis Phase Locked Loop (PLL) adalah untuk mengembangkan modul PLL yang nantinya dapat dipergunakan sebagai penelitian dan media pembelajaran di laboratorium telekomunikasi.

1.4 Batasan Masalah

Akibat banyaknya kemungkinan yang terjadi, supaya dalam membangun desain modul mengarah sesuai dengantujuan yang diinginkan maka dalam pembahasan ini dibatasi oleh beberapa hal :

1. Desain modul yang dirancang bekerja pada frekuensi VHF – FM.
2. Rentang frekuensi keluaran disesuaikan dengan kemampuan VCO atau tidak selebar band FM.

1.5 Metode Penelitian

Metode penelitian dalam penulisan skripsi ini adalah sebagai berikut :

1. Studi Literatur

Pengumpulan data dan informasi dilakukan dengan mencari bahan-bahan kepustakaan dan referensi - referensi dari berbagai sumber sebagai landasan teori yang ada hubungannya dengan permasalahan pada perencanaan dan pembuatan skematik.

2. Perancangan Sebelum Pembuatan PCB

Sebelum pembuatan PCB (*Printed Circuit Board*) dari rangkaian utama terlebih dahulu dibuat rancangan skema rangkaian elektronik, proses ini dilakukan agar tidak terjadi kesalahan pada saat PCB telah dicetak.

3. Perancangan dan Implementasi

Berdasarkan data dan informasi yang telah diperoleh serta analisa kebutuhan perancangan, akan dijadikan acuan dalam merancang kerangka secara global yang menggambarkan mekanisme dari rancang bangun alat yang akan dibuat.

4. Pengujian dan Analisa Hasil

Setelah melalui beberapa tahap mulai dari pengumpulan data dan informasi, pada tahap ini desain rancang bangun alat yang telah selesai dibuat akan diuji coba, yaitu pengujian berdasarkan fungsionalitas, dan akan dilakukan koreksi dan penyempurnaan jika diperlukan.

1.4. Batasan Masalah

Akibat banyaknya kemungkinan yang terjadi, supaya dalam membangun desain modul mengenai sesuai dengan tujuan yang diinginkan maka dalam pembahasan ini dibatasi oleh beberapa hal :

1. Desain modul yang dirancang bekerja pada frekuensi VHF - UHF.
2. Rentang frekuensi keluaran disesuaikan dengan kemampuan VCO atau tidak seperti pada FM.

1.5. Metode Penelitian

Metode penelitian dalam penulisan skripsi ini adalah sebagai berikut :

1. Studi Literatur
Pengumpulan data dan informasi dilakukan dengan mencari bahan-bahan kepustakaan dan referensi - referensi dari berbagai sumber sebagai landasan teoritis yang ada hubungannya dengan permasalahan pada perencanaan dan pembuatan skematis.
2. Perancangan Sirkuit Pembuatan PCB
Sebelum pembuatan PCB dengan Board Lay Out rangkaian utama terlebih dahulu dibuat rancangan skema rangkaian elektronis proses ini dilakukan agar tidak terjadi kesalahan pada saat PCB telah dibuat.
3. Perancangan dan Implementasi
Berdasarkan data dan informasi yang telah diperoleh serta analisis kebutuhan perancangan akan dijabarkan secara detail mengenai kerangka secara global yang menggambarkan metode dan rancangan bangun alat yang akan dibuat.
4. Pengujian dan Analisa Hasil
Setelah melalui beberapa tahap dari penyusunan data dan informasi pada tahap ini desain rancang bangun alat yang telah selesai dibuat akan diuji coba yaitu pengujian berdasarkan fungsionalitas dan akan dilakukan koreksi dan penyempurnaan jika diperlukan.

1.6 Sistematika Penulisan

Untuk mempermudah dan memahami pembahasan penulisan karya skripsi ini, sistematika penulisan disusun sebagai berikut :

BAB I : PENDAHULUAN

Berisi tentang latarbelakang ,rumusan masalah, tujuan, batasan masalah, metodologi penelitian, dan sistematika penulisan.

BAB II : TEORI DASAR

Membahas tentang dasar teori yang berhubungan dengan penelitian dan perencanaan pembuatan alat.

BAB III : PERANCANGAN ALAT

Membahas tentang kebutuhan media yang akan digunakan dalam rancang bangun modul dan menjelaskan kerangka modul secara global.

BAB IV : PENGUJIAN ALAT

Berisi tentang pembahasan mengenai langkah- langkah pembuatan modul atau alat serta pengujian terhadap alat tersebut.

BAB V : PENUTUP

Berisi tentang semua kesimpulan yang berhubungan dengan penulisan skripsi, dan saran yang digunakan sebagai pertimbangan dalam pengembangan rancang bangun alat selanjutnya.

BAB II

TEORI DASAR

2.1 Radio

Radio adalah teknologi yang digunakan untuk pengiriman sinyal dengan cara modulasi dan radiasi elektromagnetik (gelombang elektromagnetik). Gelombang ini melintas dan merambat lewat udara dan bisa juga merambat lewat ruang angkasa yang hampa udara, karena gelombang ini tidak memerlukan medium pengangkut (seperti molekul udara).

Sejarah radio adalah sejarah teknologi yang menghasilkan peralatan radio yang menggunakan gelombang radio. Awalnya sinyal pada siaran radio ditransmisikan melalui gelombang data yang kontinyu baik melalui modulasi amplitude (AM) maupun modulasi frekuensi (FM). Metode pengiriman sinyal seperti ini disebut analog. Selanjutnya seiring perkembangan teknologi ditemukanlah internet dan sinyal digital yang kemudian mengubah cara transmisi sinyal radio.

Awal tahun 1800-an secara terpisah Joseph Henry, profesor dari Pinceton University dan fisikawan Inggris Michael Faraday mengembangkan teori induksi. Percobaan mereka terhadap elektromagnetik membuktikan arus listrik di sebatang kawat dapat menimbulkan arus di batang kawat lain meski keduanya tidak berhubungan.

Dasar teori dari perambatan gelombang elektromagnetik pertama kali dijelaskan pada 1873 oleh James Clerk Maxwell dalam papernya di Royal Society mengenai teori dinamika medan elektromagnetik (bahasa Inggris: *A dynamical theory of the electromagnetic field*) berdasarkan hasil kerja penelitiannya tahun 1864. Fisikawan Inggris James Clerk Maxwell ber teori bahwa arus listrik dapat menciptakan medan magnet dan bahwa gelombang elektromagnet bergerak dengan kecepatan cahaya.

Pada 1878 David E. Hughes adalah orang pertama yang mengirimkan dan menerima gelombang radio ketika dia menemukan bahwa keseimbangan

BAB II TEORI DASAR

2.1 Radio

Radio adalah teknologi yang digunakan untuk pengiriman sinyal dengan cara modulasi dan radiasi elektromagnetik (gelombang elektromagnetik). Gelombang ini melintas dan merambat lewat udara dan bisa juga merambat lewat ruang angkasa yang hampa udara, karena gelombang ini tidak memerlukan medium perantara (seperti molekul udara).

Sejarah radio adalah sejarah teknologi yang mengasahkan penelitian radio yang menggunakan gelombang radio. Awalnya sinyal pada sistem radio ditransmisikan melalui gelombang data yang kontinu baik melalui modulasi amplitudo (AM) maupun modulasi frekuensi (FM). Metode pengiriman sinyal seperti ini disebut analog. Selanjutnya sejarah perkembangan teknologi ditentukannya internet dan sinyal digital yang kemudian mengubah cara transmisi sinyal radio.

Awal tahun 1800-an secara terpisah Joseph Henry, professor dari Princeton University dan fisikawan Inggris Michael Faraday mengembangkan teori induksi. Percobaan mereka terhadap elektromagnetik membuktikan arus listrik di sepanjang kawat dapat menimbulkan arus di pasang kawat lain meski keduanya tidak berhubungan.

Dasar teori dan pemahaman gelombang elektromagnetik pertama kali dijelaskan pada 1873 oleh James Clerk Maxwell dalam papernya di Royal Society mengenai teori dinamika medan elektromagnetik (bahasa Inggris: *A dynamical theory of the electromagnetic field*) berdasarkan hasil kerja penelitiannya tahun 1861. Fisikawan Inggris James Clerk Maxwell berpendapat bahwa arus listrik dapat menciptakan medan magnet dan bahwa gelombang elektromagnetik bergerak dengan kecepatan cahaya.

Pada 1878 David H. Hughes adalah orang pertama yang mengemukakan dan menerima gelombang radio ketika dia menemukan bahwa kesimungan

induksinya menyebabkan gangguan ke telepon buatanya. Dia mendemonstrasikan penemuannya kepada Royal Society pada 1880 tapi hanya dibidang itu cuma merupakan induksi.

Teori Maxwell itu belakangan dibuktikan kebenarannya oleh percobaan yang dilakukan fisikawan Jerman Heinrich Hertz, tahun 1880. Heinrich Rudolf Hertz yang antara 1886 dan 1888 pertama kali membuktikan teori Maxwell melalui eksperimen memperagakan bahwa radiasi radio memiliki seluruh property gelombang (sekarang disebut gelombang Hertzian) dan menemukan bahwa persamaan elektromagnetik dapat diformulasikan ke persamaan turunan partial disebut persamaan gelombang.

Baru kemudian Guglielmo Marconi pada 1895, berhasil mengirim sinyal komunikasi radio dengan gelombang elektromagnet sejauh 1,5 km. Tahun 1901, sinyal dari perangkat radio Marconi mampu melintasi Samudera Atlantik dari Inggris ke Newfoundland Kanada dan dunia inovasi radio mencatat nama Guglielmo Marconi sebagai penemu radio.

Selama satu dekade hingga 1912 ia mematenkan sejumlah temuan untuk menyempurnakan sistem radio yang diciptakannya. Pada tahun 1909 ia mendapat Nobel bidang fisika. Pada 1914 Marconi dipanggil masuk ke Angkatan Bersenjata Italia. Ia menjadi diplomat Italia ke Amerika 1917. Setelah tidak lagi menjadi bagian pemerintah Italia ia kembali ke laboratorium. Tahun 1935 ia mendemonstrasikan temuan terbarunya yaitu Radar. Pada 20 Juli 1937 Marconi meninggal di Roma.

Namun dibalik semua ketenaran Marconi sebagai Penemu Radio, fisikawan kelahiran Kanada Reginald A. Fessendenlah yang pertama kali mentransmisikan suara manusia via radio ketika pada 1906 ia berbicara melalui radio dari Brant Rock, Massachusetts, AS, kepada kapal-kapal di lepas pantai Samudera Atlantik. Sejak itu radio terus berkembang makin sempurna didukung oleh berbagai temuan secara bertahap.

John Ambrose Fleming pada tahun 1904 menemukan bahwa tabung audion dapat digunakan sebagai receiver nirkabel bagi teknologi radio ini. Para

induksi yang menyebabkan gangguan ke telepon bukannya. Dia
menemukan penemuan itu kepada Royal Society pada 1880 tapi hanya
dibidang ini cuma merupakan insidental.

Lord Maxwell ini belakangan dibuktikan kebenarannya oleh percobaan
yang dilakukan fisika Jerman Heinrich Hertz tahun 1888. Heinrich Rudolf
Hertz yang antara 1886 dan 1888 pertama kali membuktikan teori Maxwell
melalui eksperimen membuktikan bahwa radiasi radio memiliki sifat-sifat property
gelombang (sepanjang gelombang gelombang Hertzian) dan menemukan bahwa
perambatan elektromagnetik dapat diformulasikan ke persamaan-persamaan partial
disebut persamaan gelombang.

Baru kemudian Guglielmo Marconi pada 1895 berhasil mengirim sinyal
komunikasi radio dengan gelombang elektromagnetik sejauh 17 km. Tahun 1901
jaya dan penemuan radio Marconi mampu mencapai Samudera Atlantik dan
Inggris ke Newfoundland Kanada dan dalam inovasi radio Marconi nama
Guglielmo Marconi sebagai penemu radio.

Selama satu dekade hingga 1912 ini menandakan sejumlah kemajuan untuk
menyempurnakan sistem radio yang dipikulkannya. Pada tahun 1909 ini mendapat
Nobel bidang fisika. Pada 1914 Marconi dipanggil masuk ke Angkatan Bersenjata
Italia ia menjadi diplomat Italia ke Amerika. 1917. Setelah tidak lagi menjadi
bagian pemerintah Italia ia kembali ke laboratorium. Tahun 1932 ia
menyembatkan teman-temannya yaitu Radio pada 30 Juli 1937 Marconi
meninggal di Roma.

Naman dibalik semua kemajuan Marconi sebagai penemu Radio Italia ini
kolahannya Kanada Reginald A. Fessenden yang pertama kali memunculkan
suara manusia via radio ketika pada 1906 ia berpidato melalui radio dari Brant
Rock Massachusetts. Az-kepada kapal-kapal di lepas pantai Samudera Atlantik.
Sejak itu radio terus berkembang makin sempurna dibidang oleh berbagai temuan
sangat banyak.

John Ambrose Fleming pada tahun 1904 menemukan bahwa tabung
vacuum dapat digunakan sebagai receiver untuk teknologi radio ini. Pada

ilmuwan mengembangkan tabung hampa udara yang bisa melacak dan memperkuat sinyal radio. Penemu AS Dr. Lee De Forest mematenkan tabung elektron yang terdiri dari tiga elemen (*triode audion*) tahun 1907 yang kemudian menjadi elemen penting dalam penerimaan sinyal radio. Tabung Audion yang diberi nama tabung Lee De Forest ini memungkinkan gelombang suara ditransmisikan melalui sistem komunikasi nirkabel. Namun gelombang yang dipancarkannya masih terlalu lemah.

Pada 1912 kemampuan penerimaan ini ditingkatkan lagi oleh Edwin Howard Armstrong yang menemukan penguat gelombang radio (*radio amplifier*). Alat ini bekerja menangkap sinyal elektromagnetik dari transmisi radio dan memberikan sinyal balik dari tabung. Dengan begitu kekuatan sinyal meningkat sebanyak 20.000 kali perdetik. Suara yang ditangkap juga jauh lebih kuat. Penemuan ini kemudian menjadi sangat penting dalam sistem komunikasi radio karena jauh lebih efisien.

Edwin Howard Armstrong, yang menciptakan sirkuit *superheterodyne* pada tahun 1918. Sirkuit ini punya kemampuan seleksi yang tinggi. Armstrong pula berjasa mengembangkan sistem siaran FM pada 1933 yang dikenal sebagai "Bapak penemu radio FM". Namun hak paten atas amplifier jatuh ke tangan Dr. Leedeforest. Sampai saat ini radio *amplifier* masih menjadi teknologi inti pada pesawat radio.

Hanya sesaat kekuatan sinyal akan meningkat sebanyak 20.000 kali/detik. Fenomena ini oleh Armstrong disebut dengan "regenerasi radio" yang merupakan penemuan penting dan perlu saat radio pertama kali ada. Dengan pengembangan ini para teknisi radio tidak memerlukan 20 ton generator lagi agar stasiun radio mereka mengudara. Desain sirkuit tunggal temuan Armstrong menjadi kunci kelangsungan gelombang transmitter yang menjadi inti operasional radio. Dan dia lulus sarjana teknik tahun 1913.

Atas temuannya tersebut Armstrong mematenkan ciptaannya dan memberi lisensinya pada Marconi Corporation 1914. Enam tahun kemudian Westinghouse membeli hak paten Armstrong atas penerima *superheterodyne* dan memulai kiprahnya menjadi stasiun radio pertama bernama KDKA di Pittsburgh. Radio

ilmuan mengembangkan tabung hampa udara yang bisa melacak dan memancarkan sinyal radio. Penemuan A.S. Lee De Forest mematenkan tabung elektron yang terdiri dari tiga elemen (vacuum diode) tahun 1907 yang kemudian menjadi elemen penting dalam penemuan sinyal radio. Tabung Audion yang diberi nama tabung Lee De Forest ini memungkinkan gelombang suara ditransmisikan melalui sistem komunikasi nirkabel. Namun gelombang yang dipancarkannya masih terlalu lemah.

Pada 1912 kemampuan penemuan ini ditingkatkan lagi oleh Edwin Howard Armstrong yang menemukan bentuk gelombang radio (radio amplifier). Alat ini bekerja menangkap sinyal elektromagnetik dari transmisi radio dan memancarkan sinyal balik dari tabung. Dengan begitu kekuatan sinyal meningkat sebanyak 20.000 kali perdetik. Suara yang ditangkap juga jauh lebih kuat. Penemuan ini kemudian menjadi sangat penting dalam sistem komunikasi radio karena jauh lebih efisien.

Edwin Howard Armstrong yang menciptakan sirkuit superheterodyne pada tahun 1918. Sirkuit ini punya kemampuan seleksi yang tinggi. Armstrong pula berjasa mengembangkan sistem siaran FM pada 1933 yang dikenal sebagai "Bapak penemuan radio FM". Namun hak paten atas amplifier jatuh ke tangan Dr. Lee De Forest. Sampai saat ini radio vakum masih menjadi teknologi inti pada pesawat radio.

Ilmu yang essasat kekuatan sinyal akan meningkat sebanyak 20.000 kali/detik. Penemuan ini oleh Armstrong disebut dengan "regenerasi radio" yang merupakan penemuan penting dan perlu saat radio perantara kali ada. Dengan pengembangan ini para eksekutif radio tidak melupakan 20 ton generator lagi agar stasiun radio mereka mengudara. Desain sirkuit tunggal pertama Armstrong menjadi kunci kelangsungan gelombang transmisi yang menjadi inti operasional radio. Dan dia lulus sarjana teknik tahun 1917.

Atas temuannya tersebut Armstrong mematenkan. Iptuannya dan membeli lisensinya pada National Corporation 1914. Untuk tahun kemudian Westinghouse membeli hak paten Armstrong atas penemuan superheterodyne dan memulai kinerjanya menjadi stasiun radio pertama bernama KDKA di Pittsburgh. Radio

menjadi sangat populer pada saat itu dan bermunculan terus gelombang radio lainnya. RCA (*The Radio Corporation of America*) membeli seluruh hak paten radio begitu juga yang lainnya.

Pada tahun 1933 Armstrong memperkenalkan sistem radio FM (*frequencymodulation*) yang memberi penerimaan jernih meskipun ada badai dan menawarkan ketepatan suara yang tinggi yang sebelumnya belum ada. Sistem tersebut juga menyediakan sebuah gelombang tunggal membawa dua program radio dengan sekali angkut. Pengembangan ini disebut dengan *multiplexing*.

Untuk memperkenalkan temuannya pada dunia pada tahun 1940 Armstrong mendapat izin untuk mendirikan stasiun radio FM pertama yang didirikan di Alpine, New Jersey. Berkat temuannya tersebut 1941 Institut Franklin memberi penghargaan kepada Armstrong berupa medali Franklin yang merupakan salah satu penghargaan tertinggi komunitas ilmuwan. Kekalahannya dalam sengketa selama bertahun-tahun dengan perusahaan yang telah memanfaatkan hak ciptanya tak berpengaruh terhadap pemberian medali Franklin tersebut.

2.2 Frekuensi

Frekuensi adalah ukuran jumlah putaran ulang per peristiwa dalam selang waktu yang diberikan. Untuk memperhitungkan frekuensi, seseorang menetapkan jarak waktu, menghitung jumlah kejadian peristiwa, dan membagi hitungan ini dengan panjang jarak waktu. Hasil perhitungan ini dinyatakan dalam satuan *hertz* (Hz) yaitu nama pakar fisika Jerman Heinrich Rudolf Hertz yang menemukan fenomena ini pertama kali. Frekuensi sebesar 1 Hz menyatakan peristiwa yang terjadi satu kali per detik.

Secara alternatif, seseorang bisa mengukur waktu antara dua buah kejadian atau peristiwa (dan menyebutnya sebagai periode), lalu memperhitungkan frekuensi (f) sebagai hasil kebalikan dari periode (T).

Frekuensi radio menunjuk ke spektrum elektromagnetik di mana gelombang elektromagnetik dapat dihasilkan oleh pemberian arus bolak-balik ke sebuah antena.

menjadi sangat populer pada saat itu dan pertumbuhan terus gelombang radio lainnya. RCA (Radio Corporation of America) menjadi sebuah hak paten radio begitu juga yang lainnya.

Pada tahun 1933 Armstrong memperkenalkan sistem radio FM (Frequency Modulation) yang memberi penemuan jenis modulasi ada pada dan menawarkan ketepatan suara yang tinggi yang sebelumnya dalam ada sistem tersebut juga menyediakan sebuah gelombang tunggal membawa dua program radio dengan sekali sajian. Programnya ini dapat dilihat dengan www.kkx.com.

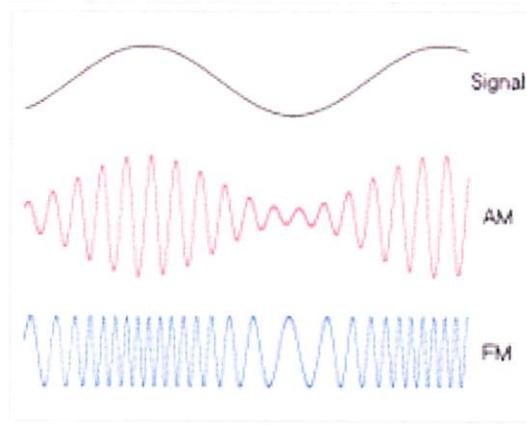
Untuk memperkenalkan tenunnya pada dunia pada tahun 1940 Armstrong mendapat izin untuk mendirikan stasiun radio FM pertama yang didirikan di Alpine, New Jersey. Berkat tenunnya tersebut 1941 Institut Franklin memberi penghargaan kepada Armstrong berupa medali Franklin yang merupakan salah satu penghargaan tertinggi komunitas ilmiah. Keleluasaannya dalam mencipta selama bertahun-tahun dengan perusahaan yang telah memantapkan hak ciptanya tak terpengaruh terhadap pemberian medali Franklin tersebut.

2.2. Frekuensi

Frekuensi adalah ukuran jumlah putaran ulang per detik dalam selang waktu yang diberikan. Untuk memperhitungkan frekuensi seseorang melakukan jarak waktu, menghitungkan jumlah kejadian per detik, dan membagi hasilnya ini dengan panjang jarak waktu. Hasil perhitungan ini dinyatakan dalam satuan hertz (Hz) yaitu nama paku ilmiah Jerman Heinrich Rudolf Herz yang memunculkan fenomena ini pertama kali. Frekuensi sebesar 1 Hz menyatakan peristiwa yang terjadi satu kali per detik.

Secara alternatif, seseorang bisa mengukur waktu antara dua buah kejadian atau peristiwa (dan menyebutnya sebagai periode), lalu memperhitungkan frekuensi (f) sebagai hasil kebalikan dari periode (T).

Frekuensi radio merujuk ke spektrum elektromagnetik di mana gelombang elektromagnetik dapat dihasilkan oleh pembebanan arus bolak-balik ke sebuah antenna.



Gambar 2.1 Spektrum Gelombang Radio

Menurut ITU (*International Telecommunication Union*) spektrum frekuensi radio dibagi menjadi beberapa pita frekuensi sebagai berikut :

Tabel 2.1 Pembagian Spektrum Frekuensi Radio

Frekuensi	Panjang gelombang	Nama band	Singkatan ^[1]
3 – 30 Hz	$10^4 - 10^5$ km	Extremely low frequency	ELF
30 – 300 Hz	$10^3 - 10^4$ km	Super low frequency	SLF
300 – 3000 Hz	$100 - 10^3$ km	Ultra low frequency	ULF
3 – 30 kHz	10 – 100 km	Very low frequency	VLF
30 – 300 kHz	1 – 10 km	Low frequency	LF
300 kHz – 3 MHz	100 m – 1 km	Medium frequency	MF
3 – 30 MHz	10 – 100 m	High frequency	HF
30 – 300 MHz	1 – 10 m	Very high frequency	VHF
300 MHz – 3 GHz	10 cm – 1 m	Ultra high frequency	UHF
3 – 30 GHz	1 – 10 cm	Super high frequency	SHF
30 – 300 GHz	1 mm – 1 cm	Extremely high frequency	EHF
300 GHz - 3000 GHz	0.1 mm - 1 mm	Tremendously high frequency	THF

2.2 Oscillator

Osilator (*Oscillator*) adalah sebuah rangkaian yang sangat penting dalam sistem komunikasi radio. Sebab gelombang elektromagnetik hanya bisa terpancar bila ada arus listrik yang berubah, dan cara termudah untuk mendapatkannya adalah dari osilator. Jadi fungsi utama osilator adalah sebagai pembangkit gelombang pembawa. Fungsi penting lain dari osilator adalah ketika gelombang pembawa itu harus digeser frekuensinya ke frekuensi lain yang dikehendaki. Jelas bahwa penggeseran frekuensi membutuhkan osilator.

Syarat penting bagi sebuah osilator adalah stabil, dalam arti frekuensinya tidak mudah berubah. Akan tetapi pada prakteknya justru lebih banyak dibutuhkan osilator yang frekuensinya mudah diubah-ubah (variabel). Dua kondisi ini terlihat saling bertentangan. Stabil artinya frekuensinya harus tetap, tapi di sisi lain frekuensi ini harus mudah diubah-ubah.

Oscilator PLL mempekerjakan dua jenis osilator yaitu kristal dan VCO untuk menghasilkan frekuensi output yang stabil dan sekaligus mudah diubah-ubah (variabel). Caranya adalah dengan membagi frekuensi VCO dan kemudian membandingkannya dengan frekuensi referensi yang berasal dari osilator Kristal.

VCO (*voltage controlled oscillator*) adalah osilator LC yang frekuensinya bisa dikendalikan dari tegangan yang diberikan pada varaktornya. Varaktor adalah dioda yang bila diberi tegangan balik akan menjadi kapasitor, dimana nilai kapasitansinya tergantung dari tegangan yang diberikan padanya. Jadi dengan mengubah tegangan pada varaktor itu, frekuensi VCO akan berubah.

2.3 PLL (*Phase Lock Loop*)

Sinkronisasi otomatis osilator elektronik digambarkan pada tahun 1923. Penelitian awal terhadap apa yang dikenal sebagai fase-loop terkunci kembali ke tahun 1932 ketika para peneliti Inggris mengembangkan sebuah alternatif untuk penerima *superheterodyne* Edwin Armstrong, *Homodyne* atau penerima langsung konversi. Dalam sistem *homodyne* atau *synchrodyne*, osilator lokal disetel ke frekuensi input yang diinginkan dan dikalikan dengan sinyal input yang dihasilkan sinyal output termasuk informasi modulasi asli.

Tujuannya adalah untuk mengembangkan rangkaian penerima alternatif yang diperlukan sirkuit tuned lebih sedikit dibanding penerima *superheterodyne*. Karena osilator lokal dengan cepat akan melayang di frekuensi sinyal koreksi otomatis diaplikasikan pada osilator mempertahankan itu dalam fase yang sama dan frekuensi dengan sinyal yang diinginkan. Teknik ini dijelaskan pada tahun 1932 dalam sebuah makalah oleh Henri de Bellescize dalam jurnal Perancis *L'Onde Electrique*.

System penting bagi sebuah osilator adalah stabil dalam arti frekuensinya tidak mudah berubah. Akan tetapi pada praktiknya justru lebih banyak dibutuhkan osilator yang frekuensinya mudah diubah-ubah (variabel). Dua kondisi ini terlihat saling bertentangan. Stabil artinya frekuensinya harus tetap tapi di sisi lain frekuensi ini harus mudah diubah-ubah.

Oscillator BJT merupakan osilator dan jenis osilator yaitu kristal dan VCO untuk menghasilkan frekuensi output yang stabil dan sekalisus mudah diubah-ubah (variabel). Caranya adalah dengan membuat frekuensi VCO dan kemudian membandingkannya dengan frekuensi referensi yang berasal dari osilator kristal.

VCO (Voltage controlled oscillator) adalah osilator LC yang frekuensinya bisa dikendalikan dari tegangan yang diberikan pada varaktor. Varaktor adalah dioda yang bisa diberi tegangan balik akan menjadi kapasitor dimana nilai kapasitansinya tergantung dari tegangan yang diberikan. Jadi dengan mengubah tegangan pada varaktor itu frekuensi VCO akan berubah.

2.3 PLL (Phase Lock Loop)

Stabilisasi otomatis osilator elektronik dikembangkan pada tahun 1933. Penelitian awal terhadap apa yang dikenal sebagai fase-locked loop (PLL) untuk tahun 1932 ketika para peneliti Inggris mengembangkan sebuah alternatif untuk penerima superheterodyne Edwin Armstrong. Wowofywan atau penerima langsung konversi. Dalam sistem Wowofywan atau superheterodyne osilator lokal disebut ke frekuensi input yang diinginkan dan dikalikan dengan sinyal input yang dihasilkan sinyal output termasuk informasi modulasi asli.

Tujuannya adalah untuk mengembangkan rangkaian penerima alternatif yang diperlukan sirkuit tuned lebih sedikit dibanding penerima superheterodyne. Karena osilator lokal dengan cepat akan melangui di frekuensi sinyal korksi otomatis diaplikasikan pada osilator mempertahankan itu dalam fase yang sama dan frekuensi dengan sinyal yang diinginkan. Teknik ini dijelaskan pada tahun 1932 dalam sebuah masalah oleh Henri de Bellescize dalam jurnal Perancis L'onde électrique.

Dalam penerima televisi analog setidaknya sejak akhir 1930-an , fase - terkunci loop horizontal dan vertikal menyapu sirkuit terkunci untuk pulsa sinkronisasi pada sinyal siaran .

Ketika *Signetics* memperkenalkan jajaran sirkuit terpadu monolitik seperti NE565 yang lengkap fase - terkunci sistem loop pada sebuah chip pada tahun 1969 aplikasi untuk teknik ini dikalikan . Beberapa tahun kemudian RCA memperkenalkan " CD4046 " CMOS *Micropower Phase - Locked Loop* yang menjadi sirkuit terpadu populer .

Banyak yang mengatakan bahwa PLL adalah pengunci frekuensi. Ada benarnya, tapi juga kurang tepat. Sebab apabila pemancar radio FM frekuensinya dikunci pada satu titik dan tidak berubah sama sekali, maka pada radio penerima kita tidak akan mendengarkan suara apa-apa. Kenapa demikian? Karena radio pemancar yang menggunakan sistem modulasi FM frekuensinya akan berubah-ubah sesuai dengan sinyal yang dimodulasikan kepadanya.

Perubahan sinyal itulah yang akan dibaca dan diterjemahkan oleh modulator radio penerima sehingga menjadi sinyal yang tadinya dimodulasikan pada pemancar. Barulah kita bisa mendengarkan lagu-lagu, berita, iklan, dan lain sebagainya.

Jadi fungsi PLL di sini adalah mengembalikan frekuensi yang telah berubah karena adanya modulasi pada frekuensi aslinya yaitu frekuensi osilasi. Besarnya perubahan frekuensi tersebut disebut dengan deviasi frekuensi. Jadi dengan adanya PLL pemancar radio jadi lebih stabil pada frekuensi osilasinya dan tidak mengganggu frekuensi lainnya. Tapi dengan syarat deviasi frekuensinya diatur sedemikian rupa agar tidak terlalu besar atau sering dikatakan lebar.

Pada sistem Rangkaian VCO mempunyai frekuensi pusat sebesar 200 KHz, frekuensi minimum 195 KHz, dan frekuensi Maksimum 205 KHz. Jika sinyal input lemah dan terganggu oleh noise PLL tetap dapat mengunci sinyal dan menghasilkan sinyal output yang kuat dengan tanpa merubah frekuensi. Rasio atau perbandingan sinyal terhadap noise sangat diperbesar karena PLL juga menyaring noise diluar jangkauan penangkapan. Jika yang masuk sinyal termodulasi maka outputnya akan berupa sinyal kontrol atau sinyal pemodulasi.

Voltage Controlled Oscillator (VCO) merupakan unit non-linear yang akan membangkitkan suatu sinyal dimana frekuensinya ditentukan oleh besarnya tegangan control di masukan VCO. Secara garis besar VCO akan menghasilkan sinyal yang frekuensinya ditentukan dari bagian LF. Bagian LF mendapat masukan berupa galat fasa antara sinyal masukan dengan sinyal keluaran PLL. Sehingga akan diperoleh sinyal keluaran yang frekuensinya 'terkunci' terhadap sinyal referensi di bagian masukan.

VCO (*voltage controlled oscillator*) adalah osilator LC yang frekuensinya bisa dikendalikan dari tegangan yang diberikan pada varaktornya. Varaktor adalah dioda yang bila diberi tegangan balik akan menjadi kapasitor dimana nilai kapasitansinya tergantung dari tegangan yang diberikan padanya. Jadi dengan mengubah tegangan pada varaktor itu frekuensi VCO akan berubah. Sementara itu nilai kapasitansi varaktor (maupun kapasitansi intrinsik dalam transistor) sangat mudah dipengaruhi oleh suhu. Inilah yang membuat frekuensi VCO mudah berubah (kurang stabil) sensitif terhadap suhu.

PLL mempekerjakan dua jenis osilator itu (kristal dan VCO) sedemikian rupa sehingga menghasilkan frekuensi output yang stabil dan sekaligus mudah diubah-ubah (variabel). Caranya adalah dengan membagi frekuensi VCO dan kemudian membandingkannya dengan frekuensi referensi yang berasal dari osilator Kristal.

Lebar frekuensi VCO ditentukan oleh karakteristik varaktor yang digunakan. Nilai kapasitansi varaktor dalam PLL ditentukan oleh tegangan error yang dihasilkan detektor fasa yang besarnya berkisar antara 0-5 volt mengingat detektor fasa umumnya dibangun dari TTL (*Transistor Transistor Logic*) yang beroperasi pada tegangan 5 volt. Variasi tegangan error ini akan menentukan lebar frekuensi kerja VCO. Terkadang variasi tegangan 0-5 volt sering dirasa kurang. Untuk mendapatkan variasi tegangan yang lebih lebar (misalnya 0-15 volt) dibutuhkan sebuah DC *Amplifier* sehingga akan diperoleh frekuensi kerja VCO yang lebih lebar.

yang (controlled oscillator) merupakan unit non-linear yang akan membandingkan suatu sinyal dengan frekuensinya ditentukan oleh besarnya tegangan control di masukan VCO. Secara garis besar VCO akan menghasilkan sinyal yang frekuensinya ditentukan dari bagian PLL. Bagian LF mendapat masukan berupa galat fase antara sinyal masukan dengan sinyal keluaran PLL. Sehingga akan diperoleh sinyal keluaran yang frekuensinya terkunci terhadap sinyal referensi di bagian masukan.

VCO (Voltage Controlled Oscillator) adalah osilator LC yang frekuensinya bisa dikendalikan dari tegangan yang diberikan pada varaktornya. Varaktor adalah dioda yang bila diberi tegangan balik akan menjadi kapasitor dimana nilai kapasitansinya tergantung dari tegangan yang diberikan padanya. Jadi dengan mengubah tegangan pada varaktor ini frekuensi VCO akan berubah. Sementara itu nilai kapasitansi varaktor (masukan kapasitansi intrinsik dalam transistor) sangat mudah dipengaruhi oleh suhu. Inilah yang membuat frekuensi VCO mudah berubah (kemang stabil) sensitif terhadap suhu.

PLL, memperkecilkan dua jenis osilator ini (kristal dan VCO) sebagaimana rupa sehingga menghasilkan frekuensi output yang stabil dan sekalisnya mudah diubah-ubah (variabel). Caranya adalah dengan membagi frekuensi VCO dan kemudian membandingkannya dengan frekuensi referensi yang berasal dari osilator kristal.

Lebar frekuensi VCO ditentukan oleh karakteristik varaktor yang digunakan. Nilai kapasitansi varaktor dalam PLL ditentukan oleh tegangan error yang dihasilkan detektor fase yang besarnya berkisar antara 0-2 volt. Mengeting detektor fase umumnya dibangun dari PLL (Voltage Controlled Logic) yang beroperasi pada tegangan 2 volt. Untuk tegangan error ini akan memunculkan lebar frekuensi kerja VCO. Lebar yang variasi tegangan 0-2 volt sering disebut kemang. Untuk mendapatkan variasi tegangan yang lebih lebar (misalnya 0-12 volt) dibutuhkan sebuah DC (dewyter) sehingga akan diperoleh frekuensi kerja VCO yang lebih lebar.

PLL juga dikenal dengan istilah – istilah sebagai berikut :

1. *Free Running Frequency(fr)*, adalah frekuensi keluaran VCO pada keadaan PLL tidak dihubungkan dengan sinyal referensi. Frekuensi VCO dan input berbeda dan keluaran LPF ~ 0 .
2. *Capture Range*, adalah daerah frekuensi sekitar f_r yang dapat dikunci oleh PLL. Sebelumnya PLL dalam keadaan tidak terkunci. Keluaran LPF berubah hingga PLL terkunci.

Proses pada seluruh bagian PLL akan memberikan kontribusi noise terhadap keluaran PLL. Jadi bila dibandingkan dengan keluaran VCO tanpa PLL maka VCO memiliki keluaran yang lebih "bebas noise" efeknya bila digunakan pada RX atau TX akan memiliki kualitas suara yang lebih bulat dan jernih.

2.4. Filter

Filter dalam bidang elektronika adalah suatu rangkaian yang berfungsi untuk mengambil atau melewati tegangan output pada frekuensi tertentu yang diinginkan dan untuk melemahkan atau membuang ke ground tegangan output pada frekuensi tertentu yang tidak diinginkan. Filter dalam elektronika dibagi dalam dua kelompok yaitu filter pasif dan filter aktif.

Untuk membuat suatu filter pasif dapat digunakan komponen pasif (R, L, C). Sedangkan untuk membuat filter aktif diperlukan rangkaian (R, L, C dan transistor atau Op-Amp).

Pada dasarnya filter pasif maupun filter aktif dapat dikelompokkan berdasarkan respon frekuensi yang di saring (filter) menjadi 4 kelompok, yaitu:

1. Filter Lolos Bawah (*Low Pass Filter, LPF*)
2. Filter Lolos Atas (*High Pass Filter, HPF*)
3. Filter Lolos Rentang (*Band Pass Filter, BPF*)
4. Filter Tolak Rentang (*Band Stop Filter atau Notch Filter*)

Untuk membuat filter pada kelompok diatas dapat digunakan konfigurasi R dan C, L dan C atau RLC. Akan tetapi penggunaan induktor sering dihindari

- PLL juga dikenal dengan istilah – istilah sebagai berikut :
1. Free Running Frequency adalah frekuensi keluaran VCO pada keadaan PLL tidak dihubungkan dengan sinyal referensi. Frekuensi VCO dan input berbeda dan keluaran LRF = 0.
 2. Capture Range, adalah daerah frekuensi sekitar f_c yang dapat dikunci oleh PLL. Sebelumnya PLL dalam keadaan tidak terkunci. Keluaran LRF berubah hingga PLL terkunci.

Proses pada seluruh bagian PLL akan memberikan kontribusi noise terhadap keluaran PLL. Jadi bila dibandingkan dengan keluaran VCO tanpa PLL maka VCO memiliki keluaran yang lebih "besar noise" olehnya bila digunakan pada RX akan memiliki kualitas suara yang lebih bulat dan jernih.

2.4. Filter

Filter dalam bidang elektronika adalah suatu rangkaian yang berfungsi untuk mengambil atau melowarkan tegangan output pada frekuensi tertentu yang diinginkan dan untuk melowarkan atau membuang ke ground tegangan output pada frekuensi tertentu yang tidak diinginkan. Filter dalam elektronika dibagi dalam dua kelompok yaitu filter passif dan filter aktif.

Untuk membuat suatu filter passif dapat digunakan komponen passif (R, L, C). Sedangkan untuk membuat filter aktif diperlukan rangkaian (R, L, C dan transistor atau Op-Amp).

Pada dasarnya filter passif maupun filter aktif dapat dikelompokkan berdasarkan respon frekuensi yang di saring (filter) menjadi 4 kelompok yaitu:

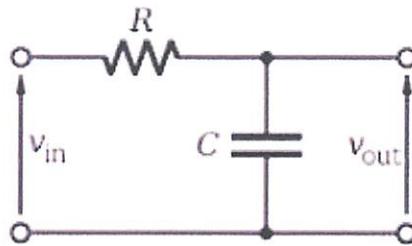
1. Filter Lolos Bawah (Low Pass Filter, LPF)
2. Filter Lolos Atas (High Pass Filter, HPF)
3. Filter Lolos Kembang (Band Pass Filter, BPF)
4. Filter Lolos Rintang (Band Stop Filter atau Notch Filter)

Untuk membuat filter passif kelompok diatas dapat digunakan konfigurasi R dan C, L dan C atau RL, C. Akan tetapi penggunaan induktor sering dihindari

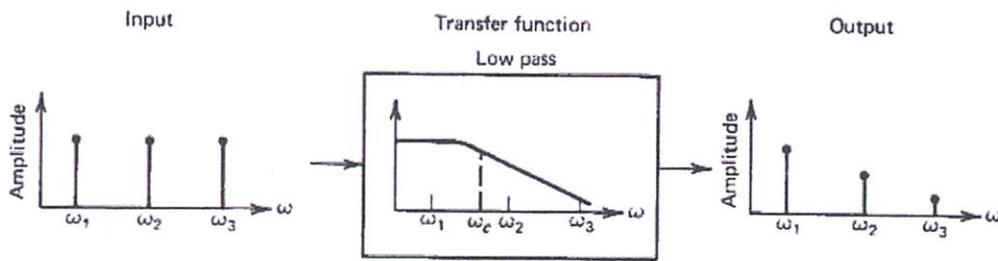
karena fisik induktor yang besar. Sehingga pada umumnya filter yang sering dijumpai adalah filter RC saja.

$$f_c = \frac{1}{2\pi RC}$$

Filter Lolos Bawah (*Low Pass Filter, LPF*) Filter lolos bawah (*Low Pass Filter, LPF*) berfungsi untuk melewatkan tegangan output dengan frekuensi di bawah frekuensi *cutt-off* rangkaian.

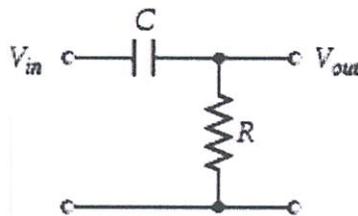


Gambar 2.2 Rangkaian RC filter

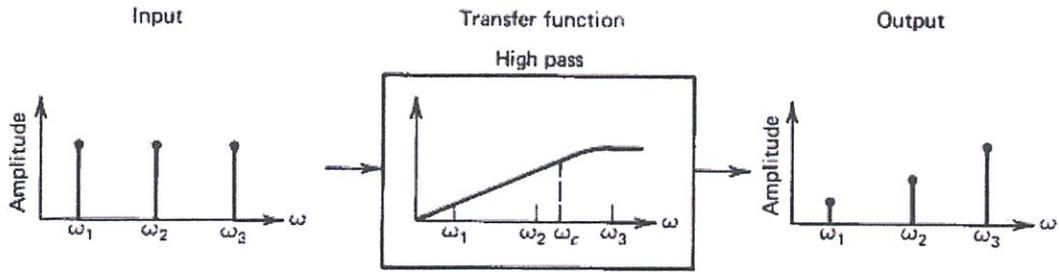


Grafik 2.1 Respon Frekuensi Low Pass Filter

Filter Lolos Atas (*High Pass Filter, HPF*) Filter lolos atas (*High Pass Filter, HPF*) berfungsi untuk melewatkan tegangan output dengan frekuensi di atas frekuensi *cutt-off* rangkaian.

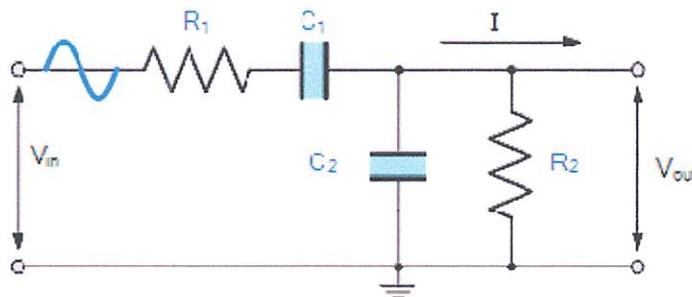


Gambar 2.3 Rangkaian High Pass Filter

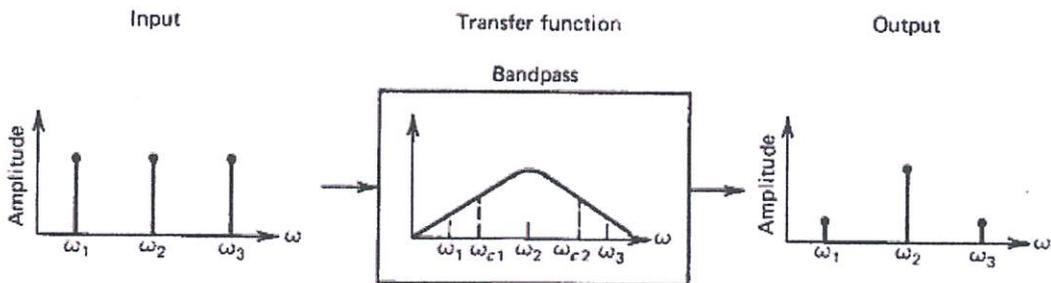


Grafik 2.2 Respon Frekuensi *High Pass Filter*

Filter Lolos Rentang (*Band Pass Filter, BPF*) berfungsi untuk melewatkan tegangan output pada frekuensi resonansi rangkaian.

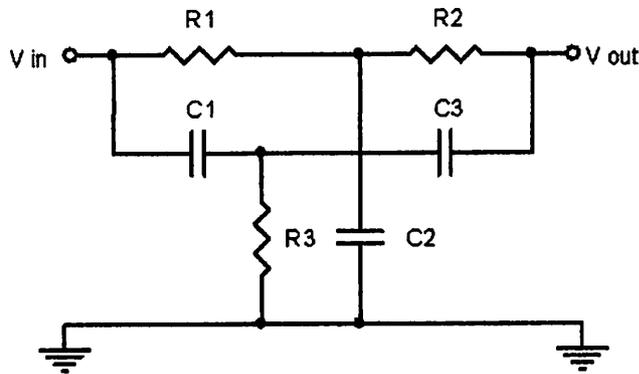


Gambar 2.4 Rangkaian *Band Pass Filter*

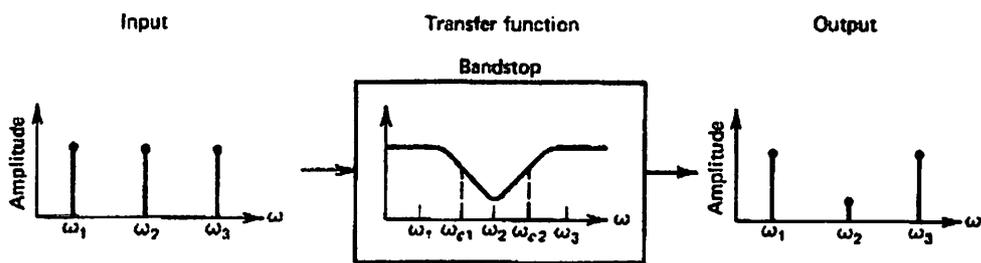


Grafik 2.3 Respon Frekuensi *Band Pass Filter*

Filter Tolak Rentang (*Band Stop Filter, BSF*) berfungsi untuk melemahkan tegangan output pada frekuensi resonansi rangkaian. Filter *band stop* ini sering juga disebut dengan *Band Reject Filter* atau *Notch Filter*.



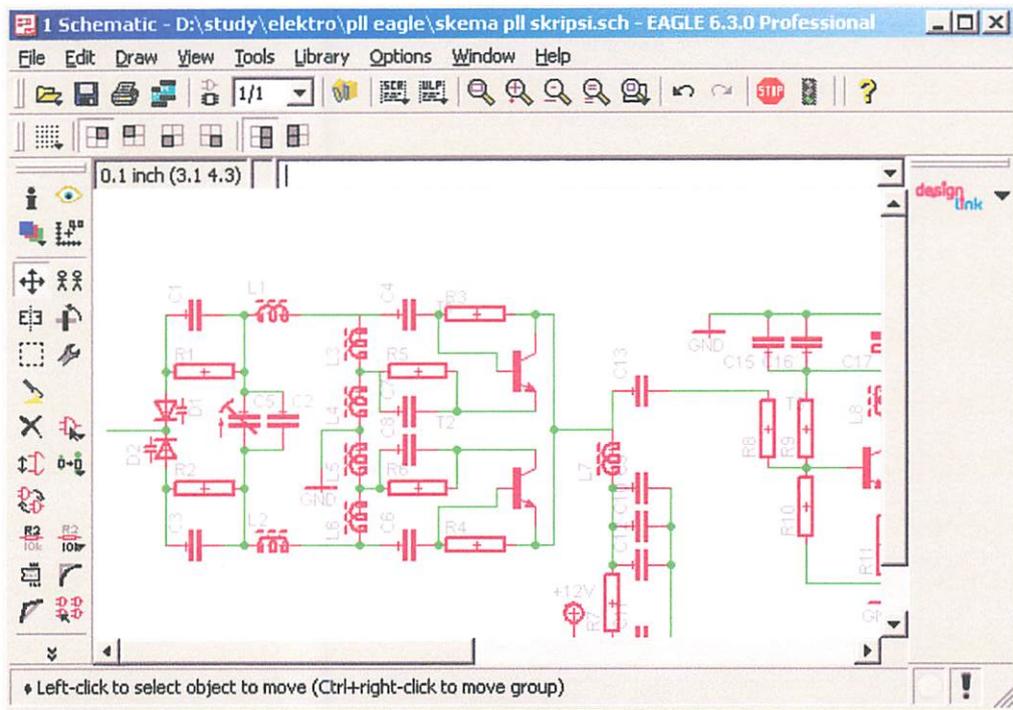
Gambar 2.5 Rangkaian *Band Stop Filter*



Grafik 2.4 Respon Frekuensi *Band Stop Filter*

2.5 Cadsoft Eagle

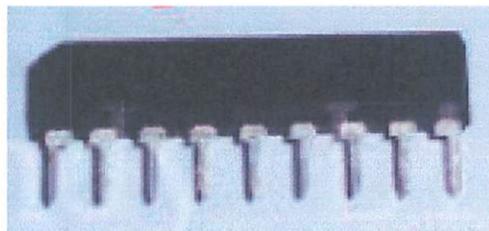
Cadsoft Eagle (Easily Applicable Graphical Layout Editor) merupakan salah satu perangkat lunak untuk menggambar skematik rangkaian elektronik dan jalur *layout PCB*. Pemilihan penggunaan perangkat lunak *Cadsoft Eagle* adalah karena perangkat lunak ini lebih mudah penggunaannya dan mudah dipelajari dibanding perangkat lunak desain *layout PCB* dan skematik rangkaian elektronik lainnya.



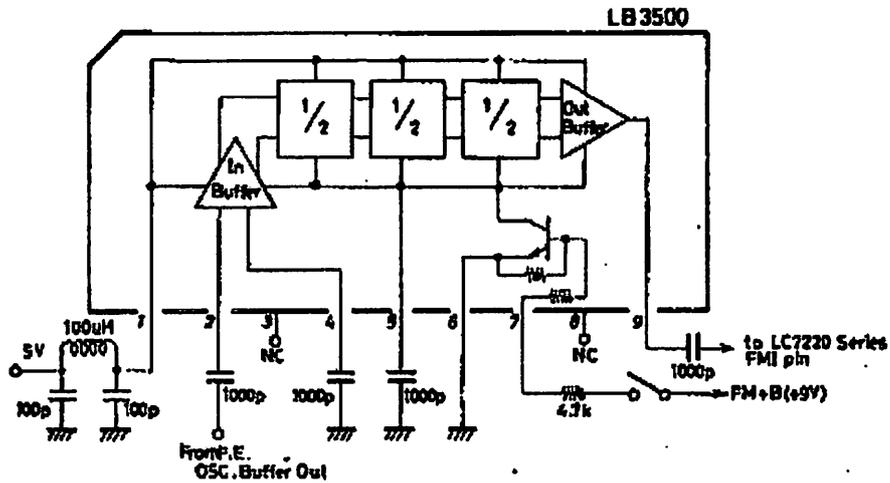
Gambar 2.6 Tampilan Perangkat Lunak Cadsoft Eagle

2.6 Prescaler 1/8

Prescaler 1/8 digunakan untuk membagi frekuensi agar dapat diproses oleh frequency divider. Penggunaan prescaler 1/8 berdasarkan batas maksimal IC berikutnya. Prescaler 1/8 ini menggunakan IC LB3500.

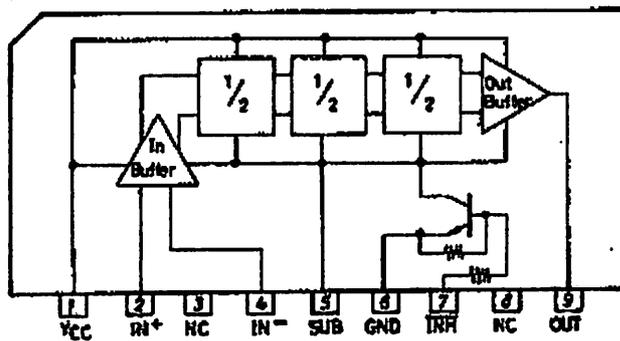


Gambar 2.7 Bentuk Fisik IC LB3500



Gambar 2.8 Blok Diagram IC LB3500

(Sumber: SANYO Manufacturer Datasheet and Components LB3500)



Gambar 2.9 Konfigurasi Pin IC LB3500

(Sumber: SANYO Manufacturer Datasheet and Components LB3500)

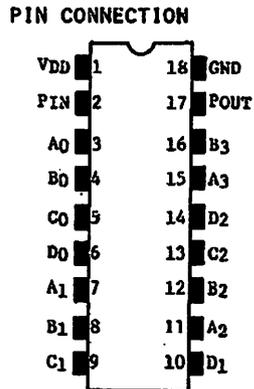
Penjelasan konfigurasi pin IC LB3500:

- Pin 1 VCC, pin ini dihubungkan ke catu daya positif 5 Volt DC.
- Pin 2 IN+, adalah input positif dari VCO.
- Pin 3 NC, tidak terhubung.
- Pin 4 IN-, adalah input negatif dari VCO yang dihubungkan seri kapasitor 102 pF ke ground.
- Pin 5 SUB, dihubungkan seri kapasitor 102 pF ke ground.
- Pin 6 GND, dihubungkan ke ground catu daya.
- Pin 7 INH dihubungkan ke catu daya positif 5 Volt DC.
- Pin 8 NC, tidak terhubung.

- i. Pin 9 OUT, dihubungkan ke bagian selanjutnya.

2.7 Frequency Divider

Frequency Divider digunakan untuk membagi frekuensi dengan prinsip BCD. Dengan cara ini maka penentuan frekuensi bisa dilakukan dengan mudah. IC yang digunakan sebagai Frequency Divider adalah IC TC 9122.



Gambar 2.9 Pin out IC TC9122

(Sumber: Datasheet TOSHIBA TC9122)

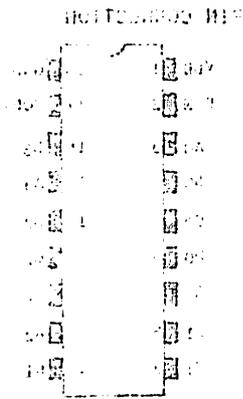
Penjelasan pin IC TC9122:

- a. Pin 1 VDD, catu daya positif 5 Volt DC.
- b. Pin 2 Pin, terminal INPUT, bisa berasal dari VCO atau Prescaler.
- c. Pin 3 – 16, program pembagian (N) dengan prinsip BCD, nilai $N=8-3999$.
- d. Pin 17 Pout, terminal OUTPUT ($1/N$) dari pin ini selanjutnya menuju ke Phase Detector.
- e. Pin 18 GND, catu daya ground.

i. Pin 9 (UI) dihubungkan ke bagian selanjutnya.

2.7 Frequency Divider

Frequency Divider digunakan untuk membagi frekuensi dengan prinsip BCD. Dengan cara ini maka penentuan frekuensi bisa dilakukan dengan mudah. IC yang digunakan sebagai Frequency Divider adalah IC TC 9123.

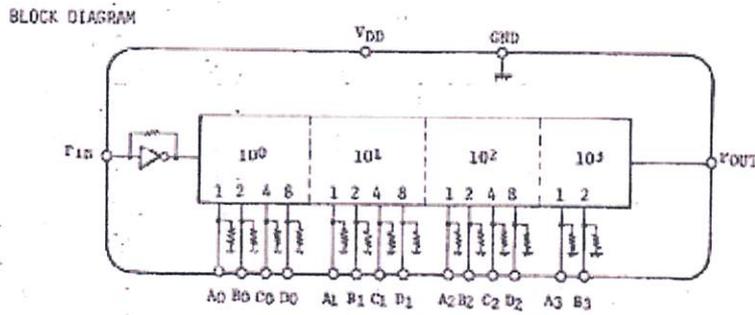


Gambar 2.4 Pin out IC TC 9123

(Sumber: Datasheet TOSHIBA TC9123)

Penjelasan pin IC TC 9123:

- Pin 1 (VCC) cara daya positif 5 Volt DC.
- Pin 2 Pin terminal INPUL bisa berasal dari VCO atau Prescaler.
- Pin 3 -- (N) program pembagian (N) dengan prinsip BCD, nilai $N=8-3999$.
- Pin 17 Pin terminal OUTPUT (IN) dari pin ini selanjutnya menuju ke Base Detector.
- Pin 18 (GND) cara daya ground.



Gambar 2.10 Blog Diagram Internal IC TC9122

A0, B0, C0, D0 menunjukkan SATUAN

A1, B1, C1, D1 menunjukkan PULUHAN

A2, B2, C2, D2 menunjukkan RATUSAN

A3, B3, menunjukkan RIBUAN

Penentuan nilai kode biner dapat diperoleh dari:

$$xdiv = \frac{\text{frekuensi yang diinginkan (Hz)}}{\text{frekuensi referensi (Hz)} \times \text{prescaler}}$$

Misalkan frekuensi yang diharapkan adalah 108 MHz maka perhitungannya:

$$xdiv = \frac{\text{frekuensi yang diinginkan (Hz)}}{\text{frekuensi referensi (Hz)} \times \text{prescaler}}$$

$$xdiv = \frac{108.000.000}{6250 \times 8} = 2160$$

Maka pada Dip Switch :

Angka ribuan = 2, berarti A3, B3 = 0, 1

Angka ratusan = 1, berarti $A_2, B_2, C_2, D_2 = 1, 0, 0, 0$

Angka puluhan = 6, berarti $A_1, B_1, C_1, D_1 = 0, 1, 1, 0$

Angka satuan = 0, berarti $A_0, B_0, C_0, D_0 = 0, 0, 0, 0$

BAB III

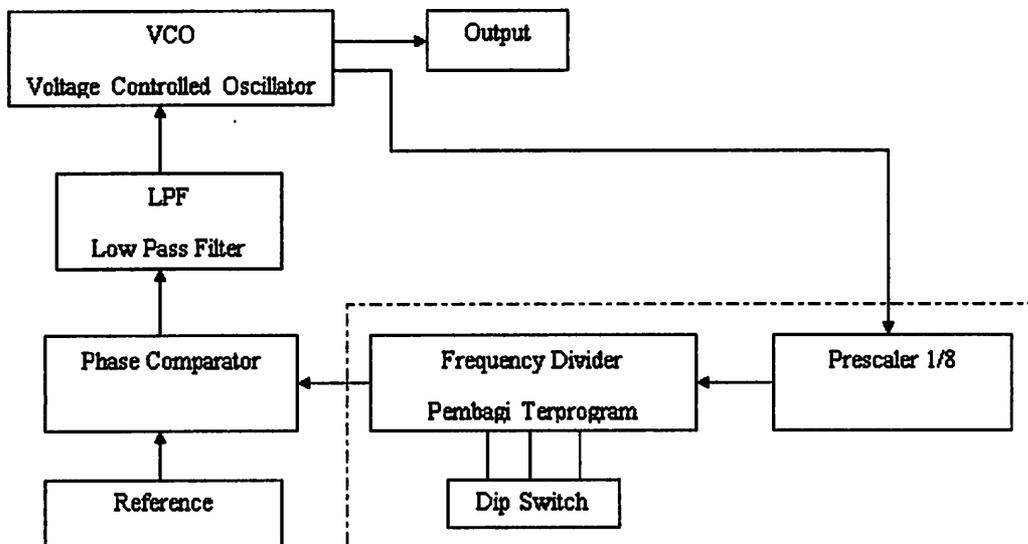
PERANCANGAN SISTEM

3.1 Pendahuluan

Pada bab ini akan dibahas perancangan dari keseluruhan sistem yang akan dibuat dalam skripsi ini. Masing - masing bagian tersebut disusun dengan pemilihan jenis komponen dengan fungsi sesuai perencanaan, sehingga akan dihasilkan suatu sistem dengan fungsi sesuai dengan perencanaan yang dilakukan diawal.

3.2 Blok Diagram Sistem

Keseluruhan dari rangkaian PLL ini terdiri dari VCO (variable Control Oscilator), prescaler 1/8, frequency divider (pembagi frekuensi terprogram), detektor fasa, oscilator referensi.



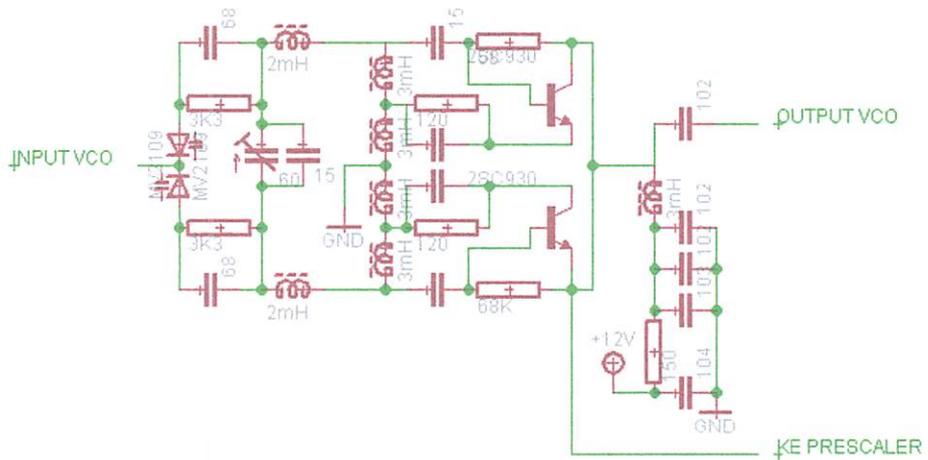
Gambar 3.1 Blok Diagram Sistem

3.3 Cara Kerja Sistem :

Sinyal RF dari VCO masuk ke IC Prescaler LB3500. Disini frekuensi dibagi dengan delapan ($1/8$). Pembagian ini dilakukan agar bisa diproses oleh tahap berikutnya yaitu pembagi terprogram karena pada IC TC9122 frekuensi input maksimalnya adalah 15 MHz. Pembagi terprogram membagi lagi frekuensi dari bagian prescaler dengan menggunakan kombinasi dip switch sebagai pemberi tegangan positif bagi IC TC9122 yang nantinya akan diterjemahkan ke dalam kode biner sesuai dengan pin input IC TC9122. Dengan kode biner inilah frekuensi VCO dapat diatur dengan mudah. Hasil pembagian ini akan diteruskan ke bagian pembanding menggunakan IC CD4046. Pembanding fasa ini akan membandingkan fasa dari VCO dengan fasa dari frekuensi referensinya. apabila fasa belum sama maka VCO akan merubah frekuensinya. Proses ini akan terus berulang sampai fasa dari VCO dengan fasa dari frekuensi referensi sama. Ketika fasa keduanya sama maka tidak ada lagi perubahan frekuensi yang dilakukan oleh VCO. Kejadian inilah yang dinamakan terkunci.

3.4 Perancangan Perblok

3.4.1 Voltage Control Oscillator (VCO)



Gambar 3.2 Skematik VCO

Komponen yang dibutuhkan dalam perancangan VCO:

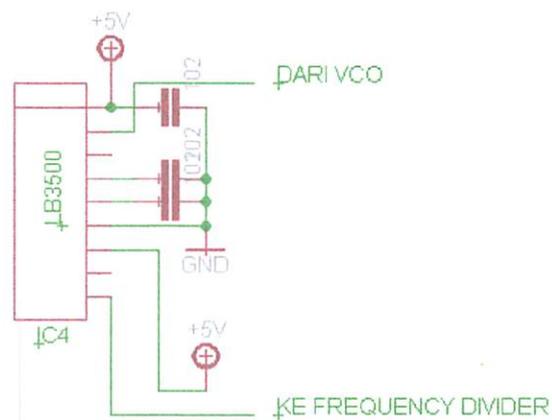
1. Resistor 3K3,120, 68K, 150 Ohm
2. Kapasitor 60, 68, 15, 102, 103, 104 pF
3. Induktor 2mH, 3mH
4. Dioda varaktor MV2109
5. Transistor 2SC930

Masing-masing pin memiliki fungsi sebagai berikut:

1. Input VCO berfungsi untuk menentukan frekuensi kerja osilator, input ini berupa tegangan yang berasal dari rangkaian PLL.
2. Output VCO adalah frekuensi hasil pengolahan PLL berupa frekuensi yang diharapkan.
3. Output ke prescaler digunakan untuk pencuplikan frekuensi yang akan diproses oleh prescaler.

3.4.2 Prescaler1/8

Prescaler berfungsi untuk membagi frekuensi tinggi menjadi frekuensi yang lebih rendah agar dapat diterima oleh bagian berikutnya yaitu pembagi terprogram. Prescaler ini menggunakan IC LB3500.



Gambar 3.3 Skematik IC LB3500

Prescaler yang digunakan dipilih 1/8 karena sesuai dengan kemampuan dari bagian selanjutnya yaitu frequency divider yang frekuensi inputnya maksimal 15 MHz. Apabila diambil contoh osilator ini bekerja pada frekuensi 108 MHz maka $108 : 8 = 13,5$ MHz. Karena 13,5 MHz lebih kecil dari batas maksimal input frequency divider maka frekuensi 108 masih bisa diproses oleh frequency divider.

Komponen yang dibutuhkan dalam perancangan Prescaler :

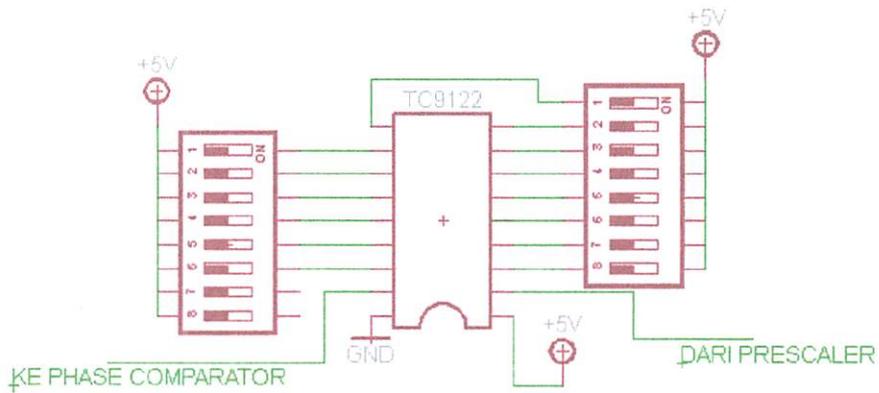
1. IC LB3500
2. Kapasitor 101, 102, 103

Masing-masing pin IC memiliki fungsi sebagai berikut :

1. Pin 1 dan 7 dihubungkan ke catu daya 5 Volt untuk memberi tegangan input IC agar rangkaian dapat bekerja.
2. Pin 2 adalah input VCO, yang digunakan untuk membagi 8 frekuensi inputan agar bisa di proses oleh frequency divider.
3. Pin 6 adalah ground, dihubungkan ke catu daya untuk memberi tegangan ground.
4. Pin 8 adalah output dari IC yang akan diteruskan ke bagian berikutnya yaitu frequency divider. Output ini berupa frekuensi dari VCO yang telah dibagi 8.

3.4.3 Frequency Divider

Frequency Divider atau pembagi terprogram fungsinya adalah membagi frekuensi inputnya dengan besaran yang ditentukan dengan kode biner. Salah satu IC programmable divider paling populer adalah TC9122. IC ini dikenal sebagai salah satu komponen PLL pada HT Transceiver 2m: ICOM IC-2N.



Gambar 3.4 Skematik *Frequency Divider*

Komponen yang dibutuhkan dalam perancangan *Frequency Divider* :

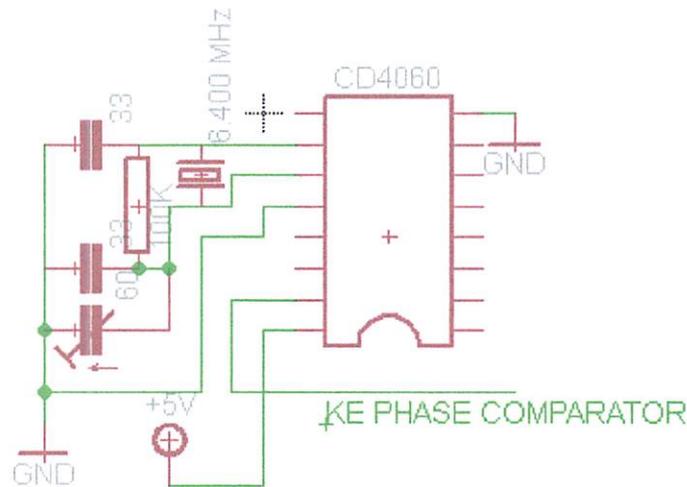
1. Dip switch x8
2. IC TC9122

Masing-masing pin memiliki fungsi sebagai berikut :

1. Pin 1 adalah input tegangan 5 Volt yang dihubungkan ke catu daya positif.
2. Pin 2 adalah input frekuensi terbagi dari prescaler yang akan dibagi menggunakan prinsip BCD.
3. Pin 3 - 16 adalah program pembagian(N) dengan prinsip BCD. Pin ini di hubungkan ke Dip Switch untuk pemrograman frekuensi yang diharapkan.
4. Pin 17 adalah terminal OUTPUT. Dari pin ini selanjutnya menuju ke Phase Detector untuk disbandingkan fasanya dengan frekuensi referensi.
5. Pin 18 adalah GND, dihubungkan ke ground.

3.4.4 Frekuensi Referensi

Frekuensi referensi adalah osilator terpisah, yang menghasilkan frekuensi rendah sebagai referensi bagi detektor fasa. Karena kestabilan PLL sangat ditentukan oleh kestabilan lokal osilator ini, kita gunakan osilator berbasis kristal dengan menggunakan IC divider CD4060.



Gambar 3.5 Skematik Frekuensi Referensi

Komponen yang dibutuhkan dalam perancangan frekuensi referensi :

1. IC CD4060
2. Kristal 6.400 MHz
3. Resistor 100K Ohm
4. Kapasitor 33pF dan 60 pF

Masing-masing pin memiliki fungsi sebagai berikut :

1. Pin 8 dan 12 adalah GND, dihubungkan ke ground.
2. Pin 10 dan 11 adalah input kristal 6.400 MHz.
3. Pin 15 adalah output frekuensi referensi yang dihubungkan ke phase comparator sebagai frekuensi referensi bagi frequency divider.
4. Pin 16 adalah input tegangan 5 Volt yang dihubungkan ke catu daya.

Kapasitor yang digunakan adalah jenis kapasitor trimer, dengan tujuan untuk mencari nilai kompensasi dari kristal, karena sebuah kristal dengan nilai yang tertera tidak sesuai saat praktiknya. Pada perancangan ini kristal yang dipakai yaitu 6.400 MHz, karena kristal ini banyak dijual di pasaran. Dengan kristal 6.400 MHz tersebut, diharapkan pergeseran frekuensi dengan step 50 KHz = 50.000 Hz dengan tujuan untuk

memudahkan pengaturan saat menetapkan frekuensi pada umumnya. Dari nilai diatas dapat diperhitungkan untuk mencari nilai kristal yang akan digunakan, output frekuensi referensi dan pin output IC yang akan dipilih sebagai output frekuensi referensi.

$$\text{step frekuensi} \times \text{prescaler} = 50.000 \times \frac{1}{8} = 6.250 \text{ Hz}$$

Jadi perancangan frekuensi referensi ini harus menghasilkan frekuensi 6.250 Hz = 6,25 KHz agar dapat dicapai pergeseran frekuensi dengan step 50 KHz.

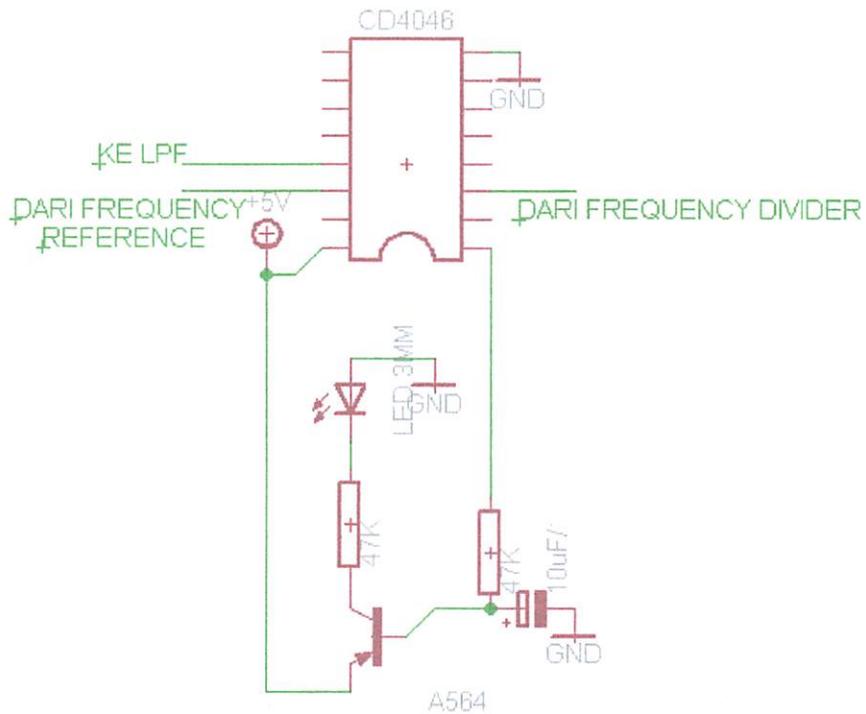
Sedangkan penentuan pin IC dapat dihitung dengan cara :

$$\frac{N \text{ kristal}}{\text{frekuensi output}} = \frac{6.400.000}{6250} = 1.024$$

$1.024 = 2^{10}$. Dari nilai tersebut maka dapat dilihat pada pin IC CD4060 ini dipilih pin 15 yaitu Q10.

3.4.5 Phase Comparator

Phase Comparator merupakan otak dari PLL. Dibagian ini sinyal yang diterima dari pembagi terprogram akan dibandingkan dengan yang dari oscillator reference. Setelah itu mengirimkan tegangan tertentu kepada VCO. Phase Comparator ini menggunakan IC CD4046.



Gambar 3.6 Konfigurasi Pin IC CD4046

Komponen yang dibutuhkan dalam perancangan Phase Comparator :

1. IC CD4046
2. Resistor 47K Ohm
3. Kapasitor 10uF/16V
4. Transistor A564
5. Led 3mm

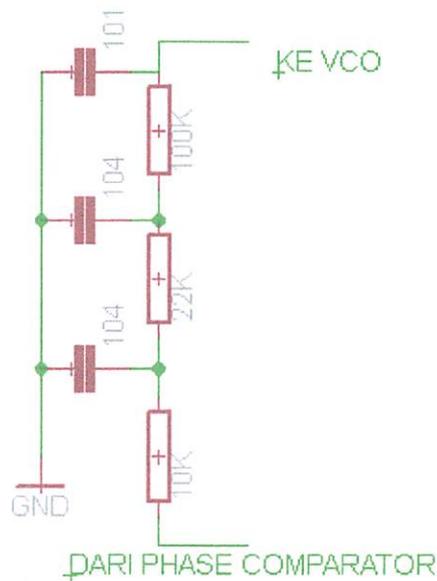
Masing-masing pin memiliki fungsi sebagai berikut :

1. Pin 1 phase pulses dihubungkan ke led indikator lock untuk mengetahui apakah fasa sudah sama atau belum. Hal ini diketahui dari nyala LED yang berkedip apabila fasa belum sama, dan LED mati apabila fasa telah sama.
2. Pin 3 adalah comparator in, yang dihubungkan ke Frequency Divider untuk dibandingkan dengan fasa frekuensi referensi.
3. Pin 8 adalah GND, dihubungkan ke ground catu daya 5 Volt DC.

4. Pin 13 adalah phase comparator 2 out, dihubungkan ke Low Pass Filter. Output ini berupa fasa frekuensi hasil pengolahan Phase Comparator.
5. Pin 14 adalah signal in, dihubungkan ke frekuensi referensi.
6. Pin 16 adalah VDD, dihubungkan ke kapasitor catu daya 5 Volt DC sebagai pemberi tegangan untuk rangkaian Phase Comparator.

3.4.6 Low Pass Filter

Filter Low Pass adalah sebuah rangkaian yang tegangan keluarannya tetap dari DC naik sampai ke suatu frekuensi cut-off f_c . Bersama naiknya frekuensi di atas f_c , tegangan keluarannya diperlemah (turun). Low Pass Filter sederhana bisa dibuat dengan cara merangkai seri input dengan resistor kemudian dihubungkan dengan kapasitor non polar yang digroundkan.



Gambar 3.7 Skematik Low Pass Filter

Komponen yang dibutuhkan dalam perancangan LPF :

1. Resistor $10K\Omega$, $22K\Omega$, $100K\Omega$
2. Kapasitor $104pF$, $101pF$

Masing-masing pin memiliki fungsi sebagai berikut :

1. Input LPF dihubungkan ke Phase Comparator yang akan diproses oleh rangkaian LPF.
2. Output LPF dihubungkan ke VCO. Output ini berupa tegangan yang digunakan sebagai inputan VCO untuk mengontrol frekuensi kerjanya.

LPF berfungsi untuk melewatkan frekuensi rendah sehingga akan didapat tegangan dc yang akan digunakan sebagai masukan VCO. LPF yang digunakan pada rangkaian ini menggunakan RC filter. Nilai-nilai R dan C rangkaian LPF secara tidak langsung akan mempengaruhi range dari rangkaian PLL.

$$f_c = \frac{1}{2\pi RC}$$

LPF pada perancangan ini terdiri dari 3 orde yaitu pada orde 1, resistor yang digunakan adalah $10K\Omega$ dan kapasitornya adalah $100.000pF$. maka perhitungannya :

$$f_c = \frac{1}{2 \times 3,14 \times 10.000 \times 100.000 \times 10^{-12}}$$

$$f_c = \frac{1}{0,00628}$$

$$f_c = 159,2357 \text{ Hz}$$

Pada orde ke 2, resistor yang digunakan adalah $22K\Omega$ dan kapasitor yang digunakan adalah $100.000pF$. Maka perhitungannya :

$$f_c = \frac{1}{2 \times 3,14 \times 22.000 \times 100.000 \times 10^{-12}}$$

$$f_c = \frac{1}{0,013816}$$

$$f_c = 72,38 \text{ Hz}$$

Resistor yang digunakan adalah $100\text{K}\Omega$ dan kapasitornya adalah 100.000pF , maka perhitungannya :

$$f_c = \frac{1}{2 \times 3,14 \times 100.000 \times 100 \times 10^{-12}}$$

$$f_c = \frac{1}{0,0000628}$$

BAB IV

PENGUJIAN SISTEM

4.1 Pendahuluan

Pada bab ini membahas tentang pengujian kestabilan alat yang telah dirancang, untuk mengetahui apakah alat yang dibuat sesuai dengan fungsi yang diharapkan. Karena kesalahan pada perancangan akan berakibat pada hasil kestabilan alat yang dibuat. Pengujian sistem dilakukan dengan cara menguji setiap blok sistem agar kesalahan perancangan dapat diketahui dengan mudah.

4.2 Pengujian VCO (Voltage Controlled Oscillator)

Pada pengujian VCO ini bertujuan untuk mengetahui perubahan frekuensi terhadap tegangan input VCO.

4.2.1 Alat yang Digunakan

1. Voltmeter digital
2. Frequency Counter digital
3. Rangkaian PLL
4. Dummy load

4.2.2 Langkah-langkah Pengujian

1. Hubungkan rangkaian PLL ke Frequency Counter
2. Hubungkan Voltmeter digital ke input VCO
3. Hubungkan catu daya ke rangkaian PLL

4.2.3 Blok Pengujian VCO

Pada pengujian VCO ini menggunakan Voltmeter digital yang dihubungkan ke input VCO untuk mengetahui tegangan input VCO. Frequency Counter dihubungkan ke output VCO untuk mengetahui frekuensi output dari besarnya tegangan input VCO.

BAB IV PENGENALAN SISTEM

4.1 Pendahuluan

Pada bab ini membahas tentang pengujian kestabilan alat yang telah dirancang, untuk mengetahui apakah alat yang dibuat sesuai dengan fungsi yang diharapkan. Karena kestabilan pada pemasangan akan terlihat pada hasil kestabilan alat yang dibuat. Pengujian sistem dilakukan dengan cara menguji setiap blok sistem agar kesalahan pemasangan dapat diketahui dengan mudah.

4.2 Pengujian VCO (Voltage Controlled Oscillator)

Pada pengujian VCO ini bertujuan untuk mengetahui perubahan frekuensi terhadap tegangan input VCO.

4.2.1 Alat yang Digunakan

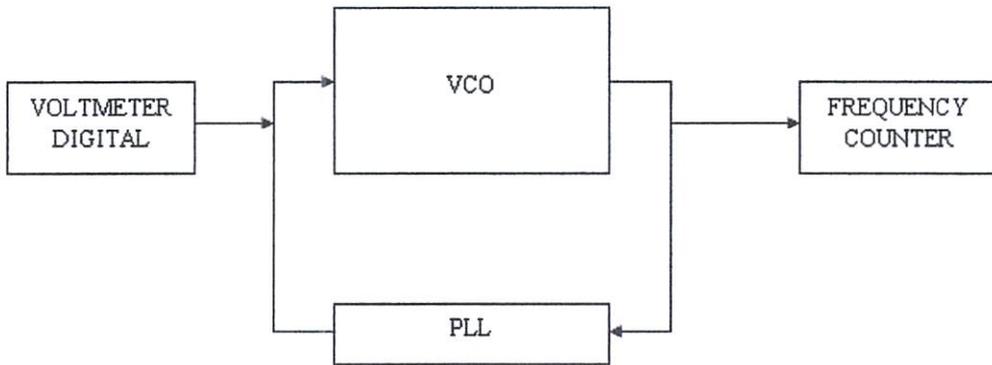
1. Voltmeter digital
2. Frequency counter digital
3. Rangkaian PLL
4. Power cord

4.2.2 Langkah-langkah Pengujian

1. Hubungkan rangkaian PLL ke Frequency Counter
2. Hubungkan Voltmeter digital ke input VCO
3. Hubungkan cara daya ke rangkaian PLL

4.2.3 Blok Pengujian VCO

Pada pengujian VCO ini menggunakan Voltmeter digital yang dihubungkan ke input VCO untuk mengetahui tegangan input VCO. Frequency Counter dihubungkan ke output VCO untuk mengetahui frekuensi output dari besarnya tegangan input VCO.



Gambar 4.1 Blok Diagram Pengujian VCO

4.2.4 Hasil Pengujian VCO

Dibawah ini adalah beberapa gambar hasil pengujian VCO.



Gambar 4.2 Frekuensi VCO Pada Tegangan 2,92 Volt



Gambar 4.3 Frekuensi VCO Pada Tegangan 3,00 Volt



Gambar 4.4 Frekuensi VCO Pada Tegangan 3,05 Volt

Berikut ini adalah tabel hasil pengujian perubahan frekuensi terhadap tegangan input VCO.

Tabel 4.1 Perubahan frekuensi terhadap perubahan VCO

input (Volt)	Frekuensi (MHz)
2,92	100,0
3,00	100,1
3,05	100,2
3,07	100,3
3,13	100,4
3,20	100,5
3,24	100,6
3,32	100,7
3,40	100,8
3,46	100,9
3,49	101,0
3,56	101,1
3,63	101,2
3,69	101,3
3,79	101,4
3,86	101,5
3,94	101,6
4,02	101,7
4,10	101,8
4,16	101,9
4,25	102,0
4,33	102,1

4,42	102,2
4,49	102,3
4,58	102,4
4,66	102,5
4,75	102,6
4,85	102,7
4,92	102,8
5,01	102,9
5,12	103,0

4.2.5 Analisa Hasil Pengujian VCO

Dari hasil pengujian VCO didapat bahwa semakin tinggi frekuensi maka tegangan input VCO akan semakin tinggi.

4.3 Pengujian Phase Comparator

Pada pengujian Phase Comparator ini bertujuan untuk mengetahui proses penguncian fasa oleh IC CD4046 mulai dari ketika fasa belum sama sampai fasa sama atau ketika frekuensi terkunci.

4.3.1 Alat yang Digunakan

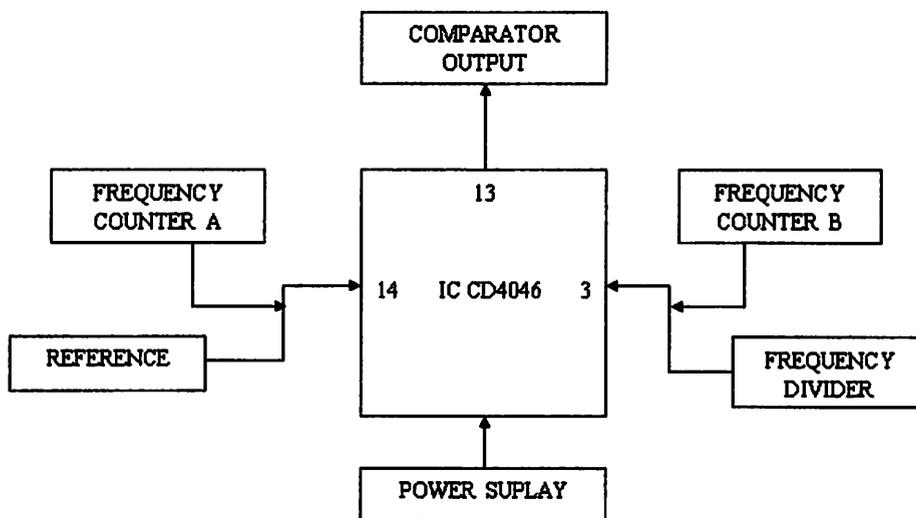
1. 2 buah Frequency Counter
2. Power suplay
3. Rangkaian PLL

4.3.2 Langkah Pengujian

1. Hubungkan probe positif Frequency Counter A ke pin 3 (comparator in) dan probe Frekuensi Counter B ke pin 14 (signal in) pada IC CD4046 seperti Gambar 4.1.
2. Beri catu daya dari power suplay

4.3.3 Blok Rangkaian Pengujian Phase Comparator

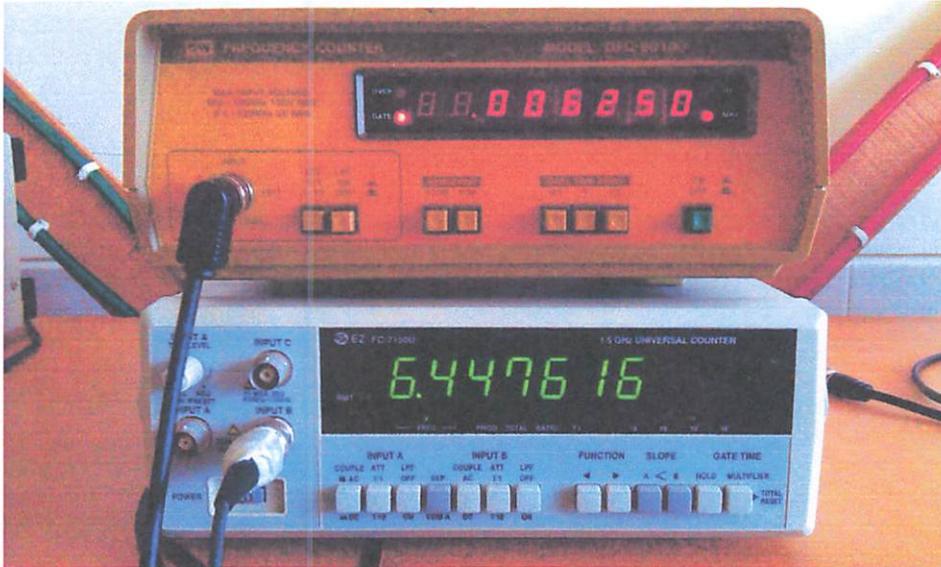
Pada pengujian Phase Comparator ini menggunakan 2 buah Frequency Counter untuk mengetahui proses penguncian frekuensi yang dihubungkan ke pin input IC CD4046. Dengan memakai 2 buah Frequency Counter maka dapat diketahui perbedaan fasa yang terjadi ketika frekuensi belum terkunci dan ketika frekuensi telah terkunci.



Gambar 4.5 Blok Diagram Pengujian Phase Comparator

4.3.4 Hasil Pengujian Phase comparator

Gambar 4.6 Menunjukkan bahwa frekuensi belum terkunci karena frekuensi divider lebih tinggi dari frekuensi referensinya.



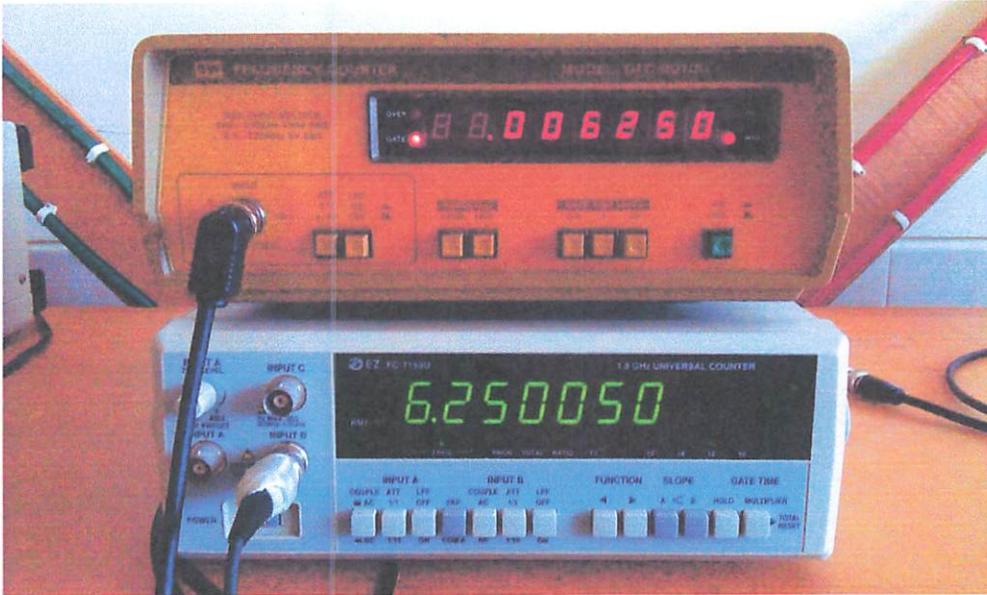
Gambar 4.6 Frekuensi Divider Lebih Tinggi dari Frekuensi Referensi

Gambar 4.7 Menunjukkan bahwa frekuensi belum terkunci karena frekuensi divider lebih rendah dari frekuensi referensinya.



Gambar 4.7 Frekuensi Divider Lebih Rendah dari Frekuensi Referensinya

Gambar 4.8 Menunjukkan bahwa frekuensi telah terkunci karena frekuensi divider sama dengan frekuensi referensinya.



Gambar 4.8 Frekuensi Divider Sama Dengan Frekuensi Referensinya

4.3.5 Analisa Hasil Pengujian Phase Comparator

Pada pengujian Phase Comparator ini menunjukkan bahwa frekuensi referensi selalu tetap, sedangkan frekuensi divider selalu berubah-ubah dan terus mendekati frekuensi referensi sampai akhirnya frekuensi divider menyamai frekuensi referensinya. Ketika frekuensi divider telah sama dengan frekuensi referensi maka frekuensi oscillator tidak akan berubah lagi atau bisa disebut frekuensinya telah terkunci.

4.4 Pengujian Keseluruhan Sistem

Pada pengujian keseluruhan sistem ini bertujuan untuk mendapatkan tingkat kestabilan osilator PLL dibandingkan dengan osilator non PLL.

4.4.1 Peralatan yang Digunakan

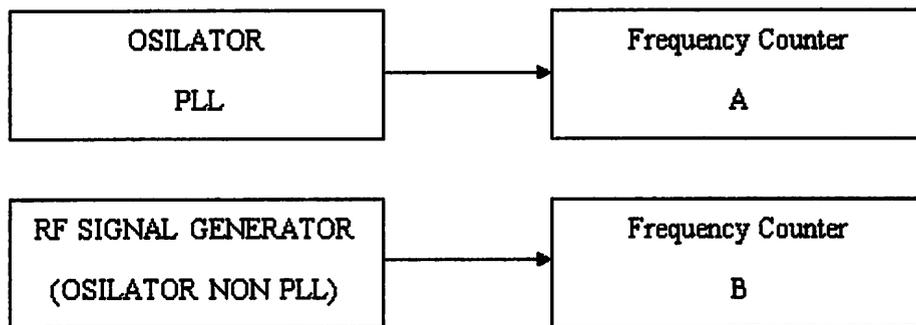
1. RF Signal Generator (osilator non PLL)
2. 2 buah Frequency Counter
3. Rangkaian PLL
4. Catu daya

4.4.2 Langkah-langkah Pengujian

1. Hubungkan rangkaian PLL ke Frequency Counter A
2. Hubungkan RF Signal Generator ke Frequency Counter B
3. Hubungkan catu daya

4.4.3 Diagram Blok Pengujian Keseluruhan Sistem

Pada pengujian keseluruhan sistem ini menggunakan dua buah Frequency Counter yang digunakan untuk memonitor pergeseran frekuensi antara osilator PLL dan osilator non PLL.



Gambar 4.9 Diagram Blok Pengujian Keseluruhan Sistem

4.4.4 Hasil Pengujian Keseluruhan Sistem

Berikut ini adalah hasil pengujian keseluruhan sistem osilator PLL dibandingkan dengan osilator non PLL setiap rentang 10 menit.



Gambar 4.10 Awal Pengujian Keseluruhan Sistem



Gambar 4.11 Pengujian Keseluruhan Sistem Menit ke 10

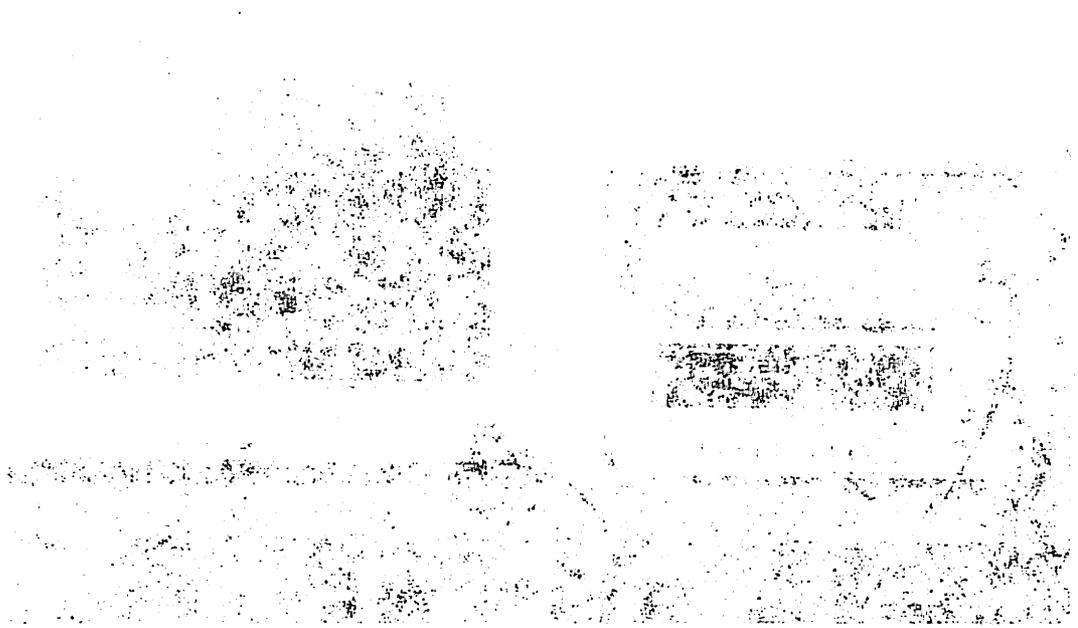
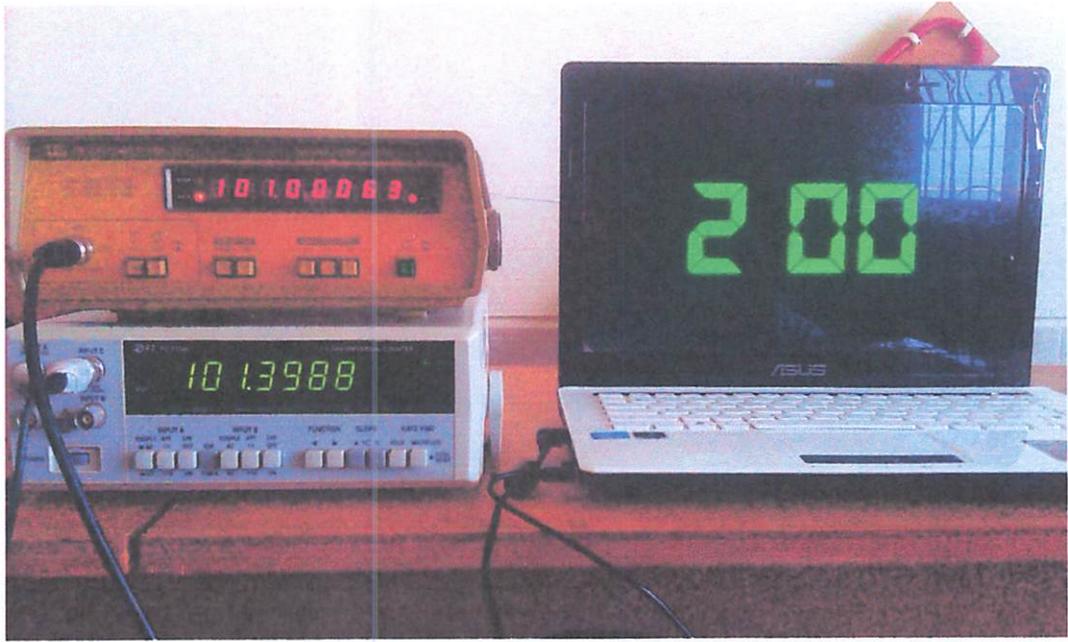


Figure 10. Aerial Photograph of the Coastal Area



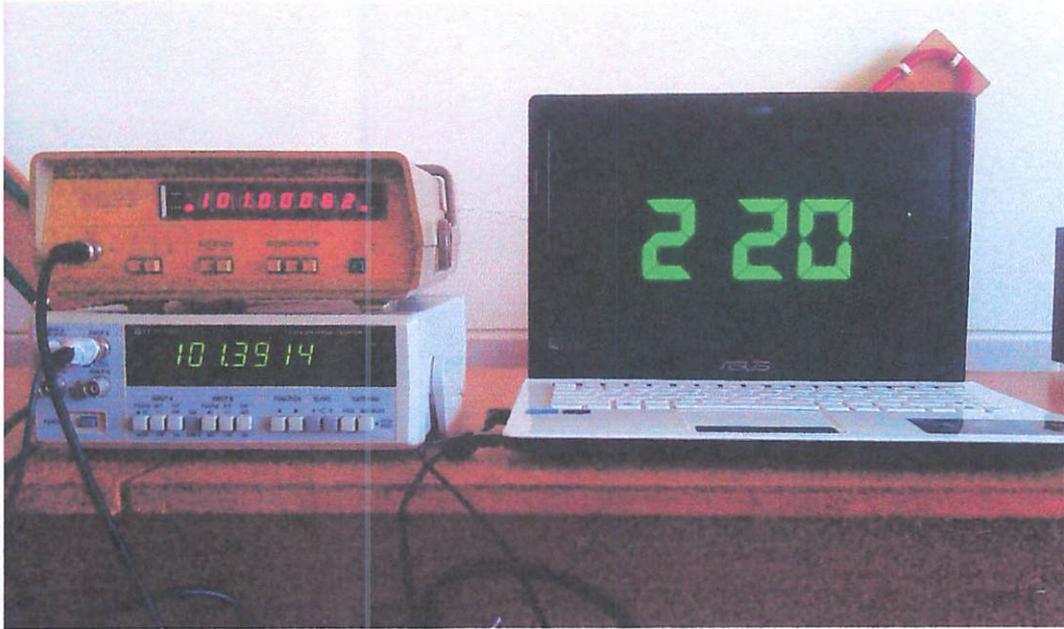
Figure 11. Aerial Photograph of the Coastal Area



Gambar 4.12 Pengujian Keseluruhan Sistem Menit ke 20



Gambar 4.13 Pengujian Keseluruhan Sistem Menit ke 30



Gambar 4.14 Pengujian Keseluruhan Sistem Menit ke 40

Dari pengujian tersebut didapat data-data perbedaan perubahan frekuensi antara osilator PLL dan non PLL.

Tabel 4.2 Data Perubahan Frekuensi Oscilator non PLL dan Oscilator PLL

t	non PLL	pll
1:40	101,383500	101,000440
1:50	101,388000	101,000620
2:00	101,398800	101,000630
2:10	101,394400	101,000640
2:20	101,391400	101,000620

Perhitungan frekuensi rata-rata osilator

1. Osilator non PLL :

$$\text{rata - rata frek osilator non PLL} = \frac{\text{total frekuensi}}{\text{banyaknya frekuensi}}$$

$$= \frac{101,383500 + 101,388000 + 101,398800 + 101,394400 + 101,391400}{5}$$

$$= 101,391220 \text{ MHz}$$

2. Osilator PLL :

$$\text{rata - rata frekuensi osilator PLL} = \frac{\text{total frekuensi}}{\text{banyaknya frekuensi}}$$

$$= \frac{101,000440 + 101,000620 + 101,000630 + 101,000640 + 101,000620}{5}$$

$$= 101,000590 \text{ MHz}$$

Perhitungan selisih frekuensi dengan frekuensi rata-rata

$$\text{selisih frekuensi} = | \text{frekuensi} - \text{frekuensi rata rata} |$$

1. Osilator non PLL

$$\text{selisih frekuensi} = | 101,383500 - 101,391220 | = 0,007720 \text{ MHz}$$

$$\text{selisih frekuensi} = | 101,388000 - 101,391220 | = 0,003220 \text{ MHz}$$

$$\text{selisih frekuensi} = | 101,398800 - 101,391220 | = 0,007580 \text{ MHz}$$

$$\text{selisih frekuensi} = | 101,394400 - 101,391220 | = 0,003180 \text{ MHz}$$

$$\text{selisih frekuensi} = | 101,391400 - 101,391220 | = 0,000180 \text{ MHz}$$

2. Osilator PLL

$$\text{selisih frekuensi} = | 101,000440 - 101,000590 | = 0,000150 \text{ MHz}$$

$$\text{selisih frekuensi} = | 101,000620 - 101,000590 | = 0,000030 \text{ MHz}$$

$$\text{selisih frekuensi} = | 101,000630 - 101,000590 | = 0,000040 \text{ MHz}$$

$$\text{selisih frekuensi} = |101,000640 - 101,000590| = 0,000050 \text{ MHz}$$

$$\text{selisih frekuensi} = |101,000620 - 101,000590| = 0,000030 \text{ MHz}$$

Perhitungan pergeseran frekuensi terhadap frekuensi rata-rata :

$$\text{Error} = \frac{\text{selisih frekuensi}}{\text{rata rata frekuensi}} 100\% = \dots\%$$

1. Osilator non PLL

$$\text{Error} = \frac{0,004376}{101,391220} 100\% = 0,004316 \%$$

2. Osilator PLL

$$\text{Error} = \frac{0,000060}{101,000590} 100\% = 0,00059 \%$$

Tabel 4.3 Hasil Perhitungan Selisih Pergeseran Frekuensi

t	OSILATOR NON PLL		OSILATOR PLL	
	Frekuensi	Δ Frekuensi terhadap frekuensi rata-rata	frekuensi	Δ Frekuensi terhadap frkuensi rata-rata
1:40	101,383500	0,007720	101,000440	0,000150
1:50	101,388000	0,003220	101,000620	0,000030
2:00	101,398800	0,007580	101,000630	0,000040
2:10	101,394400	0,003180	101,000640	0,000050
2:20	101,391400	0,000180	101,000620	0,000030
Rata2	101,391220	0,004376	101,000590	0,000060
Error (%)		0,004316%		0,000059%

$f_{osc} = 101,388000 \text{ Hz}$
 $f_{osc} = 101,388000 \text{ Hz}$

Perhitungan geseran frekuensi terhadap frekuensi rata-rata :

$$\text{Error} = \frac{f_{osc} - f_{rata-rata}}{f_{rata-rata}} \times 100\%$$

1. Osilator non PLL

$$\text{Error} = \frac{101,388000 - 101,388000}{101,388000} \times 100\% = 0\%$$

2. Osilator PLL

$$\text{Error} = \frac{101,388000 - 101,388000}{101,388000} \times 100\% = 0\%$$

Tabel 4.3 Hasil Perhitungan Selisih Pergeseran Frekuensi

t	OSILATOR NON PLL		OSILATOR PLL	
	Frekuensi	Δ Frekuensi terhadap frekuensi rata-rata	Frekuensi	Δ Frekuensi terhadap frekuensi rata-rata
1:40	101,388200	0,007200	101,000400	0,000170
1:50	101,388000	0,003200	101,000300	0,000300
2:00	101,388800	0,007200	101,000300	0,000400
2:10	101,394400	0,006180	101,000800	0,000200
2:20	101,381000	0,003180	101,000300	0,000300
Rata-rata	101,391200	0,004376	101,000200	0,000200
Error (%)		0,004318%		0,000228%

4.4.5 Analisa Hasil Pengujian Keseluruhan Sistem

Dari hasil pengujian keseluruhan sistem menunjukkan bahwa osilator non PLL pergeseran frekuensinya jauh lebih besar dari osilator PLL. Hal ini disebabkan oleh tegangan input VCO pada osilator non PLL tidak tetap. Berbeda dengan osilator PLL yang VCONya memiliki tegangan input yang tetap ketika fasa input Phase Comparator sama. Dilihat dari rata-rata pergeseran frekuensi, osilator PLL jauh lebih stabil dibandingkan dengan osilator non PLL, yaitu $0,004376 - 0,000060$ adalah $0,004316$ MHz.

BAB V

PENUTUP

5.1 Kesimpulan

Setelah dilakukan proses perancangan dan pembuatan serta pengujian alat, maka dapat disimpulkan :

1. Frekuensi yang dihasilkan osilator dengan menggunakan PLL jauh lebih stabil daripada osilator tanpa menggunakan PLL, yaitu pada osilator PLL pergeserannya 0,000059 %, sedangkan non PLL 0,004316%.
2. Semakin besar tegangan input VCO maka frekuensinya akan semakin tinggi, pada frekuensi 100,0 MHz tegangan input VCO 2,92 Volt, sedangkan pada frekuensi 100,1 MHz tegangan input VCO 3,00 Volt.
3. Fasa dari *frequency divider* harus sama dengan frekuensi referensi agar tercapai frekuensi yang terkunci.
4. Bentuk sinyal keluaran osilator non PLL dan osilator PLL adalah sama-sama sinus.

5.2 Saran

Untuk penelitian selanjutnya, agar lebih sempurna dalam pengembangan skripsi ini dapat diperhatikan saran berikut:

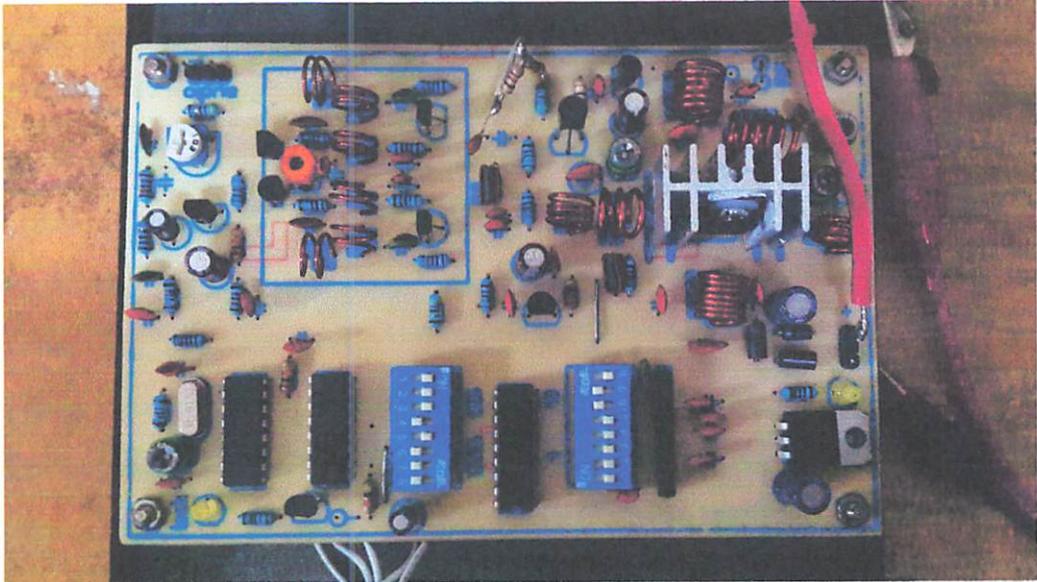
1. Frekuensi kerja osilator PLL diperlebar sehingga nantinya akan lebih banyak aplikasi dari osilator PLL ini.
2. Perancangan sistem diharapkan lebih rapi agar tercapai kestabilan yang lebih tinggi.
3. Menambahkan pembatas di sekeliling VCO agar tidak terganggu oleh induksi dari luar dengan tujuan untuk mempertahankan kestabilan frekuensi.

DAFTAR PUSTAKA

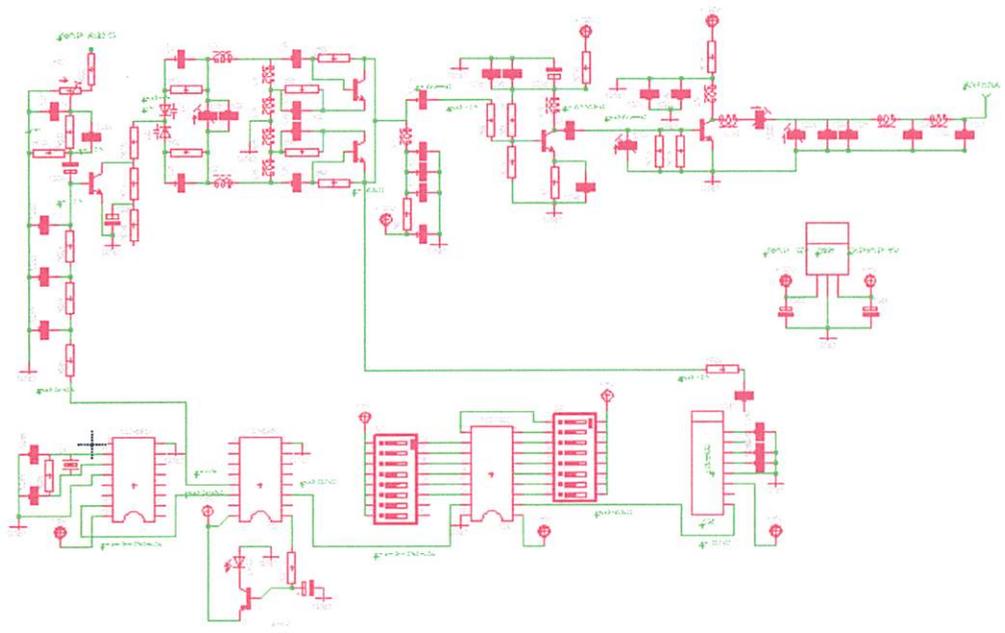
- 1) Chapman & Hall, 1993. *Phase Locked Loops*. *Original version: Systèmes à verrouillage de phase (P.L.L.) Masson, Paris.*
- 2) Roland Best. 1984. *Phase-Locked Loops, Theory, Design and Applications*. McGraw-Hill, NY. ISBN: 0-07-911386-9.
- 3) Tai-Cheng Lee and Behzad Razavi "A stabilization technique for phase-locked frequency synthesizer," *IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL.38, NO. 6, JUNE 2003.*
- 4) Website, <http://www.sentex.ca/~mec1995/gadgets/pll/pll.html>. Diakses tanggal 10 Desember 2013.
- 5) William Egan & Wiley. July 1998. *Phase-Locked Loop Basics*. InterScience.

LAMPIRAN

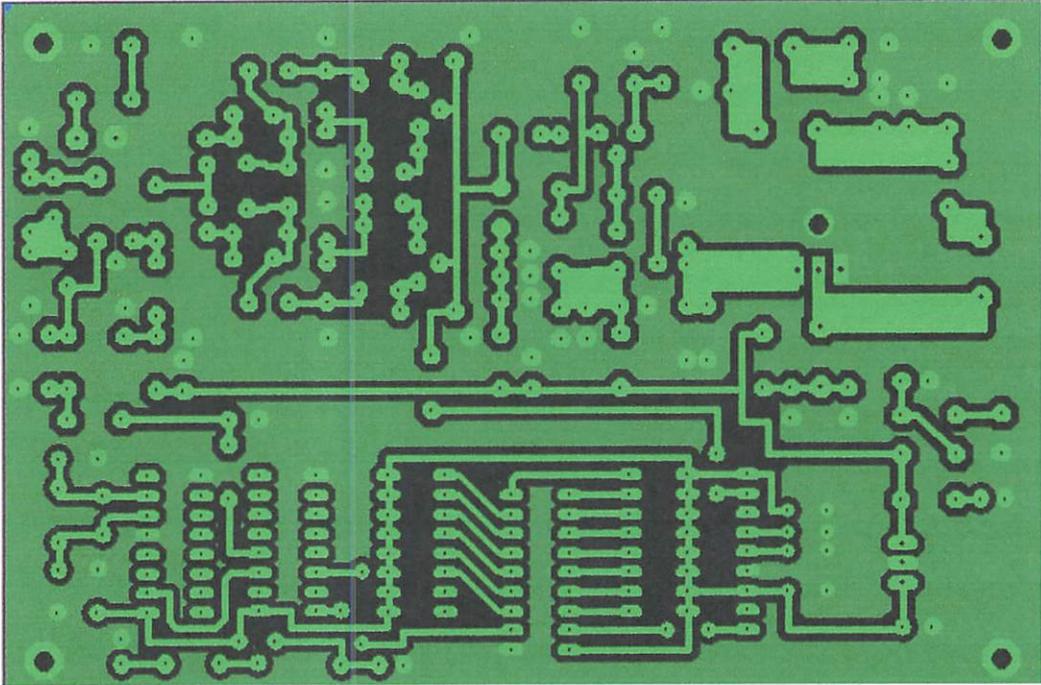
LAMPYRAN



Gambar Keseluruhan Alat

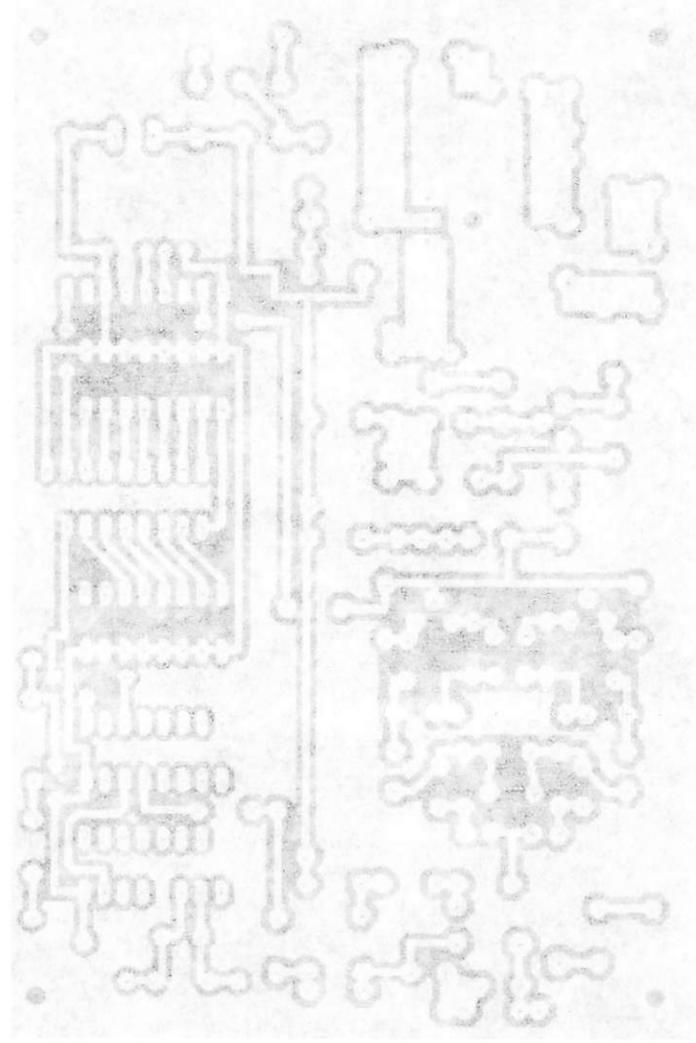


Gambar Skematik Keseluruhan Alat



Gambar Layout PCB

Figure 1. A typical layout.



MMBV2101LT1 Series, MV2105, MV2101, MV2109, LV2209

Preferred Device

Silicon Tuning Diodes

These devices are designed in popular plastic packages for the high volume requirements of FM Radio and TV tuning and AFC, general frequency control and tuning applications. They provide solid-state reliability in replacement of mechanical tuning methods. Also available in a Surface Mount Package up to 33 pF.

Features

- High Q
- Controlled and Uniform Tuning Ratio
- Standard Capacitance Tolerance – 10%
- Complete Typical Design Curves
- Pb-Free Packages are Available

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Reverse Voltage	V_R	30	Vdc
Forward Current	I_F	200	mAdc
Forward Power Dissipation @ $T_A = 25^\circ\text{C}$ Derate above 25°C	P_D	225 1.8	mW mW/ $^\circ\text{C}$
Forward Power Dissipation @ $T_A = 25^\circ\text{C}$ Derate above 25°C		280 2.8	mW mW/ $^\circ\text{C}$
Junction Temperature	T_J	+150	$^\circ\text{C}$
Storage Temperature Range	T_{stg}	-55 to +150	$^\circ\text{C}$

Maximum ratings are those values beyond which device damage can occur. Maximum ratings applied to the device are individual stress limit values (not normal operating conditions) and are not valid simultaneously. If these limits are exceeded, device functional operation is not implied, damage may occur and reliability may be affected.

ELECTRICAL CHARACTERISTICS ($T_A = 25^\circ\text{C}$ unless otherwise noted)

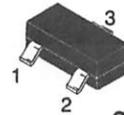
Characteristic	Symbol	Min	Typ	Max	Unit
Reverse Breakdown Voltage ($I_R = 10 \mu\text{Adc}$)	$V_{(BR)R}$	30 25	-	-	Vdc
Reverse Voltage Leakage Current ($V_R = 25 \text{ Vdc}$, $T_A = 25^\circ\text{C}$)	I_R	-	-	0.1	μAdc
Diode Capacitance Temperature Coefficient ($V_R = 4.0 \text{ Vdc}$, $f = 1.0 \text{ MHz}$)	TC_C	-	280	-	ppm/ $^\circ\text{C}$



ON Semiconductor®

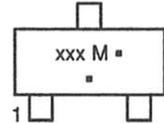
<http://onsemi.com>

6.8–100 pF, 30 VOLTS VOLTAGE VARIABLE CAPACITANCE DIODES



SOT-23 (TO-236)
CASE 318-08
STYLE 8

MARKING DIAGRAMS



xxx = Specific Device Code
M = Date Code*
▪ = Pb-Free Package

(Note: Microdot may be in either location)
*Date Code orientation and/or overbar may vary depending upon manufacturing location.



TO-92 (TO-226AC)
CASE 182
STYLE 1



yyyyyy = Specific Device Code
A = Assembly Location
Y = Year
WW = Work Week
▪ = Pb-Free Package

(Note: Microdot may be in either location)

ORDERING INFORMATION

See detailed ordering and shipping information in the package dimensions section on page 2 of this data sheet.

Preferred devices are recommended choices for future use and best overall value.

MMBVS101 Series NPN Voltage Regulator

General Description

Shown Tuning Diodes

These devices are designed in program to provide a wide range of output voltages for the regulation of 1.4V through 1.7V and are available in both 5-pin and 6-pin packages. The maximum output current is 100mA. The maximum input voltage is 1.7V. The maximum output voltage is 1.4V. The maximum output current is 100mA. The maximum input voltage is 1.7V. The maximum output voltage is 1.4V. The maximum output current is 100mA.

Features

- High Accuracy
- Low Output Impedance
- Standby Current
- Typical Design
- Available Packages

MAXIMUM RATINGS

Rating	Symbol	Unit
Power Dissipation	P_D	mW
Output Voltage	V_O	V
Output Current	I_O	mA
Power Dissipation @ $V_O = 2.5V$	P_D	mW
Power Dissipation @ $V_O = 2.5V$	P_D	mW
Operating Temperature	T_O	°C
Storage Temperature	T_{STG}	°C

Maximum ratings are those values which should not be exceeded under any conditions. Maximum ratings are those values which should not be exceeded under any conditions. Maximum ratings are those values which should not be exceeded under any conditions. Maximum ratings are those values which should not be exceeded under any conditions.

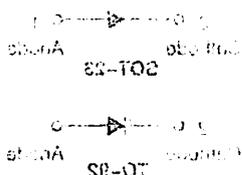
ELECTRICAL CHARACTERISTICS

Characteristic	Symbol	Min	Typ	Max	Unit
Reverse Breakdown Voltage ($I_R = 10 \mu A$)	V_{BR}	30	35	40	V
Reverse Voltage Leakage Current ($V_R = 2.5V, I_A = 2.5 \mu A$)	I_R	1	2	3	μA
Dynamic Output Resistance ($V_O = 4.0V, I_O = 1.0mA$)	$r_{DS(on)}$	200	250	300	Ω

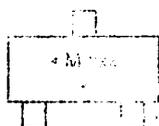
ON Semiconductor

Product Information

8.8-100 pF/30 VOLTS
CAPACITANCE RIDGES



MARKING
DIAGRAMS



STYLE 8
CASE 319-08
SOT-23 (TO-18)

• Plastic Packages
• Die Attach
• Die Attach

Notes: (1) The marking on the device is in accordance with the JEDEC EIA-609 standard. (2) The marking on the device is in accordance with the JEDEC EIA-609 standard. (3) The marking on the device is in accordance with the JEDEC EIA-609 standard.



STYLE 1
CASE 183
TO-18 (TO-18A)

• Plastic Packages
• Die Attach
• Die Attach

ORDERING INFORMATION

For more information on our products, please visit our website at www.onsemi.com.

For more information on our products, please visit our website at www.onsemi.com.

MMBV2101LT1 Series, MV2105, MV2101, MV2109, LV2209

Device	Marking	Package	Shipping†	C _T , Diode Capacitance V _R = 4.0 Vdc, f = 1.0 MHz pF			Q, Figure of Merit V _R = 4.0 Vdc, f = 50 MHz	TR, Tuning Ratio C ₂ /C ₃₀ f = 1.0 MHz		
				Min	Nom	Max	Typ	Min	Typ	Max
MMBV2101LT1	M4G	SOT-23	3,000 / Tape & Reel	6.1	6.8	7.5	450	2.5	2.7	3.2
MMBV2101LT1G	M4G	SOT-23 (Pb-Free)	3,000 / Tape & Reel	6.1	6.8	7.5	450	2.5	2.7	3.2
MMBV2101L	M4G	SOT-23	Bulk (Note 1)	6.1	6.8	7.5	450	2.5	2.7	3.2
MV2101	MV2101	TO-92	1,000 per Box	6.1	6.8	7.5	450	2.5	2.7	3.2
MV2101G	MV2101	TO-92 (Pb-Free)	1,000 per Box	6.1	6.8	7.5	450	2.5	2.7	3.2
MMBV2103LT1	4H	SOT-23	3,000 / Tape & Reel	9.0	10	11	400	2.5	2.9	3.2
MMBV2105LT1	4U	SOT-23	3,000 / Tape & Reel	13.5	15	16.5	400	2.5	2.9	3.2
MMBV2105LT1G	4U	SOT-23 (Pb-Free)	3,000 / Tape & Reel	13.5	15	16.5	400	2.5	2.9	3.2
MMBV2105L	4U	SOT-23	Bulk (Note 1)	13.5	15	16.5	400	2.5	2.9	3.2
MV2105	MV2105	TO-92	1,000 per Box	13.5	15	16.5	400	2.5	2.9	3.2
MV2105G	MV2105	TO-92 (Pb-Free)	1,000 per Box	13.5	15	16.5	400	2.5	2.9	3.2
MMBV2107LT1	4W	SOT-23	3,000 / Tape & Reel	19.8	22	24.2	350	2.5	2.9	3.2
MMBV2107LT1G	4W	SOT-23 (Pb-Free)	3,000 / Tape & Reel	19.8	22	24.2	350	2.5	2.9	3.2
MMBV2107L	4W	SOT-23	Bulk (Note 1)	19.8	22	24.2	350	2.5	2.9	3.2
MMBV2108LT1	4X	SOT-23	3,000 / Tape & Reel	24.3	27	29.7	300	2.5	3.0	3.2
MMBV2108LT1G	4X	SOT-23 (Pb-Free)	3,000 / Tape & Reel	24.3	27	29.7	300	2.5	3.0	3.2
LV2209	LV2209	TO-92	1,000 per Box	29.7	33	36.3	200	2.5	3.0	3.2
MMBV2109LT1	4J	SOT-23	3,000 / Tape & Reel	29.7	33	36.3	200	2.5	3.0	3.2
MMBV2109LT1G	4J	SOT-23 (Pb-Free)	3,000 / Tape & Reel	29.7	33	36.3	200	2.5	3.0	3.2
MMBV2109L	4J	SOT-23	Bulk (Note 1)	29.7	33	36.3	200	2.5	3.0	3.2
MV2109	MV2109	TO-92	1,000 per Box	29.7	33	36.3	200	2.5	3.0	3.2
MV2109G	MV2109	TO-92 (Pb-Free)	1,000 per Box	29.7	33	36.3	200	2.5	3.0	3.2

†For information on tape and reel specifications, including part orientation and tape sizes, please refer to our Tape and Reel Packaging Specification Brochure, BRD8011/D.

1. MMBV2101LT1, MMBV2105LT1, MMBV2107LT1 thru MMBV2109LT1, are also available in bulk. Use the device title and drop the "T1" suffix when ordering any of these devices in bulk.

PARAMETER TEST METHODS

1. C_T, DIODE CAPACITANCE

(C_T = C_C + C_J). C_T is measured at 1.0 MHz using a capacitance bridge (Boonton Electronics Model 75A or equivalent).

2. TR, TUNING RATIO

TR is the ratio of C_T measured at 2.0 Vdc divided by C_T measured at 30 Vdc.

3. Q, FIGURE OF MERIT

Q is calculated by taking the G and C readings of an admittance bridge at the specified frequency and substituting in the following equations:

$$Q = \frac{2\pi f C}{G}$$

(Boonton Electronics Model 33AS8 or equivalent). Use Lead Length ≈ 1/16".

4. TC_C, DIODE CAPACITANCE TEMPERATURE COEFFICIENT

TC_C is guaranteed by comparing C_T at V_R = 4.0 Vdc, f = 1.0 MHz, T_A = -65°C with C_T at V_R = 4.0 Vdc, f = 1.0 MHz, T_A = +85°C in the following equation, which defines TC_C:

$$TC_C = \left| \frac{C_T(+85^\circ C) - C_T(-65^\circ C)}{85 + 65} \right| \cdot \frac{10^6}{C_T(25^\circ C)}$$

Accuracy limited by measurement of C_T to ±0.1 pF.

MMBV210LT1 Series, MV210E, MV210I, MV210G, MV210L

Device	Marking	Package	Shipping	C _T Diode Capacitance V _R = 2.0 Vdc, I _F = 1.0 MHz			Q ₁ Figure of Merit V _R = 1.0 Vdc, I _F = 30 MHz		TR _r Tuning Ratio C _T C _D	
				Min	Typ	Max	Typ	Max	Typ	Max
MMBV210LT1	MAG	SOT-23	3,000 Tape & Reel	0.1	0.3	0.8	150	2.1	2.7	2.5
MMBV210LT1G	MAG	SOT-23 (Pb-Free)	3,000 Tape & Reel	0.1	0.3	0.8	150	2.1	2.7	2.5
MMBV210L	MAG	SOT-23	1,000 per Box	0.1	0.3	0.8	150	2.1	2.7	2.5
MV210I	MV210I	TO-92	1,000 per Box	0.1	0.3	0.8	150	2.1	2.7	2.5
MV210G	MV210I	TO-92 (Pb-Free)	1,000 per Box	0.1	0.3	0.8	150	2.1	2.7	2.5
MMBV210LT1	4H	SOT-23	3,000 Tape & Reel	0.1	0.3	0.8	150	2.1	2.7	2.5
MMBV210LT1	4I	SOT-23	3,000 Tape & Reel	0.1	0.3	0.8	150	2.1	2.7	2.5
MMBV210LT1G	4J	SOT-23 (Pb-Free)	3,000 Tape & Reel	0.1	0.3	0.8	150	2.1	2.7	2.5
MMBV210L	4U	SOT-23	1,000 per Box	0.1	0.3	0.8	150	2.1	2.7	2.5
MV210E	MV210E	TO-92	1,000 per Box	0.1	0.3	0.8	150	2.1	2.7	2.5
MV210L	MV210E	TO-92 (Pb-Free)	1,000 per Box	0.1	0.3	0.8	150	2.1	2.7	2.5
MMBV210LT1	4W	SOT-23	3,000 Tape & Reel	0.1	0.3	0.8	150	2.1	2.7	2.5
MMBV210LT1G	4W	SOT-23 (Pb-Free)	3,000 Tape & Reel	0.1	0.3	0.8	150	2.1	2.7	2.5
MMBV210L	4W	SOT-23	1,000 per Box	0.1	0.3	0.8	150	2.1	2.7	2.5
MMBV210LT1	4X	SOT-23	3,000 Tape & Reel	0.1	0.3	0.8	150	2.1	2.7	2.5
MMBV210LT1G	4X	SOT-23 (Pb-Free)	3,000 Tape & Reel	0.1	0.3	0.8	150	2.1	2.7	2.5
MV210E	MV210E	TO-92	1,000 per Box	0.1	0.3	0.8	150	2.1	2.7	2.5
MMBV210LT1	4J	SOT-23	3,000 Tape & Reel	0.1	0.3	0.8	150	2.1	2.7	2.5
MMBV210LT1G	4J	SOT-23 (Pb-Free)	3,000 Tape & Reel	0.1	0.3	0.8	150	2.1	2.7	2.5
MV210E	MV210E	TO-92	1,000 per Box	0.1	0.3	0.8	150	2.1	2.7	2.5
MV210G	MV210E	TO-92 (Pb-Free)	1,000 per Box	0.1	0.3	0.8	150	2.1	2.7	2.5

For information on tape and reel specifications, including part orientation and tape width, please refer to our Tape and Reel Packaging Specifications (B320B11D).
 1. MMBV210LT1, MMBV210LT1G, MV210E, MV210L, and MV210G are also available in bulk. Use the device file and drop the "B" suffix when ordering any of these devices in bulk.

PARAMETER TEST METHODS

1. C_T DIODE CAPACITANCE

(C_T = C_J + C_D) C_T is measured at 1.0 MHz using a capacitance bridge (Boonton Electronics Model 757 or equivalent).

2. TR_r TUNING RATIO

TR_r is the ratio of C_T measured at 2.0 Vdc divided by C_T measured at 30 Vdc.

3. Q₁ FIGURE OF MERIT

Q₁ is calculated by dividing the Q and C readings of an admittance bridge at the specified frequency and substituting in the following equation:

$$Q_1 = \frac{2\pi f C}{\omega}$$

(Boonton Electronics Model 757 or equivalent) Use 1.0 MHz and length = 100 μm.

4. T_C DIODE CAPACITANCE TEMPERATURE COEFFICIENT

T_C is determined by comparing C_T at V_R = 2.0 Vdc, I_F = 1.0 MHz, T₁ = -65°C with C_T at V_R = 2.0 Vdc, I_F = 1.0 MHz, T₂ = +85°C in the following equation, which defines T_C:

$$T_C = \frac{C_{T2} - C_{T1}}{C_{T1} + 88(C_2 - C_1 - C_{T1})} \times 100$$

*Accuracy limited by measurement of C_T at 1.0 MHz.

MMBV2101LT1 Series, MV2105, MV2101, MV2109, LV2209

TYPICAL DEVICE CHARACTERISTICS

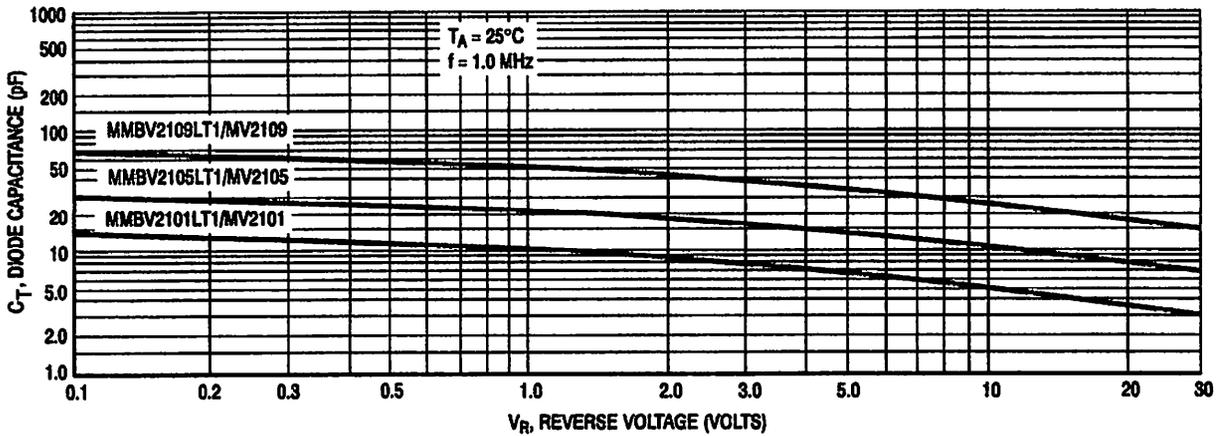


Figure 1. Diode Capacitance versus Reverse Voltage

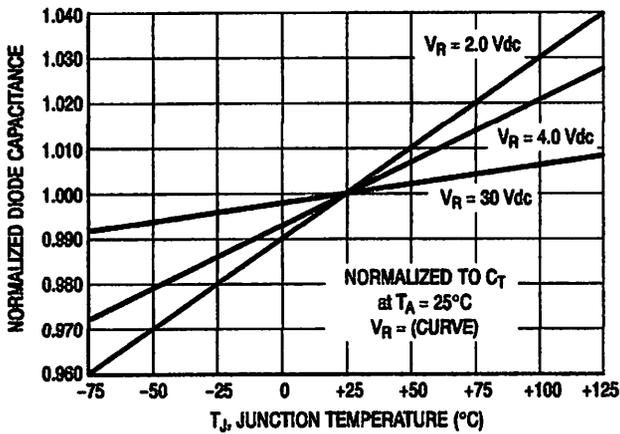


Figure 2. Normalized Diode Capacitance versus Junction Temperature

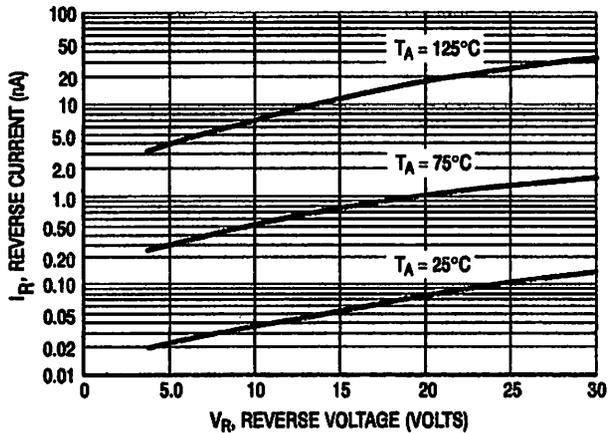


Figure 3. Reverse Current versus Reverse Bias Voltage

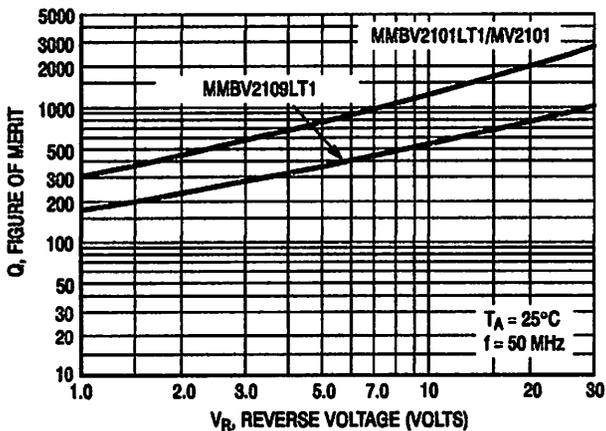


Figure 4. Figure of Merit versus Reverse Voltage

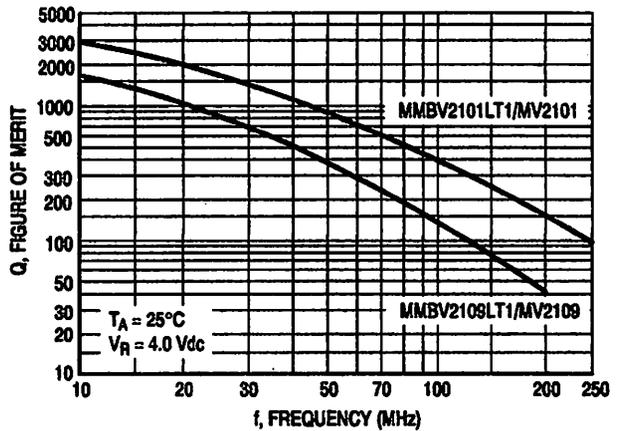


Figure 5. Figure of Merit versus Frequency

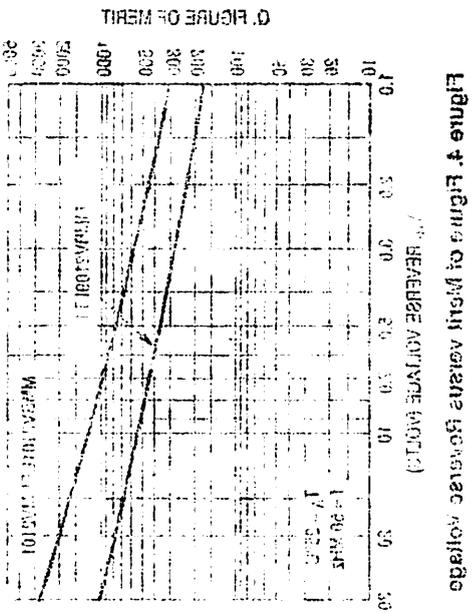


Figure 4. Figure of Merit versus Reverse Voltage

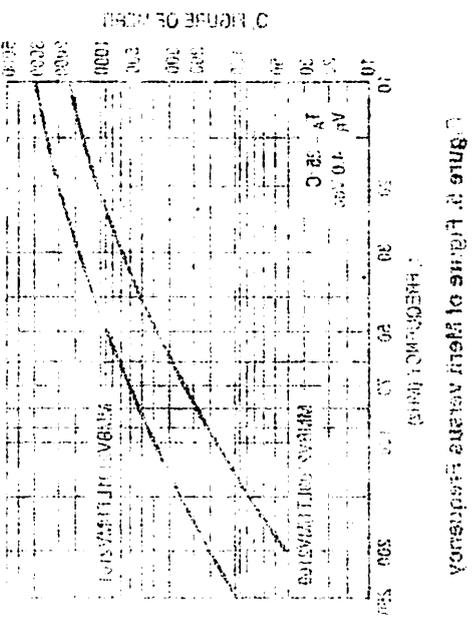


Figure 5. Figure of Merit versus Frequency

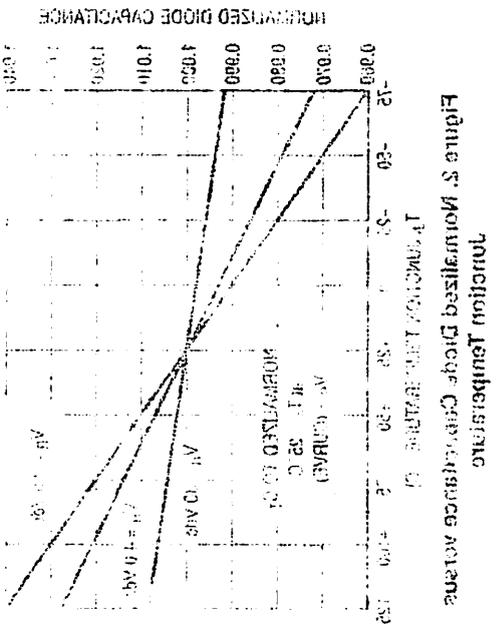


Figure 6. Normalized Diode Capacitance versus Transition Time

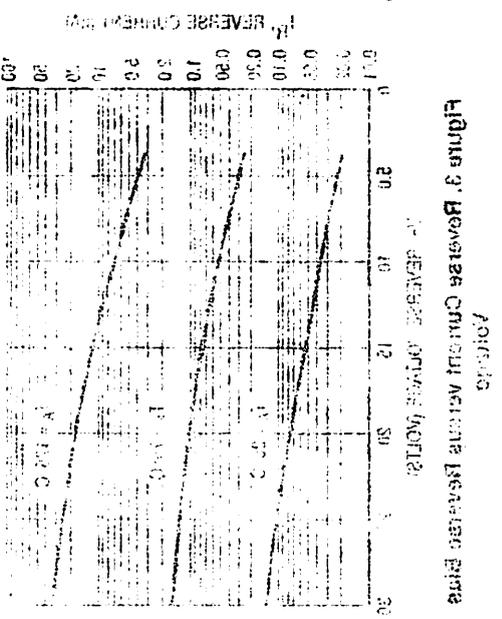


Figure 7. Reverse Current versus Reverse Voltage

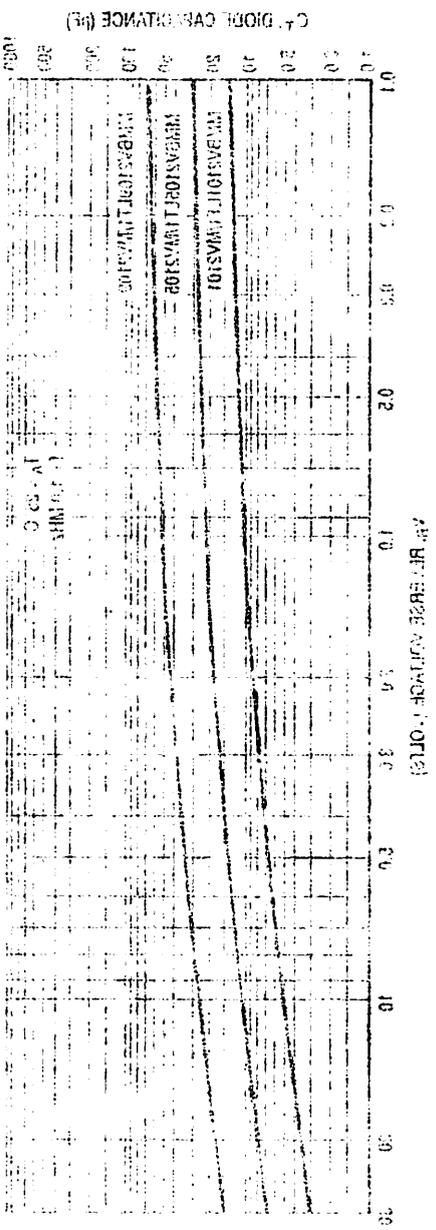


Figure 8. Diode Capacitance versus Reverse Voltage

TYPICAL DEVICE CHARACTERISTICS

MWPAS101TL1 Series MWS102, MWS103, MWS103, MWS103

No. C862H

LB3500




Monolithic Digital Integrated Circuit 1/8 PRESCALER FOR PLL ELECTRONIC TUNING

The LB3500 is an ECL prescaler with 1/8 frequency division ratio developed for use in PLL electronic tuning FM radio application. Adoption of high performance bipolar process enables the frequency division of 150MHz max.

Features

- FM frequency can be divided into C-MOS operating frequency.
- Control pin is provided to inhibit the operation of prescaler when it is not in use.
- If used in conjunction with our PLL synthesizer LC7220, electronic tuning system can be formed.

Absolute Maximum Ratings at $T_a=25^\circ\text{C}$

Maximum Supply Voltage	V_{CCmax}	8	V
Allowable Power Dissipation	P_{dmax}	200	mW
Operating Temperature	T_{opg}	-20 to +80	$^\circ\text{C}$
Storage Temperature	T_{stg}	-40 to +125	$^\circ\text{C}$

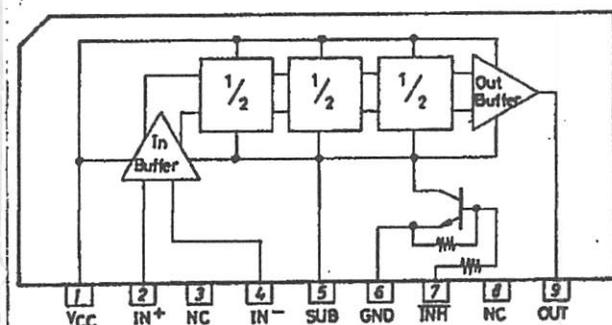
Allowable Operating Condition at $T_a=25^\circ\text{C}$

Supply Voltage Range	V_{CC}	min	typ	max	unit
		4.5		5.5	V

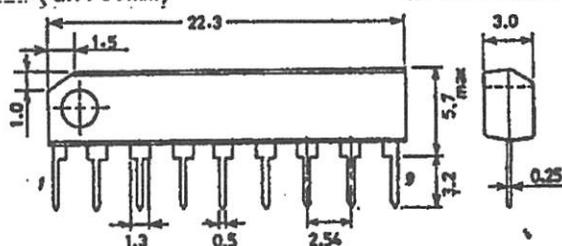
Electrical Characteristics at $T_a=25^\circ\text{C}$

Current Dissipation	I_{CC}	min	typ	max	unit	
			16	24	mA	
Maximum Operating Frequency	f_{max}	$v_{in}=150\text{mV}_{rms}$		150	MHz	
Minimum Operating Frequency	f_{min}	$v_{in}=150\text{mV}_{rms}$		30	MHz	
Input Voltage Range	V_{IN}			100	mV_{rms}	
Output Amplitude	V_{OUT}			0.9	Vp-p	
INH Pin High Level Voltage	$V_{INH(H)}$			3	5.5	V

Equivalent Circuit Block Diagram and Pin Assignment



Case Outline 3017B-S9IC (unit:mm)



SANYO: SEP9

These specifications are subject to change without notice.

TOKYO SANYO ELECTRIC CO., LTD. SEMICONDUCTOR DIVISION
15-13 G-CHOME, SOTOKANDA, CHIYODA-KU, TOKYO 101 JAPAN

E5081KI No. 862-1/2

LB3500
Monolithic Digital Integrated Circuit
1/8 PRESCALER FOR PLL ELECTRONIC TUNING

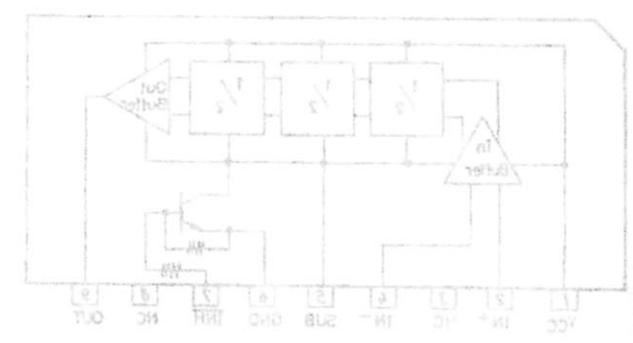
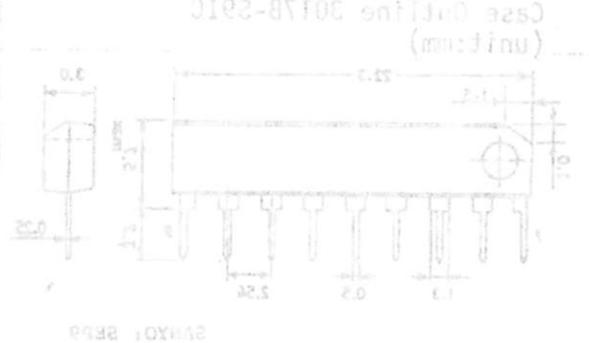


The LB3500 is an SCL prescaler with 1/8 frequency division ratio developed for use in PLL electronic tuning FM radio application. Adoption of high performance bipolar process enables the frequency division of 150MHz max.

Features
 • FM frequency can be divided into 0-NOS operating frequency.
 • Control pin is provided to inhibit the operation of prescaler when it is not in use.
 • It used in conjunction with our PLL synthesizer LB3520, electronic tuning system can be formed.

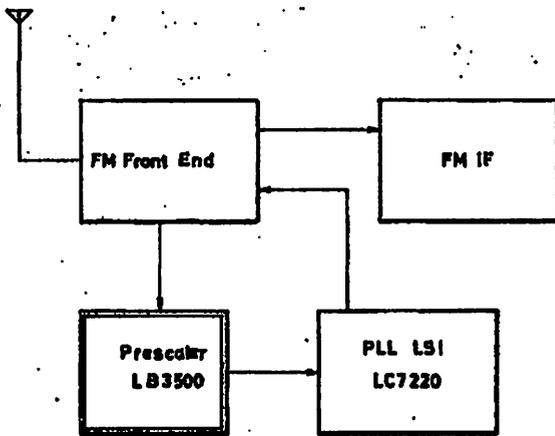
Absolute Maximum Ratings at $T_a = 25^\circ\text{C}$		
Maximum Supply Voltage	V_{CCmax}	8 V
Allowable Power Dissipation	P_{Dmax}	200 mW
Operating Temperature	T_{opg}	-20 to +80 $^\circ\text{C}$
Storage Temperature	T_{stg}	-40 to +125 $^\circ\text{C}$
Allowable Operating Condition at $T_a = 25^\circ\text{C}$		
Supply Voltage Range	V_{CC}	4.5 to 5.5 V
Electrical Characteristics at $T_a = 25^\circ\text{C}$		
Current Dissipation	I_{CC}	min. 10 μA typ. 20 μA max. 30 μA
Maximum Operating Frequency	f_{max}	150 MHz
Minimum Operating Frequency	f_{min}	100 MHz
Input Voltage Range	V_{IN}	0.9 Vp-p
Output Amplitude	V_{OUT}	2.5 V
1MHz pin High Level Voltage	$V_{IH}(H)$	3 V

Equivalent Circuit Block Diagram and Pin Assignment

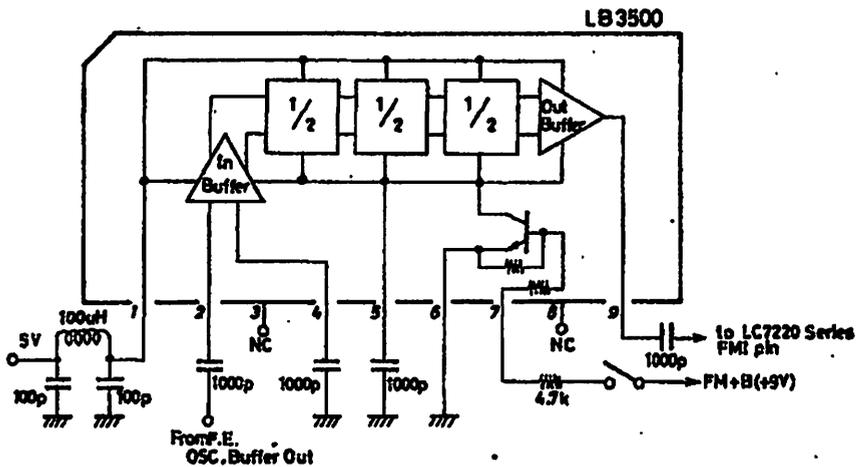


These specifications are subject to change without notice.
 TOKYO SANYO ELECTRIC CO., LTD. SEMICONDUCTOR DIVISION
 1-1-1 CHUO-KU, TOKYO, JAPAN

SANYO PLL Synthesizer Tuner System



Application Circuit



Information furnished by SANYO is believed to be accurate and reliable. However, no responsibility is assumed by SANYO for its use; nor for any infringements of patents or other rights of third parties which may result from its use, and no license is granted by implication or otherwise under any patent or patent rights of SANYO.

TC9122P

T-45-23-33

TC9122P HIGH-SPEED BCD PROGRAMMABLE COUNTER

TC9122P is high-speed programmable counter of C-MOS structure developed for PLL circuits and various frequency dividers, and is provided with the following features.

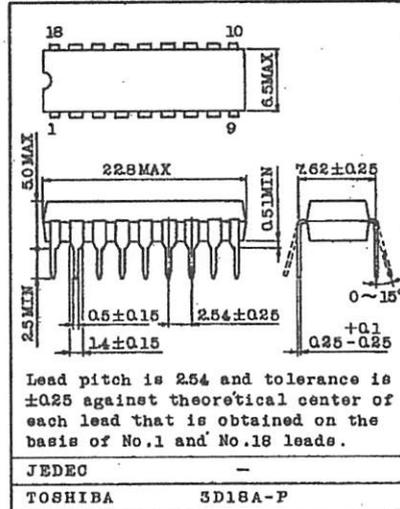
- Permits epoch-making high-speed operation for C-MOS structure.

$$f_{\max} = 15\text{MHz} \quad \left(\begin{array}{l} V_{\text{DD}}=7.5\text{V} \\ T_{\text{a}}=-30 \sim 75^{\circ}\text{C} \\ V_{\text{IN}}=2.0\text{Vp-p} \end{array} \right)$$
- Program data are input by means of BCD code, allowing frequency division of 8 ~ 3999.
- Built-in self-bias type amplifier for divided frequency signal input is capable of operation by small signal in combination with capacitor.
- C-MOS structure provides wide range of operational supply voltage (4.5 ~ 8.5V) and simplification of design.

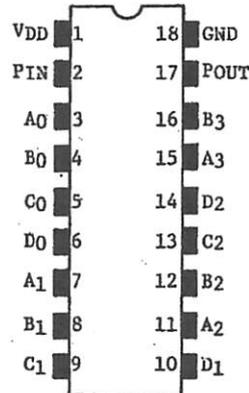
MAXIMUM RATINGS ($T_{\text{a}}=25^{\circ}\text{C}$)

CHARACTERISTIC	SYMBOL	RATING	UNIT
Supply Voltage	VDD	-0.3 ~ 10	V
Input Voltage	VIN	-0.3 ~ VDD+0.3	V
Operating Temp.	Topr	-30 ~ 75	°C
Storage Temperature	Tstg	-55 ~ 125	°C

Unit in mm



PIN CONNECTION

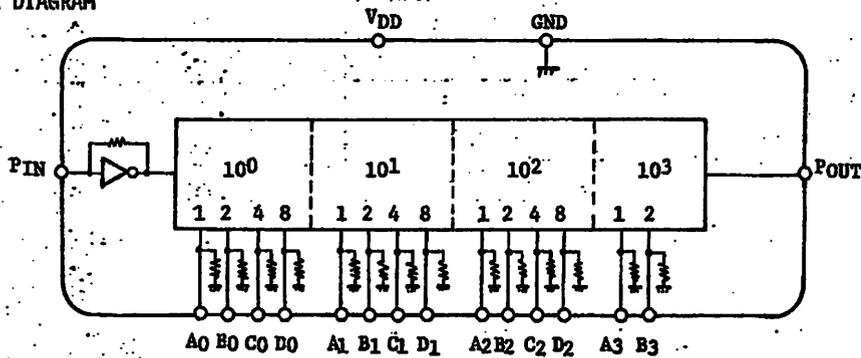


AUDIO DIGITAL IC

FUNCTIONAL DESCRIPTION OF EACH TERMINAL

PIN NO.	SYMBOL	NAME	FUNCTIONAL DESCRIPTION	REMARKS																																																																																																																
2	PIN	Programmable counter input terminal	Divided frequency signal input terminal of programmable counter. Built-in self-bias amplifier is capable of operation by small signal in combination with capacitor.	Built-in amplifier 																																																																																																																
3~16	A0 ~ D0 A1 ~ D2 A2 ~ D2 A3, B3	$\times 10^0$ $\times 10^1$ $\times 10^2$ Program input terminal $\times 10^3$	Input terminals to establish frequency division ratio N by BCD. Program data allow frequency division of 8~3999 by 3 $\frac{1}{2}$ -digit BCD. The following frequency division ratio combinations are inhibited. <table border="1" style="font-size: small;"> <tr> <td>A0</td><td>B0</td><td>C0</td><td>D0</td><td>A1</td><td>B1</td><td>C1</td><td>D1</td><td>A2</td><td>B2</td><td>C2</td><td>D2</td><td>A3</td><td>A3</td> </tr> <tr> <td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td> </tr> <tr> <td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td> </tr> <tr> <td>1</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td> </tr> <tr> <td>0</td><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td> </tr> <tr> <td>1</td><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td> </tr> <tr> <td>0</td><td>1</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td> </tr> <tr> <td>1</td><td>1</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td> </tr> </table>	A0	B0	C0	D0	A1	B1	C1	D1	A2	B2	C2	D2	A3	A3	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	Full/down resistor contained in each terminal. 
A0	B0	C0	D0	A1	B1	C1	D1	A2	B2	C2	D2	A3	A3																																																																																																							
1	0	0	0	0	0	0	0	0	0	0	0	0	0																																																																																																							
0	1	0	0	0	0	0	0	0	0	0	0	0	0																																																																																																							
1	1	0	0	0	0	0	0	0	0	0	0	0	0																																																																																																							
0	0	1	0	0	0	0	0	0	0	0	0	0	0																																																																																																							
1	0	1	0	0	0	0	0	0	0	0	0	0	0																																																																																																							
0	1	1	0	0	0	0	0	0	0	0	0	0	0																																																																																																							
1	1	1	0	0	0	0	0	0	0	0	0	0	0																																																																																																							
17	POUT	Programmable counter output terminal	Output terminal of programmable counter. This terminal is for 1/N frequency output of PIN input frequency. Pulse width is for 5 bits of input.																																																																																																																	
1, 18	VDD GND		Terminal to which supply voltage is applied.																																																																																																																	

BLOCK DIAGRAM



TC9122P

T-45-23-33

ELECTRICAL CHARACTERISTICS (Unless otherwise specified Ta=25°C, V_{DD}=7.5V)

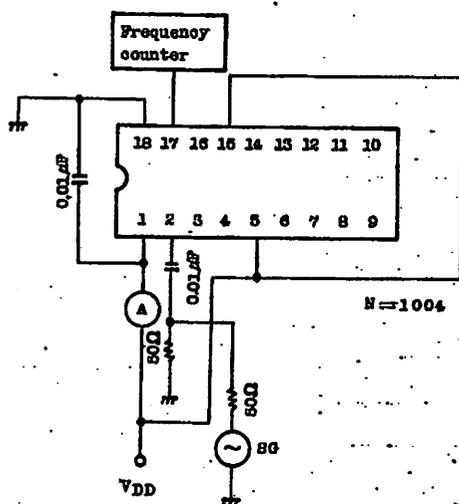
CHARACTERISTIC	SYMBOL	TEST CIRCUIT	TEST CONDITION	MIN.	TYP.	MAX.	UNIT
Operating Supply Voltage	V _{DD}	-	-	4.5	~	8.5	V
Operating Input Amplitude	V _{IN}	-	-	2.0	~	7.0	V _{p-p}
Operating Supply Current	I _{DD}	1	f _{IN} =15MHz, V _{IN} =2.0V _{p-p}	-	15	30	mA
Input Voltage	"H" Level	V _{IH}	-	5.5	-	-	V
	"L" Level	V _{IL}	-	-	-	2.0	V
Output Voltage	"H" Level	V _{OH}	I _{OH} =-0.5mA	6.5	-	-	V
	"L" Level	V _{OL}	I _{OL} =0.5mA	-	-	1.0	V
Operating Frequency Range	f _{opr}	1	(Note 1)	1	~	15	MHz
Input Pull Down Resistance	R _{IN}	-	-	20	-	80	kΩ
Amp. Feedback Resistance	R _f	-	-	100	-	500	kΩ

(Note 1) This operational frequency satisfies the specification during the following conditions.

$$V_{DD} = 7.5V \pm 10\%, \quad V_{IN} = 2.0V_{p-p}, \quad T_a = -30 \sim 75^\circ C$$

TEST CIRCUIT 1

I_{DD}, f_{opr}



AUDIO DIGITAL IC

150125P
 1-12-53 22



ELECTRICAL CHARACTERISTICS (Balance characteristics specified in 150125P)

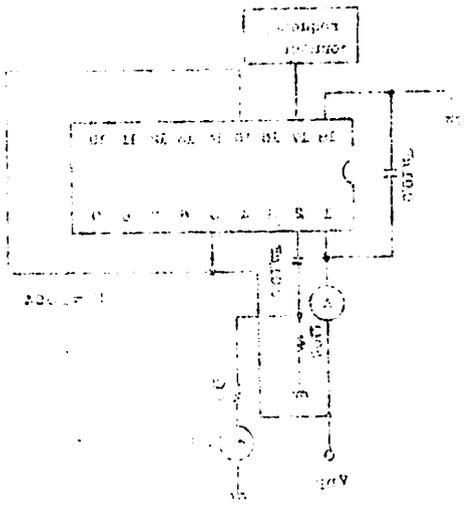
CHARACTERISTIC	TEST METHOD	TEST CONDITION	MIN.	TYP.	MAX.
Operating Supply Voltage	VDD	-	2.5	-	-
Operating Input Resistance	VIN	-	2.0	-	-
Operating Supply Current	IDD	VIN = 2.5V, VDD = 2.5V	-	15	30
Input Voltage "H" Level	VIH	-	2.0	-	-
Input Voltage "L" Level	VIL	-	-	-	2.0
Output Voltage "H" Level	VOH	VDD = 2.5V, IOL = 100µA	-	-	2.0
Output Voltage "L" Level	VOL	VDD = 2.5V, IOH = 100µA	-	-	1.0
Operating Frequency Range	foper	-	-	-	100
Input Pull Down Resistance	Rin	-	20	-	80
Output Resistance	RO	-	100	-	200

(Note 1) Test up internal frequency variation the speed of loading the following conditions

VDD = 2.5V ± 10%, VIN = 2.0V ± 10%, IOL = 100µA, IOH = 100µA

TEST CIRCUIT I

150125P



ALPHA DIGITAL CORP.

CD4046B Types

CMOS Micropower Phase-Locked Loop

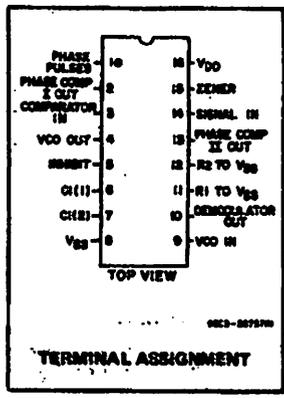
■ **CD4046B CMOS Micropower Phase-Locked Loop (PLL)** consists of a low-power, linear voltage-controlled oscillator (VCO) and two different phase comparators having a common signal-input amplifier and a common comparator input. A 5.2-V zener diode is provided for supply regulation if necessary.

The CD4046B types are supplied in 16-lead hermetic dual-in-line ceramic packages (F3A suffix), 16-lead dual-in-line plastic packages (E suffix), 16-lead small-outline packages (NSR suffix), and 16-lead thin shrink small-outline packages (PW and PWR suffixes).

VCO Section

The VCO requires one external capacitor C1 and one or two external resistors (R1 or R1 and R2). Resistor R1 and capacitor C1 determine the frequency range of the VCO and resistor R2 enables the VCO to have a frequency offset if required. The high input impedance (10¹²Ω) of the VCO simplifies the design of low-pass filters by permitting the designer a wide choice of resistor-to-capacitor ratios. In order not to load the low-pass filter, a source-follower output of the VCO input voltage is provided at terminal 10 (DEMODULATED OUTPUT). If this terminal is used, a load resistor (R_S) of 10 kΩ or more should be connected from this terminal to V_{SS}. If unused this terminal should be left open. The VCO can be connected either directly or through frequency dividers to the comparator input of the phase comparators. A full CMOS logic swing is available at the output of the VCO and allows direct coupling to CMOS frequency dividers such as the RCA-CD4024, CD4018, CD4020, CD4022, CD4029, and CD4069. One or more CD4018 (Presettable Divide-by-N Counter) or CD4029 (Presettable Up/Down Counter), or CD4059A (Programmable Divide-by-N Counter), together with the CD4046B (Phase-Locked Loop) can be used to build a micropower low-frequency synthesizer. A logic 0 on the INHIBIT input "enables" the VCO and the source follower, while a logic 1 "turns off" both to minimize stand-by power consumption.

- Features:**
- Very low power consumption: 70 μW (typ.) at VCO f_o = 10 kHz, V_{DD} = 5 V
 - Operating frequency range up to 1.4 MHz (typ.) at V_{DD} = 10 V, R_I = 5 kΩ
 - Low frequency drift: 0.04%/°C (typ.) at V_{DD} = 10 V
 - Choice of two phase comparators: Exclusive-OR network (I) Edge-controlled memory network with phase-pulse output for lock indication (II)
 - High VCO linearity: <1% (typ.) at V_{DD} = 10 V
 - VCO inhibit control for ON-OFF keying and ultra-low standby power consumption
 - Source-follower output of VCO control input (Demod. output)
 - Zener diode to assist supply regulation
 - Standardized, symmetrical output characteristics
 - 100% tested for quiescent current at 20 V
 - 5-V, 10-V, and 15-V parametric ratings
 - Meets all requirements of JEDEC Tentative Standard No. 13B, "Standard Specifications for Description of 'B' Series CMOS Devices"



- Applications:**
- FM demodulator and modulator
 - Frequency synthesis and multiplication
 - Frequency discriminator
 - Data synchronization
 - Voltage-to-frequency conversion
 - Tone decoding
 - FSK - Modems
 - Signal conditioning
 - (See ICAN-6101) "RCA COS/MOS Phase-Locked Loop - A Versatile Building Block for Micropower Digital and Analog Applications"

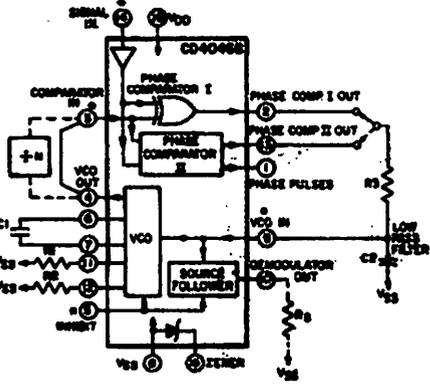
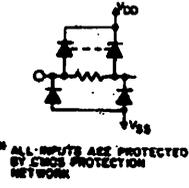


Fig. 1 - CMOS phase-locked loop block diagram.



MAXIMUM RATINGS, Absolute-Maximum Values:

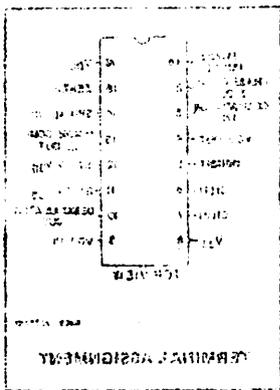
DC SUPPLY-VOLTAGE RANGE, (V _{DD})	-0.5V to +20V
Voltages-referenced to V _{SS} Terminal)	
INPUT VOLTAGE RANGE, ALL INPUTS	-0.5V to V _{DD} +0.5V
DC INPUT CURRENT, ANY ONE INPUT	±10mA
POWER DISSIPATION PER PACKAGE (P _D):	
For T _A = -55°C to +100°C	500mW
For T _A = +100°C to +125°C	Derate Linearly at 12mW/°C to 200mW
DEVICE DISSIPATION PER OUTPUT TRANSISTOR	
FOR T _A = FULL PACKAGE-TEMPERATURE RANGE (All Package Types)	100mW
OPERATING-TEMPERATURE RANGE (T _J)	-55°C to +125°C
STORAGE TEMPERATURE RANGE (T _{STG})	-65°C to +150°C
LEAD TEMPERATURE (DURING SOLDERING):	
At distance 1/16 ± 1/32 inch (1.59 ± 0.79mm) from case for 10s max	+265°C

Phase Comparators

The phase-comparator signal input (terminal 14) can be direct-coupled provided the signal swing is within CMOS logic levels [logic "0" <30% (V_{DD}-V_{SS}), logic "1" > 70% (V_{DD}-V_{SS})]. For smaller swings the signal must be capacitively coupled to the self-biasing amplifier at the signal input.

Phase comparator I is an exclusive-OR network; it operates analogously to an over-driven balanced mixer. To maximize the lock range, the signal- and comparator-input frequencies must have a 50% duty cycle. With no signal or noise on the signal input, this phase comparator has an average output voltage equal to V_{DD}/2. The low-pass filter connected to the output of phase comparator

CD4049B Types



- High VCC threshold (110% of VCC = 10 V)
- VCC input control for ON-DETECTing and output of high power output
- Output for 10 mA (typical)
- High VCC threshold (110% of VCC = 10 V)
- VCC input control for ON-DETECTing and output of high power output
- Output for 10 mA (typical)
- Exclusive OR network (inverter)
- Output of two phase inverter
- Low frequency (100 kHz) of VCC = 10 V
- VCC = 10 V, R_I = 8.2 kΩ
- Output frequency range up to 10 MHz (typical)
- Very low power consumption



FIG. 1 - CD4049B

Power Consumption
 The maximum power dissipation of the device is limited by the ambient temperature. The maximum power dissipation is limited by the ambient temperature. The maximum power dissipation is limited by the ambient temperature. The maximum power dissipation is limited by the ambient temperature.

- Storage temperature range: -55°C to +125°C
- Operating temperature range: -55°C to +125°C
- Maximum power dissipation: 100 mW
- Maximum output current: 10 mA
- Maximum supply current: 10 mA
- Maximum input current: 10 mA
- Maximum output frequency: 10 MHz
- Maximum input frequency: 10 MHz
- Maximum output delay: 10 ns
- Maximum input delay: 10 ns
- Maximum output rise time: 10 ns
- Maximum input rise time: 10 ns
- Maximum output fall time: 10 ns
- Maximum input fall time: 10 ns
- Maximum output propagation delay: 10 ns
- Maximum input propagation delay: 10 ns

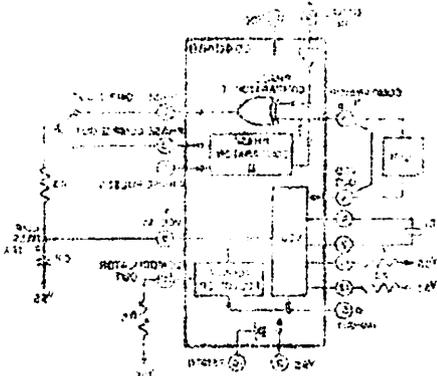
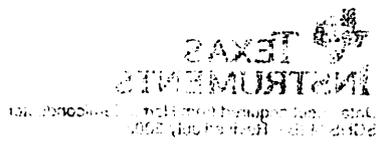


FIG. 2 - CD4049B Internal Logic Diagram

- Maximum power dissipation: 100 mW
- Maximum output current: 10 mA
- Maximum supply current: 10 mA
- Maximum input current: 10 mA
- Maximum output frequency: 10 MHz
- Maximum input frequency: 10 MHz
- Maximum output delay: 10 ns
- Maximum input delay: 10 ns
- Maximum output rise time: 10 ns
- Maximum input rise time: 10 ns
- Maximum output fall time: 10 ns
- Maximum input fall time: 10 ns
- Maximum output propagation delay: 10 ns
- Maximum input propagation delay: 10 ns



Phase-Locked Loop

The CD4049B CMOS inverter provides a phase-locked loop (PLL) circuit of a low-power, high-frequency oscillator. The oscillator is a common emitter circuit with a common emitter resistor. A 2.2 V source is connected to the supply terminal. The output of the supply terminal is connected to the supply terminal. The output of the supply terminal is connected to the supply terminal. The output of the supply terminal is connected to the supply terminal. The output of the supply terminal is connected to the supply terminal.

- Maximum power dissipation: 100 mW
- Maximum output current: 10 mA
- Maximum supply current: 10 mA
- Maximum input current: 10 mA
- Maximum output frequency: 10 MHz
- Maximum input frequency: 10 MHz
- Maximum output delay: 10 ns
- Maximum input delay: 10 ns
- Maximum output rise time: 10 ns
- Maximum input rise time: 10 ns
- Maximum output fall time: 10 ns
- Maximum input fall time: 10 ns
- Maximum output propagation delay: 10 ns
- Maximum input propagation delay: 10 ns

CD4046B Types

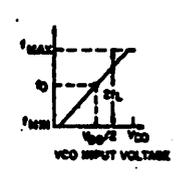
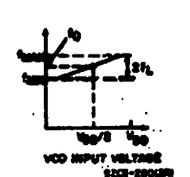
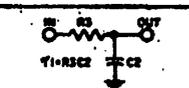
RECOMMENDED OPERATING CONDITIONS at T_A = Full Package-Temperature Range
 For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC	LIMITS		UNITS
	Min.	Max.	
Supply-Voltage Range VCO Section: As Fixed Oscillator Phase-Lock-Loop Operation	3 5	18 18	V
Supply-Voltage Range Phase Comparator Section: Comparators VCO Operation	3 5	18 18	

DESIGN INFORMATION

This information is a guide for approximating the values of external components for the CD4046B in a Phase-Locked-Loop system.

The selected external components must be within the following ranges:
 $5\text{ k}\Omega < R_1, R_2, R_3 < 1\text{ M}\Omega$
 $C_1 > 100\text{ pF}$ at $V_{DD} > 5\text{ V}$;
 $C_1 > 50\text{ pF}$ at $V_{DD} > 10\text{ V}$

Characteristics	Phase Comparator Used	Design Information	
		VCO WITHOUT OFFSET $R_2 = \infty$	VCO WITH OFFSET
VCO Frequency	1		
For No. Signal Input	2	Same as for No. 1	
	1	VCO will adjust to center frequency, f_0	
Frequency Lock Range, $2f_L$	2	VCO will adjust to lowest operating frequency, f_{min}	
	1	$2f_L = \text{full VCO frequency range}$ $2f_L = f_{max} - f_{min}$	
Frequency Capture Range, $2f_C$	2	Same as for No. 1	
	1	 $2f_C \approx \frac{1}{\pi} \sqrt{\frac{2\pi f_0}{R_1}}$	(1), (2) $2f_C \approx \frac{1}{\pi} \sqrt{\frac{2\pi f_0}{R_1}}$
Loop Filter Component Selection	2	For $2f_C$, see Ref. (2)	
	1	$f_C = f_L$	
Phase Angle Between Signal and Comparator	1	90° at center frequency (f_0) approximating 0° and 180° at ends of lock range ($2f_L$)	
	2	Always 0° in lock	
Locks On Harmonic of Center Frequency	1	Yes	
	2	No	
Signal Input Noise Rejection	1	High	
	2	Low	

For further information, see

- (1) F. Gardner, "Phase-Lock Techniques" John Wiley and Sons, New York, 1966
- (2) G. S. Moschytz, "Miniaturized RC Filters Using Phase-Locked Loop", BSTJ, May, 1965.

It supplies the averaged voltage to the VCO input, and causes the VCO to oscillate at the center frequency (f_0).

The frequency range of input signals on which the PLL will lock if it was initially out of lock is defined as the frequency capture range ($2f_C$).

The frequency range of input signals on which the loop will stay locked if it was initially in lock is defined as the frequency lock range ($2f_L$). The capture range is \leq the lock range.

With phase comparator I the range of frequencies over which the PLL can acquire lock (capture range) is dependent on the low-pass-filter characteristics, and can be made as large as the lock range. Phase-comparator I enables a PLL system to remain in lock in spite of high amounts of noise in the input signal.

One characteristic of this type of phase comparator is that it may lock onto input frequencies that are close to harmonics of the VCO center-frequency. A second characteristic is that the phase angle between the signal and the comparator input varies between 0° and 180° , and is 90° at the center frequency. Fig. 2 shows the typical, triangular, phase-to-output response characteristic of phase-comparator I. Typical waveforms for a CMOS phase-locked-loop employing phase comparator I in locked condition of f_0 is shown in Fig. 3.

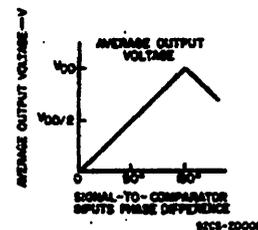


Fig. 2 — Phase-comparator I characteristics at low-pass filter output.

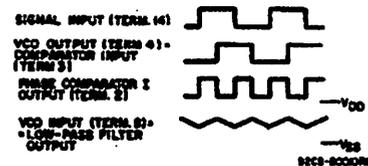


Fig. 3—Typical waveforms for CMOS phase-locked loop employing phase comparator I in locked condition of f_0 .

Phase-comparator II is an edge-controlled digital memory network. It consists of four flip-flop stages, control gating, and a three-state output circuit comprising p- and n-type drivers having a common output node. When the p-MOS or n-MOS drivers are ON they pull the output up to V_{DD} or down to V_{SS} , respectively. This type of phase comparator acts only on the positive edges of the signal and comparator inputs. The duty cycles of the signal and comparator inputs are not important since positive transitions

3
COMMERCIAL CMOS
HIGH VOLTAGE ICs

RECOMMENDED OPERATING CONDITIONS: The Full Package Temperature Range For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC	LIMITS	
	Min.	Max.
VCC Operation	3	18
VCC Operation	3	18
Supply Voltage Range (Phase-Locked Loop Operation)	3	18
Supply Voltage Range (VCO Section)	3	18

DESIGN INFORMATION This information is a guide for approximating the values of external components for the CD4048B in a phase-locked loop system. The selected external components must be within the following ranges:

- 100 pF ≤ R1, R2, R3 ≤ 1 MΩ
- 100 pF ≤ V1 ≤ 10 nF
- 100 pF ≤ V2 ≤ 10 nF

Characteristics	Phase Comparator Used	Design Information
VCO Frequency	1	
For No Signal Input	1, 2, 3	<p>1 VCO with preset (nominal frequency, f₀)</p> <p>2 VCO with input to locked operating frequency, f_{lock}</p> <p>3 f_{lock} = 1/2 VCO frequency range</p>
Phase-Lock Range	1, 2	<p>1 f_{lock} = f₀ ± 10%</p> <p>2 f_{lock} = f₀ ± 5%</p>
Phase-Lock Center	1	
Loop Filter	1	<p>For 2 to 10 kHz (f₀)</p>
Phase Angle between Signal and Comparator	1, 2	<p>1 90° at center frequency (f₀) approximating 0° and 180° at limits of frequency range (f_{lock})</p> <p>2 Always 0° or 180°</p>
Lock-On Frequency	1, 2	<p>1 f_{lock}</p> <p>2 f_{lock}</p>
Signal Input	1, 2	<p>1 f_{lock}</p> <p>2 f_{lock}</p>

For further information see:
 (1) R. Gardner, "Phase-Locked Techniques," John Wiley and Sons, New York, 1966.
 (2) E. S. McHenry, "Analogous RC Filter Using Phase-Locked Loop," BSTJ, May, 1967.

The frequency range of input signals on which the lock will occur is determined initially in lock & defined in the frequency range (Fig. 1). The frequency range of input signals on which the lock will occur is determined initially in lock & defined in the frequency range (Fig. 1). The frequency range of input signals on which the lock will occur is determined initially in lock & defined in the frequency range (Fig. 1).

With phase comparator... The frequency range of input signals on which the lock will occur is determined initially in lock & defined in the frequency range (Fig. 1). The frequency range of input signals on which the lock will occur is determined initially in lock & defined in the frequency range (Fig. 1).

One characteristic of this type of phase comparator is that the phase margin between the reference and the divider output varies between 0° and 180° at the center frequency. Fig. 2 shows the typical phase margin versus frequency for a phase-locked loop system. The phase margin is a measure of the system's stability. A phase margin of 0° indicates that the system is on the verge of instability, while a phase margin of 180° indicates that the system is very stable.

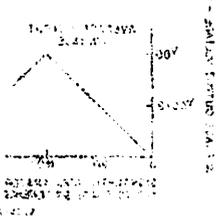


Fig. 1 - Phase margin versus frequency for a phase-locked loop system.

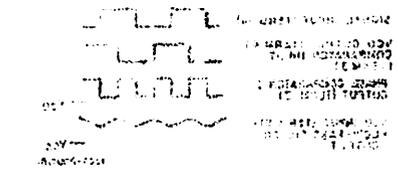


Fig. 2 - Timing diagram for a phase-locked loop system showing the relationship between the reference signal, the divider output, and the phase comparator output.

Phase margin is a measure of the system's stability. A phase margin of 0° indicates that the system is on the verge of instability, while a phase margin of 180° indicates that the system is very stable. The phase margin is a function of the system's frequency response and is a key parameter in the design of phase-locked loops.

HIGH QUALITY LOG COMPASSION

CD4060B Types

CMOS 14-Stage Ripple-Carry Binary Counter/Divider and Oscillator

High-Voltage Types (20-Volt Rating)

■ CD4060B consists of an oscillator section and 14 ripple-carry binary counter stages. The oscillator configuration allows design of either RC or crystal oscillator circuits. A RESET input is provided which resets the counter to the all-O's state and disables the oscillator. A high level on the RESET line accomplishes the reset function. All counter stages are master-slave flip-flops. The state of the counter is advanced one step in binary order on the negative transition of ϕ_1 (and ϕ_0). All inputs and outputs are fully buffered. Schmitt trigger action on the input-pulse line permits unlimited input-pulse rise and fall times.

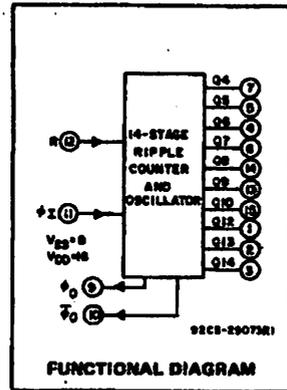
The CD4060B-series types are supplied in 16-lead hermetic dual-in-line ceramic packages (F3A suffix), 16-lead dual-in-line plastic packages (E suffix), 16-lead small-outline packages (M, M96, MT, and NSR suffixes), and 16-lead thin shrink small-outline packages (PW and PWR suffixes).

Features:

- 12 MHz clock rate at 15 V
- Common reset
- Fully static operation
- Buffered inputs and outputs
- Schmitt trigger input-pulse line
- 100% tested for quiescent current at 20 V
- Standardized, symmetrical output characteristics
- 5-V, 10-V, and 15-V parametric ratings
- Meets all requirements of JEDEC Tentative Standard No. 13B, "Standard Specifications for description of "B" Series CMOS Devices"

Oscillator Features:

- All active components on chip
- RC or crystal oscillator configuration
- RC oscillator frequency of 690 kHz min. at 15 V



Applications

- Control counters
- Timers
- Frequency dividers
- Time-delay circuits

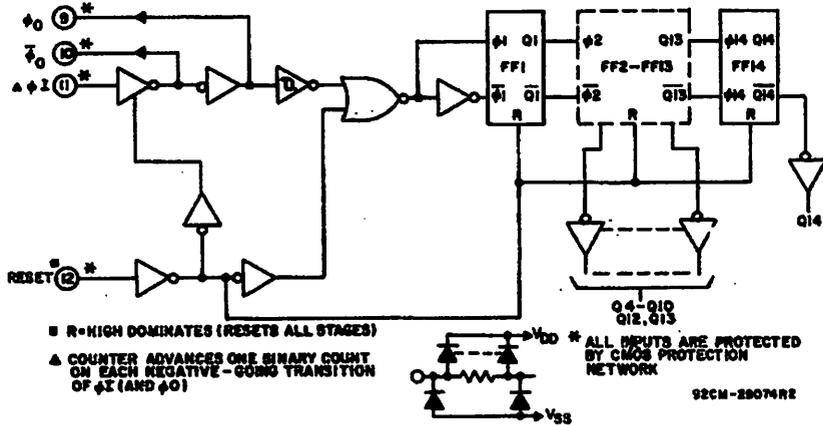


Fig. 1 - Logic diagram.

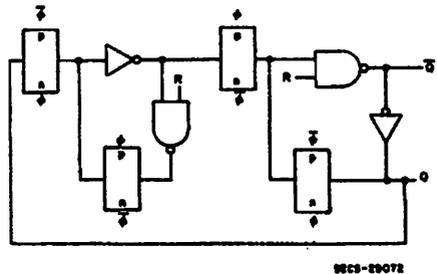


Fig. 2 - Detail of typical flip-flop stage.

MAXIMUM RATINGS: Absolute Maximum Values:

DC SUPPLY-VOLTAGE RANGE, (V_{DD}) Voltage referenced to V_{SS} Terminal)	-0.5V to +20V
INPUT VOLTAGE RANGE, ALL INPUTS	-0.5V to V_{DD} +0.5V
DC INPUT CURRENT, ANY ONE INPUT	±10mA
POWER DISSIPATION PER PACKAGE (P_D):	
For $T_A = -55^\circ\text{C}$ to $+100^\circ\text{C}$	500mW
For $T_A = +100^\circ\text{C}$ to $+125^\circ\text{C}$	Derate Linearly at 12mW/°C to 200mW
DEVICE DISSIPATION PER OUTPUT TRANSISTOR	
FOR $T_A =$ FULL PACKAGE-TEMPERATURE RANGE (All Package Types)	100mW
OPERATING-TEMPERATURE RANGE (T_A)	-55°C to +125°C
STORAGE TEMPERATURE RANGE (T_{stg})	-55°C to +150°C
LEAD TEMPERATURE (DURING SOLDERING):	
At distance 1/16 ± 1/32 inch (1.59 ± 0.79mm) from case for 10s max	+285°C

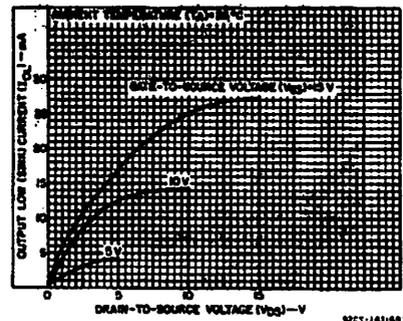


Fig. 3 - Typical n-channel output low (sink) current characteristics.

CD4069B Types

STATIC ELECTRICAL CHARACTERISTICS

CHARACTERISTIC	CONDITIONS			LIMITS AT INDICATED TEMPERATURES (°C)						UNITS	
	V _O (V)	V _{IN} (V)	V _{DD} (V)	-55	-40	+85	+125	+25			
								Min.	Typ.	Max.	
Quiescent Device Current, I _{DD} Max.	—	0.5	5	5	5	150	150	—	0.04	5	μ A
	—	0.10	10	10	10	300	300	—	0.04	10	
	—	0.15	15	20	20	600	600	—	0.04	20	
	—	0.20	20	100	100	3000	3000	—	0.08	100	
Output Low (Sink) Current*, I _{OL} Min.	0.4	0.5	5	0.84	0.61	0.42	0.38	0.51	1	—	mA
	0.5	0.10	10	1.6	1.5	1.1	0.9	1.3	2.6	—	
	1.5	0.15	15	4.2	4	2.8	2.4	3.4	6.8	—	
Output High (Source) Current*, I _{OH} Min.	4.8	0.5	5	-0.84	-0.61	-0.42	-0.38	-0.51	-1	—	mA
	2.5	0.5	5	-2	-1.8	-1.3	-1.16	-1.6	-3.2	—	
	9.5	0.10	10	-1.6	-1.5	-1.1	-0.9	-1.3	-2.6	—	
	13.5	0.15	15	-4.2	-4	-2.8	-2.4	-3.4	-6.8	—	
Output Voltage Low-Level, V _{OL} Max.	—	0.5	5	0.05			—	—	0	0.05	V
	—	0.10	10	0.05			—	—	0	0.05	
	—	0.15	15	0.05			—	—	0	0.05	
Output Voltage High-Level, V _{OH} Min.	—	0.5	5	4.95			—	—	4.95	5	V
	—	0.10	10	8.95			—	—	8.95	10	
	—	0.15	15	14.95			—	—	14.95	15	
Input Low Voltage, V _{IL} Max.	0.5, 4.5	—	5	1.5			—	—	—	1.5	V
	1.9	—	10	3			—	—	—	3	
	1.5, 13.5	—	15	4			—	—	—	4	
Input High Voltage, V _{IH} Min.	0.5, 4.5	—	5	3.5			—	—	3.5	—	V
	1.9	—	10	7			—	—	7	—	
	1.5, 13.5	—	15	11			—	—	11	—	
Input Current I _{IN} Max.	—	0.18	18	± 0.1	± 0.1	± 1	± 1	—	$\pm 10^{-5}$	± 0.1	μ A

* Data not applicable to terminal 9 or 10.

RECOMMENDED OPERATING CONDITIONS

For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges

CHARACTERISTIC	V _{DD}	LIMITS		UNITS
		MIN.	MAX.	
Supply-Voltage Range (For T _A = Full Package Temperature Range)	—	3	18	V
Input-Pulse Width, t _W (f = 100 kHz)	5	100	—	ns
	10	40	—	
	15	30	—	
Input-Pulse Rise Time and Fall Time, t _r ϕ , t _f ϕ	5	Unlimited		
	10			
	15			
Input-Pulse Frequency, f _{max} (External pulse source)	5	—	3.5	MHz
	10	—	8	
	15	—	12	
Reset Pulse Width, t _W	5	120	—	ns
	10	60	—	
	15	40	—	

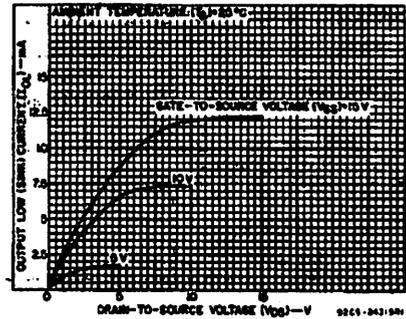


Fig. 4 - Minimum n-channel output low (sink) current characteristics.

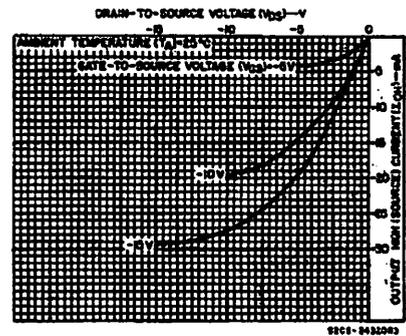


Fig. 5 - Typical p-channel output high (source) current characteristics.

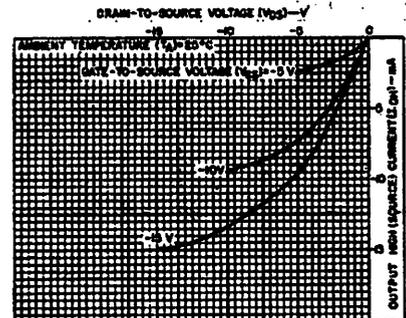


Fig. 6 - Minimum p-channel output high (source) current characteristics.

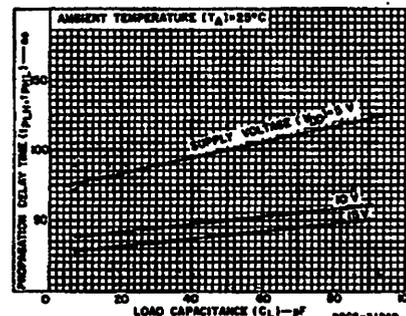


Fig. 7 - Typical propagation delay time (Q_n to Q_n+1) as a function of load capacitance.

3
COMMERCIAL CMOS
HIGH VOLTAGE ICs

CD4060B Types

DYNAMIC ELECTRICAL CHARACTERISTICS at $T_A = 25^\circ\text{C}$, Input $t_r, t_f = 20\text{ ns}$,
 $C_L = 50\text{ pF}$, $R_L = 200\text{ k}\Omega$

CHARACTERISTIC	TEST CONDITIONS	LIMITS			UNITS	
		V_{DD} (V)	MIN.	TYP.		MAX.
Input-Pulse Operation						
Propagation Delay Time, ϕ_I to Q4 Out; t_{PHL}, t_{PLH}		5	—	370	740	ns
		10	—	150	300	
		15	—	100	200	
Propagation Delay Time, Q_n to Q_{n+1} ; t_{PHL}, t_{PLH}		5	—	100	200	
		10	—	50	100	
		15	—	40	80	
Transition Time, t_{THL}, t_{TLH}		5	—	100	200	
		10	—	50	100	
		15	—	40	80	
Min. Input-Pulse Width, t_W	$f = 100\text{ kHz}$	5	—	50	100	
		10	—	20	40	
		15	—	15	30	
Input-Pulse Rise & Fall Time, $t_{r\phi}, t_{f\phi}$		5	Unlimited			
		10				
		15				
Max. Input-Pulse Frequency, $f_{\phi I}$ (External pulse source)		5	3.5	7	—	MHz
		10	8	16	—	
		15	12	24	—	
Input Capacitance, C_1	Any Input	—	5	7.5	pF	
Reset Operation						
Propagation Delay Time; t_{PHL}		5	—	180	360	ns
		10	—	80	160	
		15	—	50	100	
Minimum Reset Pulse Width, t_W		5	—	60	120	
		10	—	30	60	
		15	—	20	40	

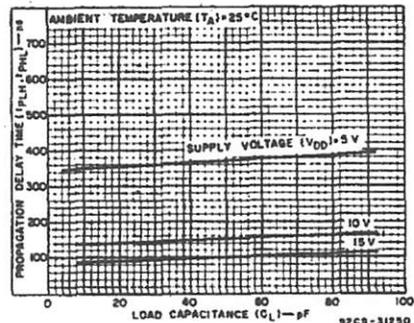


Fig. 8 — Typical propagation delay time (ϕ_I to Q_4 Output) as a function of load capacitance.

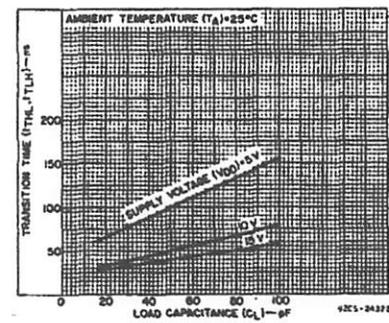


Fig. 9 — Typical transition time as a function of load capacitance.

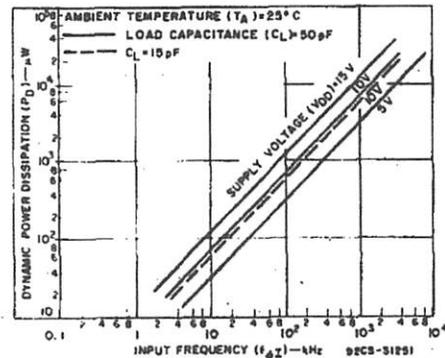


Fig. 10 — Typical dynamic power dissipation as a function of input frequency.

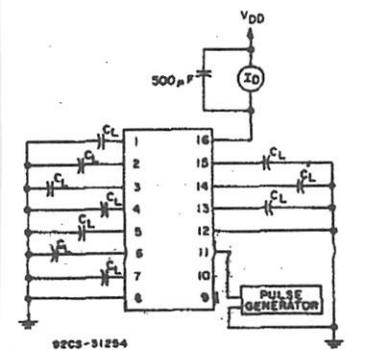


Fig. 11 — Dynamic power dissipation test circuit.

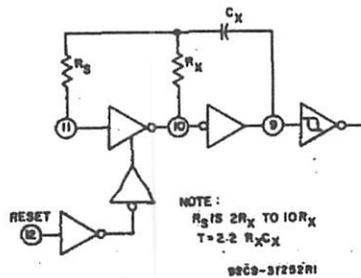


Fig. 12 — Typical RC circuit.

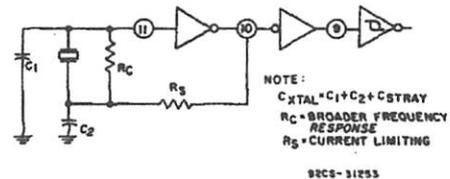


Fig. 13 — Typical crystal circuit.

CD4060B Types

DYNAMIC ELECTRICAL CHARACTERISTICS at $T_A = 25^\circ\text{C}$, Input $t_r, t_f = 20 \text{ ns}$, $C_L = 50 \text{ pF}$, $R_L = 200 \text{ k}\Omega$ [cont'd]

CHARACTERISTIC	TEST CONDITIONS	V _{DD} (V)	LIMITS			UNITS	
			Min.	Typ.	Max.		
RC Operation							
Variation of Frequency (Unit-to-Unit)	$C_X = 200 \text{ pF}$, $R_S = 560 \text{ k}\Omega$, $R_X = 50 \text{ k}\Omega$	5	—	$23 \pm 10\%$	—	kHz	
		10	—	$24 \pm 10\%$	—		
		15	—	$25 \pm 10\%$	—		
Variation of Frequency with voltage change (Same Unit)	$C_X = 200 \text{ pF}$, $R_S = 560 \text{ k}\Omega$, $R_X = 50 \text{ k}\Omega$	5V to 10 V 10V to 15V	—	1.5 0.5	—	kHz	
R_X max.	$C_X = 10 \text{ }\mu\text{F}$ $= 50 \text{ }\mu\text{F}$ $= 10 \text{ }\mu\text{F}$	5	—	—	20	M Ω	
		10	—	—	20		
		15	—	—	10		
C_X max.	$R_X = 500 \text{ k}\Omega$ $= 300 \text{ k}\Omega$ $= 300 \text{ k}\Omega$	5	—	—	1000	μF	
		10	—	—	50		
		15	—	—	50		
Maximum Oscillator Frequency*	$R_X = 5 \text{ k}\Omega$ $R_S = 30 \text{ k}\Omega$ $C_X = 15 \text{ pF}$	10	530	650	810	kHz	
		15	690	800	940		
Drive Current at Pin 9 (For Oscillator Design)	I_{OL}	$V_O = 0.4 \text{ V}$	5	0.16	0.36	—	mA
		$= 0.5 \text{ V}$	10	0.42	0.8	—	
		$= 1.5 \text{ V}$	15	1	2	—	
	I_{OH}	$V_O = 4.6 \text{ V}$	5	-0.16	-0.35	—	
		$= 9.5 \text{ V}$	10	-0.42	-0.8	—	
		$= 13.5 \text{ V}$	15	-1	-2	—	

*RC oscillator applications are not recommended at supply voltages below 7 V for $R_X < 50 \text{ k}\Omega$.

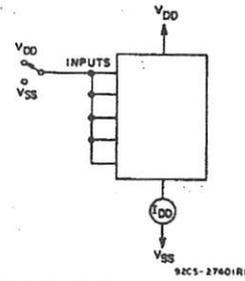


Fig. 14 — Quiescent device current.

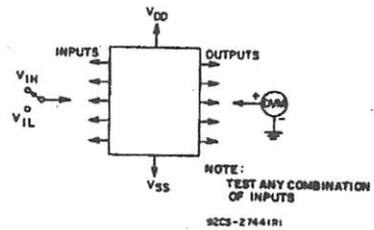


Fig. 15 — Input voltage.

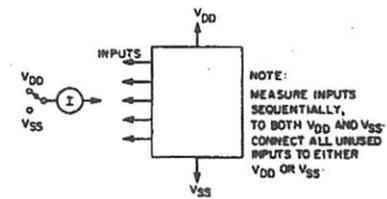
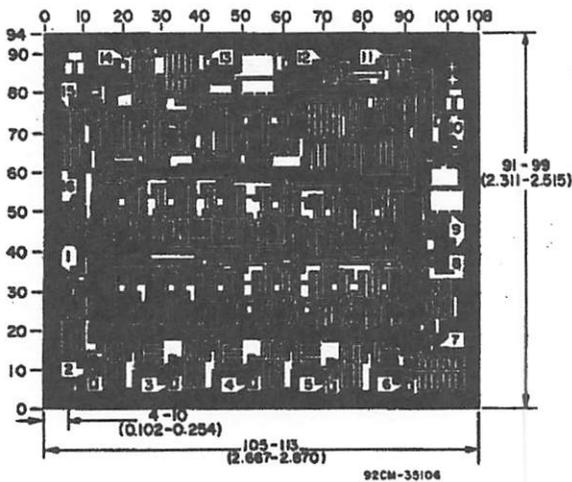
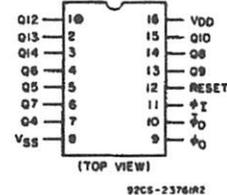


Fig. 16 — Input current.



Chip dimensions and pad layout for CD4060B

TERMINAL DIAGRAM

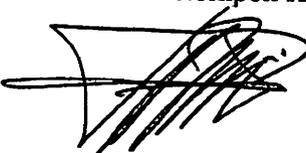


Dimensions in parentheses are in millimeters and are derived from the basic inch dimensions as indicated. Grid graduations are in mils (10^{-3} inch).

3
COMMERCIAL CMOS
HIGH VOLTAGE ICs

**BERITA ACARA RAPAT PERSETUJUAN JUDUL/PROPOSAL SKRIPSI
PROGRAM STUDI TEKNIK ELEKTRO S-1
Konsentrasi : Teknik Telekomunikasi**

Tanggal : 19 Oktober 2013

1.	NIM	0912706
2.	Nama	ASEB SOFYAN SAHURI ISMADI
3.	Judul yang diajukan	RANCANG BANGUN OSILATOR VHF - FM DENGAN KESTABILAN TINGGI BERBASIS PHASE LOCKED LOOP (PLL)
4.	Disetujui/Ditolak*	
5.	Catatan: HRS BISA MELAKUKAN PENGUJIAN UTK KESTABILAN.	
6.	Pembimbing yang diusulkan: 1. MICHAEL . 2.	
<p align="center">Menyetujui</p> <p align="center">1. Koordinator Dosen Kelompok Keahlian</p> <p align="center">  (Sotyohadi, ST) </p> <p align="center">2. Dosen Kelompok Keahlian (Terlampir)</p>		

* : Coret yang tidak perlu



PROGRAM STUDI TEKNIK ELEKTRO S-1
FAKULTAS TEKNOLOGI INDUSTRI
INSTITUT TEKNOLOGI NASIONAL MALANG
Kampus II : Jl. Raya Karanglo Km. 2 Telp. (0341) 417636 Malang

Lampiran : 1 (satu) berkas
Pembimbing Skripsi

Kepada : Yth. Bapak/Ibu Irmalia Suryani Faradisa, ST, MT
Dosen Teknik Elektro S-1
ITN Malang

Yang bertanda tangan dibawah

Nama : **ASEB SOFYAN SAHURI ISMADI**
Nim : **0912706**
Jurusan : **Teknik Elektro S-1**
Konsentrasi : **Teknik Telekomunikasi**

Dengan ini mengajukan permohonan, kiranya Bapak/Ibu bersedia menjadi Dosen Pembimbing untuk penyusunan Skripsi dengan judul :

"RANCANG BANGUN OSILATOR VHF - FM DENGAN KESTABILAN TINGGI BERBASIS PHASE LOCKED LOOP (PLL)"

Demikian permohonan kami buat dan atas kesediaan Bapak kami ucapkan terima kasih.

Mengetahui

Ketua Program Studi Teknik Elektro S-1

M. Ibrahim Ashari, ST, MT
NIP.P. 1030100358

Hormat Kami

ASEB SOFYAN SAHURI ISMADI
NIM. 0912706



PERKUMPULAN PENGELOLA PENDIDIKAN UMUM DAN TEKNOLOGI NASIONAL MALANG
INSTITUT TEKNOLOGI NASIONAL MALANG

**FAKULTAS TEKNOLOGI INDUSTRI
FAKULTAS TEKNIK SIPIL DAN PERENCANAAN
PROGRAM PASCASARJANA MAGISTER TEKNIK**

PT. BNI (PERSERO) MALANG
BANK NIAGA MALANG

Kampus I : Jl. Bendungan Sigura-gura No. 2 Telp. (0341) 551431 (Hunting), Fax. (0341) 553015 Malang 65145
Kampus II : Jl. Raya Karanglo, Km 2 Telp. (0341) 417636 Fax. (0341) 417634 Malang

Nomor Surat : ITN-315/EL-FTI/2013
Lampiran : -
Perihal : BIMBINGAN SKRIPSI

Kepada : Yth. Bapak/Ibu **Irmalia Suryani Faradisa, ST, MT**
Dosen Teknik Elektro S-1
ITN MALANG

Dengan Hormat

Sesuai dengan permohonan dan persetujuan dalam Proposal Skripsi untuk mahasiswa :

Nama : **ASEB SOFYAN SAHURI ISMADI**
Nim : **0912706**
Fakultas : **Teknologi Industri**
Program Studi : **Teknik Elektro S-1**
Konsentrasi : **Teknik Telekomunikasi**

Maka dengan ini pembimbingan tersebut kami serahkan sepenuhnya kepada Saudara/i selama masa waktu :

" Semester Ganjil Tahun Akademik 2013-2014 "

Demikian agar maklum dan atas perhatian serta bantuannya kami sampaikan terima kasih.



Mengetahui

Untuk Program Studi Teknik Elektro S-1

M Ibrahim Ashari, ST, MT

NIP.P. 1030100358



PERKUMPULAN PENGELOLA PENDIDIKAN UMUM DAN TEKNOLOGI NASIONAL MALANG
INSTITUT TEKNOLOGI NASIONAL MALANG

FAKULTAS TEKNOLOGI INDUSTRI
FAKULTAS TEKNIK SIPIL DAN PERENCANAAN
PROGRAM PASCASARJANA MAGISTER TEKNIK

PT. BNI (PERSERO) MALANG
BANK NIAGA MALANG

Kampus I : Jl. Bendungan Sigura-gura No. 2 Telp. (0341) 551431 (Hunting), Fax. (0341) 553015 Malang 65145
Kampus II : Jl. Raya Karanglo, Km 2 Telp. (0341) 417636 Fax. (0341) 417634 Malang

Nomor Surat : ITN-315/EL-FTI/2013
Lampiran : -
Perihal : BIMBINGAN SKRIPSI

Kepada : Yth. Bapak/Ibu **Michael Ardita, ST, MT**
Dosen Teknik Elektro S-1
ITN MALANG

Dengan Hormat

Sesuai dengan permohonan dan persetujuan dalam Proposal Skripsi untuk mahasiswa :

Nama : **ASEB SOFYAN SAHURI ISMADI**
Nim : **0912706**
Fakultas : **Teknologi Industri**
Program Studi : **Teknik Elektro S-1**
Konsentrasi : **Teknik Telekomunikasi**

Maka dengan ini pembimbingan tersebut kami serahkan sepenuhnya kepada Saudara/i selama masa waktu :

" Semester Ganjil Tahun Akademik 2013-2014 "

Demikian agar maklum dan atas perhatian serta bantuannya kami sampaikan terima kasih.



Mengetahui

Program Studi Teknik Elektro S-1

M. Ibrahim Ashari, ST, MT

NIP.P. 1030100358



PROGRAM STUDI TEKNIK ELEKTRO S-1
FAKULTAS TEKNOLOGI INDUSTRI
INSTITUT TEKNOLOGI NASIONAL MALANG
Kampus II : Jl. Raya Karanglo Km. 2 Telp. (0341) 417636 Malang

PERNYATAAN KESEDIAAN DALAM PEMBIMBINGAN SKRIPSI

Sesuai permohonan dari mahasiswa/i :

Nama : **ASEB SOFYAN SAHURI ISMADI**
Nim : **0912706**
Semester : **IX (Sembilan)**
Jurusan : **Teknik Elektro S-1**
Konsentrasi : **Teknik Telekomunikasi**

Dengan ini menyatakan bersedia/~~tidak bersedia~~*) Membimbing skripsi dari mahasiswa tersebut, dengan judul :

" RANCANG BANGUN OSILATOR VHF - FM DENGAN KESTABILAN TINGGI BERBASIS PHASE LOCKED LOOP (PLL)"

Demikian surat pernyataan ini kami buat agar dapat dipergunakan seperlunya.

Hormat Kami

Michael Ardita, ST, MT

NIP.P. 1031000434

Catatan :

Setelah disetujui agar formulir ini Diserahkan mahasiswa/i yang bersangkutan kepada jurusan untuk diproses lebih lanjut

*) Coret yang tidak perlu



PROGRAM STUDI TEKNIK ELEKTRO S-1
FAKULTAS TEKNOLOGI INDUSTRI
INSTITUT TEKNOLOGI NASIONAL MALANG
Kampus II : Jl. Raya Karanglo Km. 2 Telp. (0341) 417636 Malang

PERNYATAAN KESEDIAAN DALAM PEMBIMBINGAN SKRIPSI

Sesuai permohonan dari mahasiswa/i :

Nama : **ASEB SOFYAN SAHURI ISMADI**
Nim : **0912706**
Semester : **IX (Sembilan)**
Jurusan : **Teknik Elektro S-1**
Konsentrasi : **Teknik Telekomunikasi**

Dengan ini menyatakan bersedia/tidak bersedia*) Membimbing skripsi dari mahasiswa tersebut, dengan judul :

" RANCANG BANGUN OSILATOR VHF - FM DENGAN KESTABILAN TINGGI BERBASIS PHASE LOCKED LOOP (PLL)"

Demikian surat pernyataan ini kami buat agar dapat dipergunakan seperlunya.

Hormat Kami

Irmalia Suryani Faradisa, ST, MT

NIP.P. 1030000365

*) Coret yang tidak perlu



FORMULIR PERBAIKAN SKRIPSI

Dalam pelaksanaan Ujian Skripsi Jenjang Strata 1 Jurusan Teknik Elektro Konsentrasi Teknik Telekomunikasi, maka perlu adanya perbaikan skripsi untuk mahasiswa :

Nama : Aseb Sofyan Sahuri Ismadi
Nim : 09.12.706
Jurusan : Teknik Elektro S-1
Konsentrasi : Teknik Telekomunikasi
Masa Bimbingan : Semester Ganjil 2013-2014
Judul Skripsi : RANCANG BANGUN OSILATOR VHF – FM DENGAN KESTABILAN TINGGI BERBASIS PHASE LOCKED LOOP (PLL)

No	Penguji	Tanggal	Uraian	Paraf
1.	Penguji I	19 Februari 2014	-	
2	Penguji II	19 Februari 2014	<ul style="list-style-type: none">• Kesimpulan Disempurnakan• Saran Untuk Alat (Penguatan) Ditambahkan	

Disetujui ,

Dosen Penguji 1

M. Ibrahim Ashari, ST, MT
NIP. P. 1030100358

Dosen Penguji 2

Bambang Prio Hartono, ST, MT
NIP. Y. 1028400082

Mengetahui ,

Dosen Pembimbing 1

Irmalia Suryani Faradisa, ST, MT
NIP. P. 1030000365

Dosen Pembimbing 2

Michael Ardita, ST, MT
NIP. P. 1031000434