INSTITUT TEKNOLOGI NASIONAL MALANG
FAKULTAS TEKNOLOGI INDUSTRI
JURUSAN TEKNIK ELEKTRO S-1
KONSENTRASI TEKNIK ENERGI LISTRIK

PERENCANAAN DAN PEMBUATAN SISTEM MONITORING DAN PROTEKSI MOTOR INDUKSI 3 FASA TERHADAP GANGGUAN ARUS DAN TEGANGAN BERBASIS PERSONAL COMPUTER

SKRIPSI

MILIK
PERPUSTAKAAN
ITN MALANG

disusun oleh :
DONNY AJI SETIAWAN.
0112075

MARET 2007

INSTITUT TEKNOLOGI NASIONAL MALANG
FAKULTAS TEKNOLOGI INDUSTRI
JURUSAN TEKNIK ELEKTRO S-1
KONSENTRASI TEKNIK ENERGI LISTRIK

BERITA ACARA UJIAN SKRIPSI
FAKULTAS TEKNOLOGI INDUSTRI

1. **Nama** : **DONNY AJI SETIAWAN**
2. **NIM** : 01.12.075
3. **Jurusan** : Teknik Elektro S-1
4. **Konsentrasi** : Teknik Energi Listrik
5. **Judul Skripsi** : **PERENCANAAN DAN PEMBUATAN SISTEM MONITORING DAN PROTEKSI MOTOR INDUKSI 3 FASA TERHADAP GANGGUAN ARUS DAN TEGANGAN BERBASIS PERSONAL COMPUTER**

Dipertahankan dihadapan Majelis Penguji Skripsi Jenjang Strata Satu (S-1) pada :

Hari : JUM'AT
Tanggal : 23 Maret 2007
Dengan Nilai : **76,45** (B+)

Panitia Ujian Skripsi

Ir. Mochtar Asroni, MSME	**Ir. F Yudi Limpraptono, MT**
Ketua	**Sekretaris**

Anggota Penguji

Ir. Teguh Herbasuki, MT	**Irrine Budi S, ST, MT**
Penguji Pertama	**Penguji Kedua**

KATA PENGANTAR

Alhamdulillah, puji syukur kehadirat Allah SWT yang Maha Pengasih dan Maha Penyayang atas rahmat dan hidayah-Nya, serta sholawat dan salam atas tuntunan nabi besar kita Muhammad SAW. sehingga penyusun dapat menyelesaikan skripsi ini.

Skripsi ini berjudul " PERENCANAAN DAN PEMBUATAN SISTEM MONITORING DAN PROTEKSI MOTOR INDUKSI 3 FASA TERHADAP GANGGUAN ARUS DAN TEGANGAN BERBASIS PERSONAL COMPUTER". Penyusunan skripsi ini merupakan salah satu syarat untuk memperoleh gelar Sarjana Teknik Elektro S-1 Institut Teknologi Nasional Malang.

Pada kesempatan ini penyusun dengan rasa hormat menyampaikan terima kasih yang sebesar-besarnya kepada :

1. Bapak Prof.Dr. Ir. Abraham Lomi, MSEE Selaku Rektor Institut Teknologi Nasional Malang.
2. Bapak Ir. Mochtar Asroni, MSME Selaku Dekan Falkultas Teknik Industri Institut Teknologi Nasional Malang.
3. Bapak .Ir. Yudi Limpraptono, MT Selaku Ketua Jurusan Teknik Elektro Institut Teknologi Nasional Malang.
4. Bapak Ir. Widodo Pudji Muljanto, MT selaku dosen pembimbing.
5. Ayah dan Ibuku yang paling kucintai di dunia ini, Adikku, dan seluruh keluargaku atas segala doa dan kasih sayangnya.
6. Semua pihak yang telah membantu dalam penyelesaian skripsi ini.

PLANNING AND MAKING SYSTEM MONITORING AND THREE PHASE INDUCTION MOTOR PROTECTION FROM CURRENT AND VOLTAGE FAULTS BASE ON PERSONAL COMPUTER

Donny Aji Setiawan
Widodo Pudji Muljanto

ABSTRACT

AT89C51 microcontroller and Borland Delphi program as system monitoring to protect three phase induction motot from current and voltage faults. It's made to help to operator easier in checking condition system in long distance without come to the local area. And if there was faults, system would detect and switch on contactor automatically, so it could be appeared in PC without cut off power suplay to three phases induction motor.

Key word : ***Three phase induction motor, AT89C51 Microcontroller, Borland Dephi.***

DAFTAR ISI

Lembar Persetujuan i

Kata Pengantar iii

Daftar Isi v

BAB I. PENDAHULUAN 1

A. Latar Belakang 1

1.1. Tujuan dari penyusunan laporan 2

1.2. Batasan masalah 2

1.3. Metode Penyusunan 3

1.4. Sistematika Pembahasan 3

BAB II. TEORI DASAR 5

2.1. Sistem Polyphase 5

2.2. Beban Induksi 3 fasa 6

A. Motor Induksi 3 fasa 6

B. Prinsip kerja motor induksi 3 fasa 8

C. Macam-macam gangguan pada motor induksi 3 fasa 9

2.3. Transformator Arus 14

2.4. Transformator Tegangan 15

2.5. Relay 16

2.6. Analog To Digital Converter 16

2.7. Mikrokontroller 19

2.7.1. Struktur Memori AT89C51 26

2.7.2. Memori Program 27

2.7.3. Memori Data 28

2.7.4. Accumulator 29

2.1.5. Port 30

BAB III. PERENCANAAN DAN PEMBUATAN ALAT 31

3.1 Umum 31

3.2 Blok Diagram 32

3.3. Bagian-bagian dari rangkaian 33
3.3.1. Rangkaian sensor arus 33
3.3.2. Rangkaian sensor tegangan 35
3.3.3. Perencanaan multiplekser 36
3.3.4. Perencanaan ADC 0804 37
3.3.5. Power Suplai 39
3.3.6. Relay 40
3.3.7. Pengubah Level TTL ke RS 232 42
3.3.8. Perencanaan Software 45
3.3.8.1. Personal Computer 45
3.3.8.2. Mikrokontroler 46
BAB IV. PENGUJIAN ALAT DAN ANALISA 77
4.1. Pengujian sumber tegangan 3fasa terhadap gangguan tegangan dan arus 48
4.1.1. Pengujian dan analisa hasil pengujian 49
4.1.2. Pengujian terhadap naik turunnya tegangan 49
4.1.3. Pengujian Beban atau arus lebih 51
4.1.4. Pengujian Fasa tegangan hilang 52
BAB V. PENUTUP 54
5.1. Kesimpulan 54
5.2. Saran 54
DAFTAR PUSTAKA
Lampiran

DAFTAR GAMBAR

Gambar 2.1 Konstruksi Motor Induksi 8

Gambar 2.2 Prinsip kerja Motor Induksi. 8

Gambar 2.3 Vektor Salah Satu Fasa Lepas 12

Gambar 2.4 Single Line Rangkaian Pengaman Motor 13

Gambar 2.5 Arsitektur Perangkat Keras 20

Gambar 2.6 Alamat RAM internal dan flash 25

Gambar 3.1 Blok Diagram Rangkain Pengaman 32

Gambar 3.2 Rangkaian Sensor Arus 34

Gambar 3.3 Rangkaian Sensor tegangan 36

Gambar 3.4 Rangkaian Multiplekser Analog 4051 37

Gambar 3.6 Rangkaian ADC 0804 38

Gambar 3.7 Rangkaian Power Suplay 39

Gambar 3.8 Rangkaian Relay dengan Menggunakan Respon Transistor 40

Gambar 3.9 Rangkaian MAXIM 232 43

Gambar 3.10 Diagram Rangkaian Keseluruhan Pengaman Motor Induksi tiga fasa 44

Gambar 3.11 Flow Chart Keseluruhan 45

Gambar 3.12 Flow Chart Program Delphi 46

Gambar 3.13 Flow Chart Mikrokontroler 47

Gambar 4.1 Rangkaian Pemasangan Alat 48

Gambar 4.2 Setting tegangan 49

Gambar 4.3 Setting Arus 51

Gambar 4.4 Setting Salah Satu Fasa Hilang 52

DAFTAR TABEL

Hal

Tabel 2.1 Standart Perbandingan CT 15

Tabel 2.2 Struktur Memori AT89C51 21

Tabel 4.1 Respon Alat Terhadap Perubahan Tegangan sebesar 10 %.....50

Tabel 4.1 Respon Alat Terhadap Perubahan Arus sebesar 5 %.....51

Tabel 4.3 Respon Alat Terhadap Tegangan Hilang.....52

BAB I

PENDAHULUAN

1.1. Latar belakang

Tumbuh dan berkembangnya ilmu pengetahuan dan teknologi di zaman era globalisasi, mendorong berkembangnya berbagai peralatan yang lebih modern dan mempunyai fungsi yang lebih efektif dari peralatan sebelumnya. Salah satu contoh adalah suatu system proteksi atau pengaman motor induksi tiga phasa terhadap gangguan-gangguan yang terjadi akibat factor manusia maupun factor alam atau lingkungan yang berupa kesalahan mekanis maupun elektris yang terjadi di perusahaan maupun industri. Dalam dunia industri beban induksi yang menggunakan saluran tiga phasa lebih banyak digunakan seperti motor induksi 3 fasa, karena mempunyai kelebihan dari pada motor-motor yang menggunakan saluran 1 fasa, hal ini di karenakan motor induksi mempunyai kelebihan yaitu : daya lebih besar, dan torsi starting yang lebih tinggi, harga lebih murah, konstruksi mudah, perawatan mudah, harga murah dibandingkan motor lain dengan kapasitas yang sama, pengaturan kecepatan atau pengendalian motor mudah, perlengkapan tambahan murah dan mempunyai efisiensi sedang.

Dengan penggunaan motor induksi 3fasa yang terus menerus meningkat maka perlu adanya system proteksi terhadap gangguan-gangguan yang menyebabkan kerusakan pada beban itu sendiri. Gangguan-gangguan pada beban induksi 3fasa tersebut diklasifikasikan sebagai berikut :

1. Gangguan arus meliputi :
    a. Arus Lebih atau Beban Lebih.
2. Gangguan Tegangan meliputi :
    a. Tegangan Turun (Under Voltage)
    b. Tegangan Lebih (Over Voltage)
    c. Salah Satu fasa putus

1.2. Tujuan

Merencanakan dan membuat dalam bentuk prototipe peralatan monitoring dan proteksi motor induksi 3 fasa menggunakan Personal Computer (PC) terhadap gangguan-gangguan arus dan tegangan.

1.3. Batasan masalah

A. Penulis hanya membahas tentang pengamanan motor induksi 3 fasa terhadap gangguan kenaikan tegangan, penurunan tegangan, beban lebih atau arus lebih, dan salah satu fasa hilang.

B. Mikrokontroller yang digunakan AT89C51.

1.4. Metode Penyusunan

Dalam penyusunan skripsi ini, penyusun mempergunakan beberapa metode untuk memperoleh data, yaitu :

A. Metode Observasi

Melakukan pengamatan dengan tujuan langsung kelapangan atau analisa lapangan terhadap penerapan pengaman sumber tegangan 3 fasa 380V 50Hz

B. Metode Wawancara

Cara memperoleh data dengan mengadakan Tanya jawab dan menayakan langsung pada nara sumber mengenai apa dan bagaimana penerapan pengaman sumber tegangan 3 fasa 380V 50Hz

C. Metode literature

Data yang diperoleh dari kepustakaan atau sumber bacaan seperti buku, majalah, brosur dan sumber bacaan lain yang berhubungan dengan pengaman penerapan pengaman sumber tegangan 3 fasa 380V 50Hz.

1.5. Sistematika Pembahasan

Sistematika pembahasan skripsi ini dibuat dalam 5 bab, rincian pembahasan tersebut adalah :

A. Bab 1 berisi tentang pendahuluan yang menguraikan tentang latar belakang, tujuan, batasan masalah, metode penulisan dan sistematika pembahasan.

B. Bab 2 berisi tentang teori system polyphase 3 fasa, transformator arus (CT), transformator tegangan (PT) , mikrokontroller AT89C51, dan peralatan pendukung lainnya.

C. Bab 3 berisi tentang perencanaan dan pembuatan alat

D. Bab 4 berisi tentang Pengujian dan analisa data dari percobaan

E. Bab 5 berisi tentang kesimpulan dan saran dari alat yang dibuat secara keseluruhan

BAB II

TEORI DASAR

2.1. Sistem Polyphase

Sistem Polyphase adalah rangkaian arus bolak balik atau jaringan yang menggunakan dua atau lebih medan electromagnet pada frekwensi yang sama tetapi berbeda terhadap waktu phasa.

Sistem polyphase disebut simetris apabila tegangan yang digunakan besarnya sama dan memiliki beda fasa dengan sudut yang sama sampai 2n/N (dimana N adalah jumlah fasa). Pada system yang medan elektromagnetis yang terpisah dari yang lainnya dikatakan bahwa system tersebut tidak berhubungan (non interliked sytem). Pada system polyphase yang tidak berhubungan (non interliked system) setiap fasanya memiliki medan electromagnet yang tidak berhubungan antara satu dengan yang lainnya secara elektrik maupun magnetis.

Dengan demikian dari system yang tidak berhubungan akan menggunakan penghantar (kawat) dalam jumlah yang banyak (sama dengan 2N). Pada system tiga fasa menggunakan enam penghantar (kawat).

System polyphase memiliki banyak keunggulan, dengan besar daya yang sama dapat menstransmisikan daya melalui penghantar yang lebih kecil daripada system arus bolak balik satu fasa. System polyphase dapat menimbulkan medan magnetic yang berotasi pada kumparan stasioner atau belitan yang dapat memberikan keunggulan pada berbagai jenis perangkat listrik.

2.2. Beban Induksi 3 Fasa

A. Motor Induksi Tiga Fasa

Beban induksi pada sumber tegangan 3fasa380V biasanya menggunakan motor induksi (motor tak serempak atau motor imbas) banyak sekali dipakai, hal ini disebabkan karena pada motor tak serempak memiliki beberapa keistimewaan. Keistimewaan dari motor tak serempak adalah :

1. Sruktur sederhana sehingga perawatannya sederhana.
2. Mudah dijalankan
3. Kokoh dan bebas gangguan
4. Mudah diperbaiki
5. motor tak serempak standart karakteristik perputaran konstan
6. harga rendah

Motor induksi tiga fasa adalah motor induksi yang bersumber tegangannya menggunakan sumber tegangan tiga fasa. Dengan menggunakan sumber tegangan tiga fasa, maka putaran motor akan lebih halus bila dibandingkan dengan motor induksi satu fasa. Keuntungan lain dari penggunaan motor induksi tiga fasa adalah :

1. Motor induksi tiga fasa memiliki daya yang lebih besar dan torsi starting yang lebih tinggi.
2. Sumber tiga fasa penghasilkan putaran yang halus, pembangkitan daya yang reltif lebih besar bila dibandingkan dengan satu fasa.
3. Rotor sangkar (squirrel cage) dengan model rotornya memiliki resistansi yang kecil sehingga torsi yang dibangkitkan relative besar. Disamping itu

karena kesederhanaannya menyebabkan harga motor jenis ini lebih murah harganya.

Motor induksi terdiri dari dua bagian utama yaitu stator (bagian yang diam) dan rotor (bagian yang bergerak)

a. Stator

Stator dari motor induksi mempunyai prinsip yang sama dengan motor sinkron atau generator. Apabila belitan belitan stator disuplay dengan arus 3 fasa, maka menghasilkan medan magnet atau fluksi yang mana adalah harga tetap asal saja berputar pada kecepatan sinkron (Ns).

$$Ns = \frac{120.f}{P}$$

Ns = Kecepatan sinkron dalam cycle

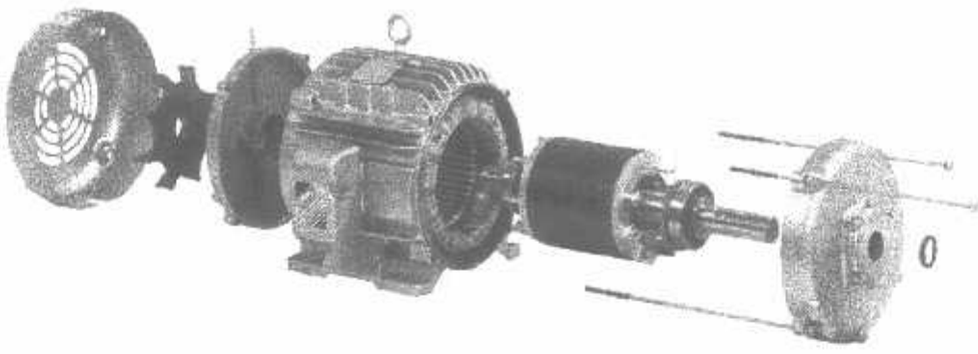
f = Frekwensi

P = Jumlah kutub

b. Rotor

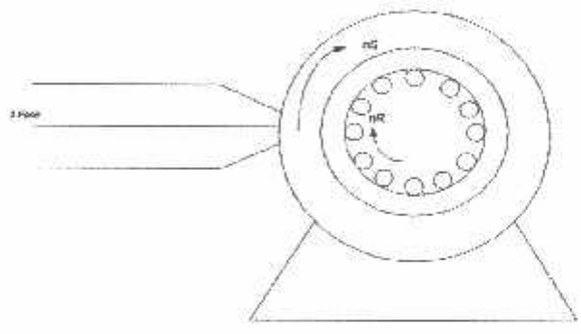
(i). Rotor kurungan bajing (Squirrel Cage), motor motor yang menggunakan tipe ini dikenal sebagai motor induksi kurungan tupai.

(ii). Terputar fase atau rotor terputar, motor motor yang menggunakan tipe rotor ini dikenal sebagai motor motor terputar fase (Phase Wound) atau motor motor terputar (wound) atau sebagai motor-motor slip-ring.



Gambar 2-1 : Konstruksi Motor Induksi [1]

B. Prinsip kerja motor induksi



Gambar 2.2

Prinsip kerja Motor Induksi

Ada beberapa prinsip kerja motor induksi :

1. Apabila sumber tegangan tiga fasa dipasang pada kumparan stator akan timbul medan putar dengan kecepatan $n_s = 120\ f/p$
2. Medan putar stator tersebut akan memotong batang konduktor pada rotor
3. Akibatnya pada kumparan rotor timbul tegangan induksi (ggl) sebesar $E_{2s} = 4{,}44.\ f_2.N_2.\Phi_m$ (Untuk satu fasa). E_{2s} adalah tegangan induksi pada saat rotor berputar.

4. Karena kumparan rotor merupakan rangkaian yang tertutup, maka ggl (E) akan menghasilkan arus (I).
5. Adanya arus (I) di dalam medan magnet menimbulkan gaya (F) pada rotor.
6. Bila kopel mula yang dihasilakan oleh gaya (F) pada rotor yang cukup besar untuk memikul kopel beban, rotor akan berputar searah dengan medan putar stator.
7. Seperti yang dijelaskan pada (3) tegangan induksi tegangan induksi timbul karena terpotongnya batang konduktor (rotor) oleh medan putar stator. Artinya agar tegangan terinduksi diperlukan adanya perbedaan relative antaqra kecepatan medan putar (n_s) dengan kecepatan berputar rotor (n_r).
8. Perbedaan kecepatan antara n_s dan n_r disebut slip dinyatakan dengan

   $$S = \frac{(n_s - n_r)}{n_s} 100\%$$

9. Bila $n_r = n_s$, tegangan tidak akan terinduksi dan tidak mengalir pada kumparan jangkar rotor, dengan demikian tidak dihasilkan kopel. Kopel motor timbul apabila n_r lebih kecil dari n_s.
10. Dilihat dari cara kerjanya motor induksi disebut juga sebagai motor tak serempak atau asinkron.

C. Macam macam Ganggunan pada Motor induksi 3 fasa.

Berdasarkan jenis gangguan ada beberapa gangguan pada motor induksi yang harus diperhatikan yaitu gangguan arus dan tegangan. Kemudian dari jenis gangguan tersebut terdapat beberapa macam gangguan yaitu :

1. Gangguan arus meliputi :

a. Arus Lebih (over Current)

Over Current atau arus lebih dapat mengakibatkan kenaikan suhu pada belitan motor. Hal tersebut bias terjadi karena salah satu fasa atau salah satu belitan pada motor putus, sehingga arus yang dibutuhkan motor cukup besar karena beban dipikul oleh dua fasa saja. Apabila isolasi penghantar dan isolasi belitan tidak mampu menahan arus yang cukup besar maka akan terjadi tembus dielektrik sehingga terbakar.

b. Beban Lebih (Over Load)

Over Load adalah gangguan motor listrik yang diakibatkan karena adanya beban motor yang melebihi beban nominal sehingga menyebabkan arus motor menjadi besar. Hal tersebut dapat menyebabkan belitan motor terbakar apabila isolasi penghantar dan isolasi belitan tidak mampu menahan arus yang cukup besar.

2. Gangguan Tegangan meliputi :

a. Tegangan Turun (Under Voltage)

Under Voltage atau tegangan turun adalah gangguan motor yang diakibatkan karena adanya sumber tegangan dibawah dari tegangan nominal motor. Dengan tegangan yang rendah dan beban motor yang tetap atau konstan maka menyebabkan putaran dan torsi. Apabila beban motor besar maka motor berhenti berputar sehingga menyebabkan belitan motor tidak mampu menahan arus yang cukup besar.

b. Tegangan Lebih (Over Voltage)

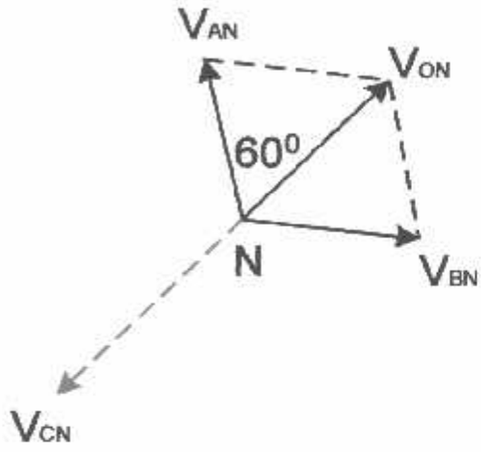
Over Voltage atau Tegangan Lebih adalah gangguan motor yang diakibatkan karena adanya sumber tegangan diatas dari tegangan nominal motor. Dengan tegangan yang besar dan beban motor yang tetap atau konstan maka menyebabkan arus motor menjadi besar. Hal tersebut dapat menyebabkan belitan motor terbakar apabila isolasi penghantar dan isolasi belitan tidak mampu menahan arus yang cukup besar.

c. Fasa Hilang Pada Motor Listrik Tiga Fasa

Fasa hilang adalah salah satu kejadian khusus dari ketidakseimbang tegangan yang terjadi pada terminal motor. Ketidakseimbangan sistem 3 fasa dapat menimbulkan adanya arus urutan positif dan arus urutan negatif. Kedua arus ini akan mengalir pada belitan-belitan motor. Pemanasan total pada stator menjadi bertambah karena adanya aliran arus urutan positif dan arus urutan negatif. Penambahan panas ini disebabkan oleh bertambahnya kerapatan arus pada penghantar akibat adanya arus urutan negatif. Penyebab penting dari penambahan panas motor adalah panas yang timbul pada rotor akibat dari arus urutan negatif. Perbandingan antara arus urutan negatif rotor akibat dari arus negatif stator adalah besar. Karena tahanan rotor lebih kecil dari pada tahanan stator sehingga pemanasan pada rotor lebih besar.

Gangguan ini biasanya disebabkan adanya salah satu atau dua penghantar yang terputus maupun karena kerja sekering dan peralatan peralatan lainnya yang tidak membuka ketiga fasa saluran itu secara serempak.

Dengan adanya salah satu dari fasa yang terbuka, maka akan terjadi pergeseran tegangan titik netral yang dapat digambarkan dengan diagram vektor sebagai berikut :



Gambar 2.3. Vektor Salah Satu Fasa Lepas.

Pergeseran titik netral dapat dihitung sebagai berikut :

Misal : $V_{AN} = V_{BN} = 220$ Volt

$V_{CN} = 0$ Volt

Maka :

$$V_{ON} = V_{AN} \angle 0^0 + V_{BN} \angle 120^0 + V_{CN} \angle 240^0$$

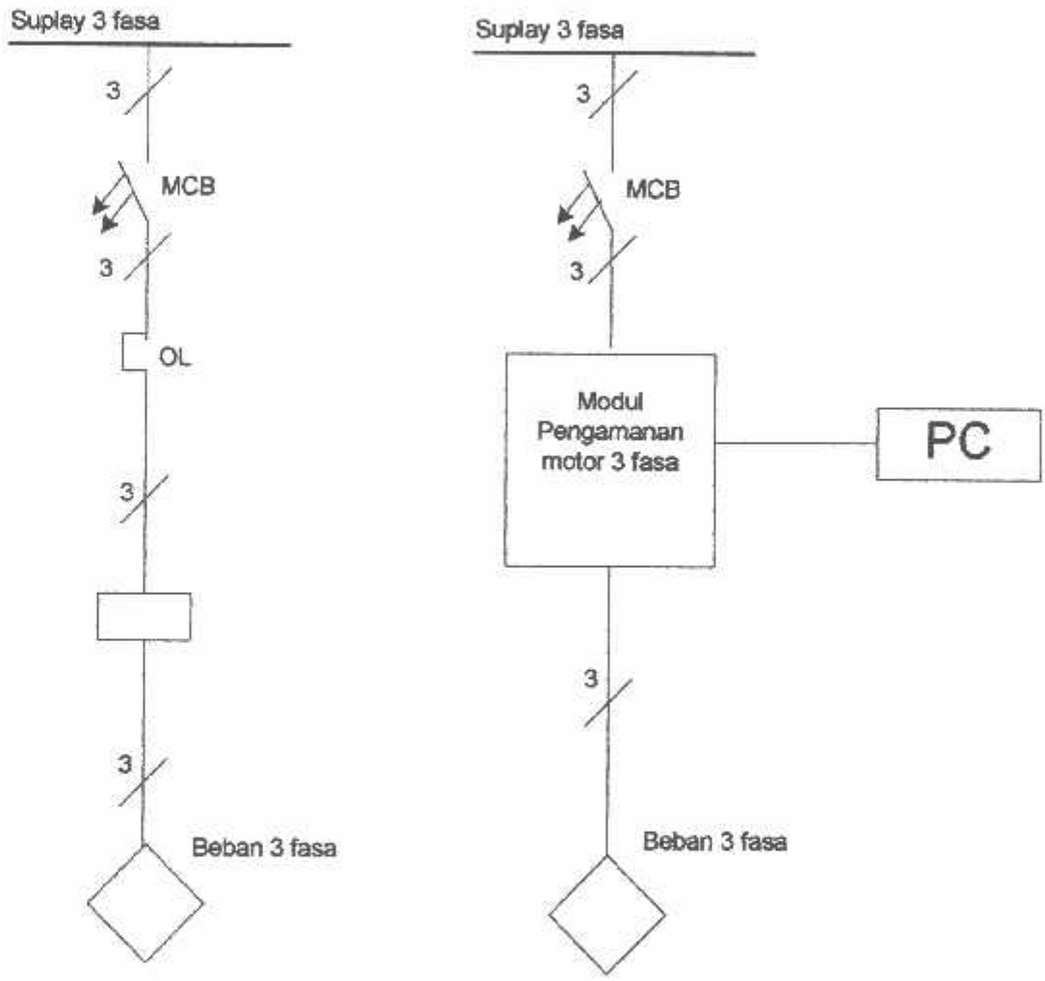
$$= 220 \angle 0^0 + 220 \angle 120^0 + 0 \angle 240^0$$

$$= (220 + j0) + (-110 + j190{,}53)$$

$$= 220 \angle 60^0 \text{ Volt.}$$

Dari Perhitungan diatas terlihat bahwa pergeseran titik netral akibat dari salah satu fasa lepas adalah sebesar tegangan satu fasa ke tanah saat normal.

Single line Rangkaian Pengaman Motor sederhana dan Single line rangkaian dengan alat yang dibuat.



Gambar 2.4. Single line Rangkaian Pengaman Motor

Kelebihan alat yang dibuat dibandingkan rangkaian pengaman motor sederhana:

1. Dapat mengamankan motor terhadap bermacam-macam gangguan yang disebabkan oleh arus, tegangan.Sedangkan rangkaian sederhana hanya mengamankan arus lebih dan beban lebih.
2. Gangguan yang dapat diamankan oleh alat ini berupa Over load, Over current, Over voltage, Under voltage, Fasa hilang,.
3. Disamping sebagai pengaman alat ini juga dilengkapi tampilan pada Personal Computer sebagai monitoring sehingga mudah dalam mengidentifikasi gangguan.
4. Mudah dalam setting dan kecepatan kerja dari pengaman (kepekaan pengaman). Selain memutuskan motor dari suplai tegangan bila terjadi gangguan, dengan peralatan pengaman elektronik ini jenis gangguan langsung dapat diketahui dengan adanya tampilan "kondisi", sehingga akan memudahkan dalam pelacakan dan sekaligus pemecahannya.

2.3. Transformator Arus (CT)

Tansformator arus digunakan untuk menurunkan besar arus dengan perbandingan yang diketahui dan arus yang telah diperkecil ini digunakan untuk menghubungkan sumber tegangan motor dengan sensor-sensor dan instrument lainnya. Dimana instrumen dan sensor tersebut hanya memerlukan arus yang relatif kecil, sehingga tidak menyebabkan sensor instrumen rusak.

Pada pengukuran arus tinggi, maka diperlukan sebuah transformator arus. Pada sisi primer transformator arus ini harus dialiri arus sistem yang tinggi dan mempunyai isolasi secukupnya bila sistem tersebut bertegangan tinggi. Pada sisi sekunder biasanya diturunkan menjadi 5 A. yang merupakan standart internasional. Bila sebuah transformator arus mengubah arus primer dari 100 A menjadi 5 A, maka dapat dikatakan transormator arus mempunyai rasio 100/5 A.

Tabel 1. Standart Perbandingan CT

Rasio CT	Rasio CT
50 : 5	450 : 5
100 : 5	500 : 5
150 : 5	600 : 5
200 : 5	800 : 5
250 : 5	900 : 5
300 : 5	1000 : 5
400 : 5	1200 : 5

2.4. Transformator Tegangan (PT)

Transfomator adalah suatu alat untuk mengubah arus atau tegangan listrik yang terdiri dari dua buah lilitan atau lebih yang dikopelkan secara induktif. Apabila suatu tegangan bolak balik diberikan pada salah satu lilitannya (lilitan primer), maka akan timbul tegangan bolak balik pada sisi yang lain disebut sekunder yang besarnya ada hubungannya dengan tegangan sisi primer.

2.5. Relay

Relay adalah suatu alat untuk membuka dan menutup kontak secara elektrik dengan tujuan menghubungkan fungsi dari suatu rangkaian tertentu dengan rangkaian lainnya. Relay dapat dianggap digital sebab pada dasarnya adalah on/off, alat dua status. Kumparan adalah input dan kontak adalah output. Meskipun relay relay magnetis adalah input tunggal dan merupakan alat output majemuk, rangkaian gerbang logika solid-state adalah input majemuk, alat output tunggal.

2.6. Analog To Digital Converter

Mikrokontroller hanya dapat mengolah data dalam bentuk biner saja, atau sering disebut digital, oleh sebab itu seperti data analog yang akan diproses oleh mikrokontroller harus diubah terlebih dahulu ke dalam bentuk kode biner (digital). Jadi untuk menghubungkan system analog yang ada diluar mikrokontroller ke dalam mikrokontroller, dibutuhkan suatu pengubah atau converter analog ke digital.

Fungsi dasar dari pengubah analog ke digital adalah mengubah tegangan analog kedalam kode kode biner (digital) sehingga dapat diproses oleh mikrokontroller. Tegangan analog yang merupakan masukan dari ADC berasal dari pengkondisi sinyal, rangkaian ini mempunyai range tertentu dan disebut analog. Kode biner hasil konversi ini dipakai sebagai data untuk diolah mikrokontroller yang kemudian ditampilkan oleh PC.

Pengubah analog ke digital merupakan inti dari akuisisi yang berfungsi mengubah data dalam bentuk kontinyu ke dalam digital yang diskrit, sehingga cocok untuk diproses oleh mikrokontroller. ADC lebih banyak variasi bentuknya bila

dibandingkan dengan DAC. Karena dalam ADC karakteristik yang dibutuhkan jauh lebih banyak. Adapun jenis ADC antara lain :

a. Single Ramp integrating
b. Dual Slope Integreting
c. Tracking (Counter Comparator)
d. Single Counter
e. Successive Approximations
f. Multi Comparator (flast)

Ada beberapa factor yang perlu diperhatikan dalam pemilihan komponen ADC antara lain :

a. Resolution (Resolusi)

   Merupakan spesifikasi terpenting dari ADC, yaitu jumlah langkah dari sinyal dari skala penuh yang dibagi dan juga ukuran dari langkah langkah, boleh juga dinyatakan dalam bit yang ada dalam satu word, ukuran LSB (angka terkecil) sebagai persen dari skala penuh atau juga LSB dalam mV (untuk skala penuh yang diberikan)

b. Accuracy (Ketelitian)

   Adalah jumlah dari semua kesalahan, misalnya kesalahan nonlinier, skala penuh, skala nol dan lain lain. Dapat juga menyatakan perbedaan antara tegangan input analog secara teoritis yang dibutuhkan untuk menghasilkan suatu kode biner tertentu terhadap tegangan input nyata yang menghasilkan tegangan kode biner tersebut.

c. Waktu Konversi

Waktu yang dibutuhkan untuk mengkonversikan analog ke digital setiap sample atau waktu yang dibutuhkan untuk menyelesaikan suatu konversi.

Disini tidak akan dijelaskan keseluruhan dari jenis ADC, tetapi hanya dititik beratkan pada ADC jenis Successive Approximations, karena dalam perencanaan dan pembuatan alat digunakan ADC jenis ini. Successive Approximations ADC merupakan golongan ADC medium. ADC tipe ini dapat dikatakan merupakan perpaduan yang baik antara kecepatan (kecepatan menengah) dan tingkat kerumitan rangkaian (menengah). Waktu konversi ADC ini selalu tetap, tidak tergantung dari besarnya sinyal analog (input), tetapnya waktu konversi ini merupakan salah satu keuntungan menggunakan ADC tipe ini.

1. Successive Approximations

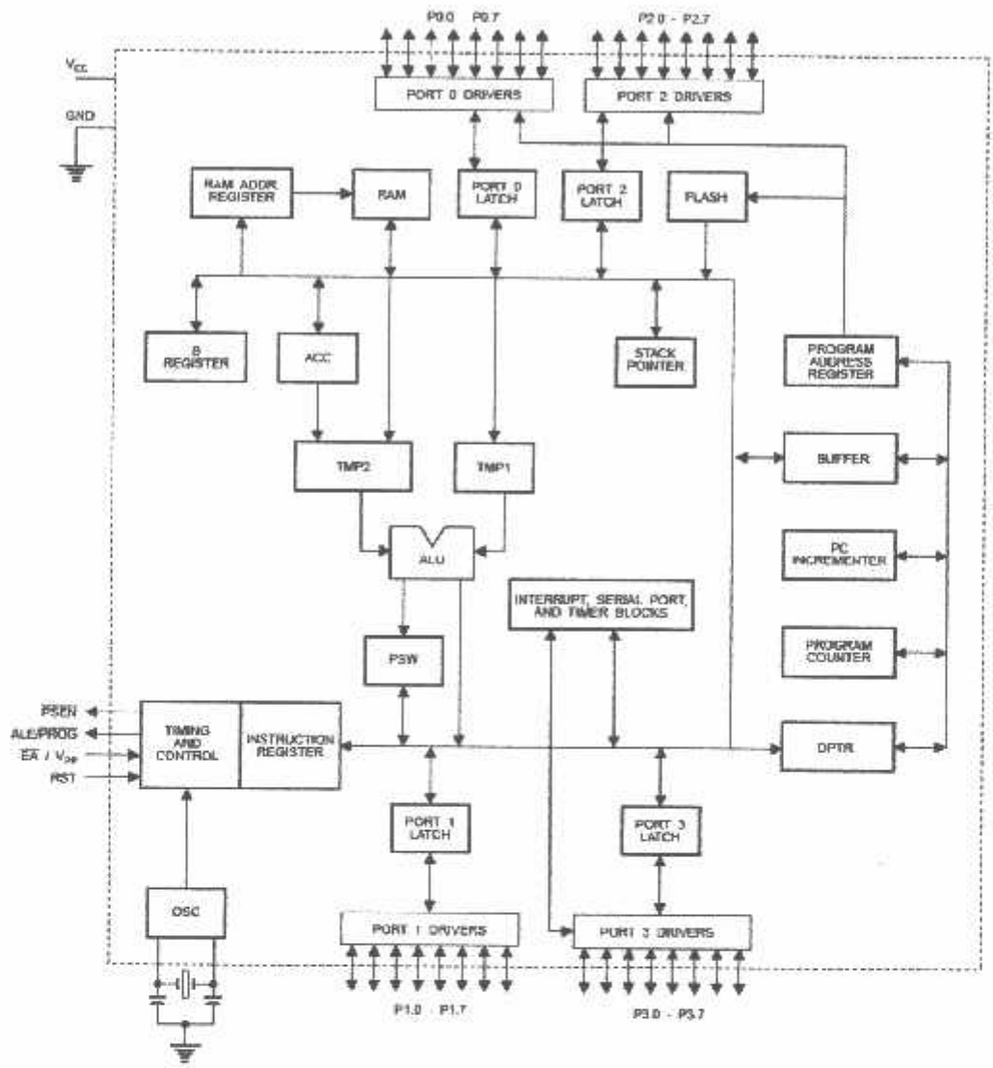
ADC jenis ini dibentuk dari beberapa jenis DAC (Digital To Analog Converter), comparator dan beberapa register dan rangkaian control.

Teknik konversi yang dipakai adalah dengan membandingkan antara tegangan input yang tidak diketahui dengan tegangan output yang dihasilkan oleh DAC. DAC diatur oleh shift register dan rangkaian logika untuk control dan hasil konversi dapat diambil dari register keluaran. Konversi dimulai dengan memberikan sinyal input start conversion. Dengan sinyal start conversion tersebut input DAC akan dibuat aktif sehingga MCB sama dengan satu dan bit yang lain berharga 0. Output DAC akan terjadi setengah full scale dibandingkan dengan input analog yang dikonversi. Dari output komparator dapat diketahui mana yang lebih besar, bila tegangan output DAC

lebih besar maka bit MSB tetap, sedang bila output DAC lebih kecil maka MSB berubah menjadi 0. kemudian bit berikutnya (bit lebih rendah dari MSB) dibuat sama dengan 1 dengan keadaan MSB tetap seperti proses perbandingan pertama tadi. Dari keadaan input digital ini akan dihasilkan output analog (dari DAC) yang juga akan dibandingkan lagi dengan tegangan input untuk menentukan apakah keadaan bit kedua akan diubah atau tidak. Proses diatas berlangsung terus sampai LSB sehingga diperoleh output dari input DAC yang terakhir. Proses pergeseran bit dari MSB ke LSB dilakukan oleh shift register yang waktunya diatur oleh pulsa Clock. Jika proses konversi telah selesai output status bit akan mengeluarkan End Of Convertion yang menyatakan output digital ADC dapat diambil sebagai besaran digital yang mewakili input analog yang dikonversikan.

2.7. Mikrokontroler

AT89C51 adalah mikrokontroler keluaran atmel dengan 4K byte *flash PEROM (programmable and erasable read only memory)*, AT89C51 merupakan memori dengan teknologi *non-volatile memory*, isi memori tersebut dapat di isi ulang ataupun di hapus berkali-kali. Memori ini biasa digunakan untuk menyimpan instruksi (perintah) berstandar MCS-51 kode sehingga memungkinkan mikrokontroler ini untuk bekerja dalam mode *single chip operation* (mode operasi keeping tunggal) yang tidak memerlukan *external memory* (memori luar) untuk Menyimpan*sourcecode*tersebut.



Gambar 2.5. Arsitektur Perangkat Keras*)

*) Mikrokontroler AT89C51, Paulus Andi Nalwan, Hal : 2

Tabel 2.2. Struktur Memori AT89C51*)

Nomor Pin (1)	Nama Pin (2)	Alternative (3)	Keterangan (4)
20	GND		*Ground.*
40	VCC		*Power Supply.*
32 s/d 39	P0.7 s/d P0.0	D7 s/d D0 & A7 s/d A0	*Port 0* dapat berfungsi sebagai 1/0 biasa, *low order multiplex address/* data ataupun menerima kode byte pada saat *flesh programming.* Pada fungsi sebagai 1/0 biasa port ini dapat memberikan *output sink* ke delapan buah TTL input atau dapat diubah sebagai input dengan memberikan logika 1 pada *port* tersebut. Pada fungsi sebagai *low order multiplex address/* data *port* ini akan mempunyai *internal pull up.* Pada saat *flesh programming* diperlukan *external pull up* terutama pada saat verifikasi program.
(1)	(2)	(3)	(4)

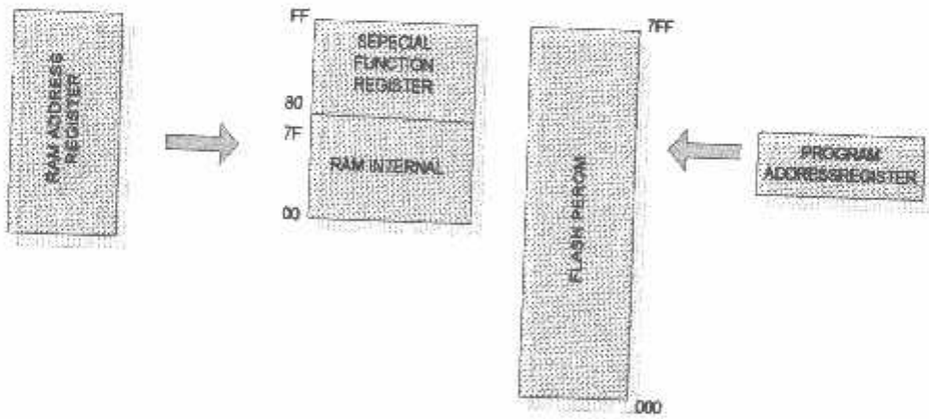
1 s/d 8	P1.0 s/d P1.7		*Port 1* berfungsi sebagai 1/0 biasa atau menerima *low order address bytes* selama pada saat *flesh programming*. *Port* ini mempunyai *internal pull up* dan berfungsi sebagai input dengan memberikan logika 1. Sebagai output *port* ini dapat memberikan *output sink* keempat buah input TTL.
21 s/d 28	P2.0 s/d P2.7	A8 s/d A15	*Port 2* berfungsi sebagai 1/0 biasa atau *high order address*, pada saat mengakses memori secara 16 bit Pada saat mengakes memors secara 8 bit, port ini akan mengeluarkan isi dari P2 *special function register* *Port* ini mempunyai *internal pull up* dan berfungsi sebagai input dengan memberikan logika 1 Sebagai output, port ini dapat memberikan *output sink* keempat buah input TTL.
(1)	(2)		(3)

10 s/d 17	Port 3		Sebagai 1/0 biasa *port 3* mempunyai sifat yang sama dengan *port 1* maupun *port 2*. sedangkan sebagai fungsi special port-port ini mempunyai keterangan sebagai berikut :
10	P3.0	RXD	*Port serial input.*
11	P3.1	TXD	*Port serial output.*
12	P3.2	INT 0	*Port external interrupt 0.*
13	P3.3	INT 1	*Port external interrupt 1.*
14	P3.4	T 0	*Port external timer 0 input.*
15	P3.5	T 1	*Port external timer 1 input.*
16	P3.6	WR	*External data memory write strobe.*
17	P3.7	RD	*External data memory write strobe.*
9	RST		*Reset* akan aktif dengan memberikan *input high* selama 2 *cycle*.
(1)	(2)	(3)	(4)

30	ALE	PROG	Pin ini dapat berfungsi sebagai *address latch enable* (ALE) yang *men-latch low byte address* pada saat mengakses *memory external*. Sedangkan pada saat *flash programming* (PROG) berfungsi sebagai *fulse input* pada operasi normal ALE akan mengeluarakan sinyal *clock* sebesar 1/16 frekwensi *oscillator* kecuali pada saat mengakses *memory external* sinyak *clock* pada pin ini dapat pula di-"disable" dengan men-set bit 0 dari *special fungtion register* dialamat BEH . ALE hanya akan aktif pada saat mengakses *memory external*
29	PSEN		Pin ini berfungsi pada saat mengeksekusi program yang terletak pada *memory external*. PSEN akan aktif 2 kali setiap *cycle*
(1)	(2)	(3)	(4)

31	EA	VP	Pada kondisi *low*, pin ini akan berfungsi sebagai EA yaitu mikrokontroler akan menjalankan program yang ada pada *memory external* setelah sistem di-"reset". Jika berkondisi *high*, pin ini akan berfungsi untuk menjalankan program yang ada pada *memory internal*, Pada saat *flash programming* pin ini akan mendapat tegangan 12 Volt (VP).
19	XTAL1		*Input Oscillator*
18	XTAL2		*Output Oscillator*

*) Mikrokontroler AT89C51, Paulus Andi Nalwan, Hal :



Gambar 2.6. Alamat *RAM Internal* dan *Flash PEROM**)

*) Mikrokontroler AT89C51, Paulus Andi Nalwan, Hal : 2

2.7.1. Struktur *Memory* AT89C51

AT89C51 mempunyai struktur memori yang terdiri atas : (Ibnu Malik, 2003 : 15) [1]

a). *RAM internal*, memori sebesar 128 byte yang biasanya digunakan untuk menyimpan variabel atau data yang bersifat sementara.

b). *Special function register* (register fungsi khusus), memori yang berisi *register-register* yang berfungsi khusus disediakan oleh mikrokontroler tersebut, seperti timer, serial dan lain-lain.

c). *Flesh PEROM*, memori yang digunakan untuk menyimpan instruksi-intruksi MCS51.

AT89C51 mempunyai struktur memori yang terpisah antara *RAM internal* dan *flash PEROM*-nya. Seperti yang tampak pada gambar 2, *RAM internal* dialamati oleh *RAM address register* (register alamat RAM) sedangkan *flash PEROM* yang menyimpan perintah-perintah MCS-51 dialamati oleh program *address register* (register alamat program). Dengan adanya struktur memori yang terpisah tersebut, walaupun *RAM internal* dan *flash PEROM*, mempunyai alamat awal yang sama, yaitu alamat 00, namun secara fisiknya kedua memori tersebut tidak saling berhubungan. Pemisahan dilakukan secara logika, hal ini disebabkan *CPU* dapat mengakses sampai 64 Kbyte memori program dan 64 Kbyte memori data. Lebar memori data internal adalah 8 bit dan 16 bit (register PC dan register DPTR). (Afgianto Eko Putra, 2002 : 30) [2]

Selain mempunyai program dan memori data, AT89C51 juga memiliki beberapa register fungsi khusus atau *spesial function register (SFR)*. Register ini menggunakan *addres* dari 80h – ffh. Namun semua data ini digunakan untuk *SFRS*.

2.7.2. Memori Program

Memori program menggunakan alamat sepanjang 64 Kbyte dengan 4K bytes (alamat $0000 sampai $0FFF) yang merupakan memori internal, sehingga 60 Kbytes merupakan memori eksternal.(Ibnu Malik, Loc. Cit.) [3)]

Memori program merupakan tempat menyimpan data yang permanen. Memori program merupakan memori yang hanya dapat dibaca atau lebih dikenal dengan nama *Read Only Memori (ROM)*. Data dalam *ROM* tidak akan terhapus meskipun catu daya dimatikan. (bersifat *non volatile*). Karena sifatnya ini maka *ROM* hanya dapat digunakan untuk menyimpan program.

Ada beberapa tipe *ROM*, diantaranya *ROM* murni yaitu memori yang telah diprogram oleh pihak pabrik, *PROM, EPROM dan EEPROM, PROM* merupakan memori yang dapat diprogram oleh pemakai tetapi tidak dapat diprogram ulang. *EPROM* merupakan *PROM* yang dapat diprogram ulang. *ROM* ini terdapat pada mikrokontroller 8751.

EEPROM pada prinsipnya sama dengan *EPROM*. Perbedaannya terletak pada pengisian dan pengosongan atau penghapusan program. Untuk mengisi program yang baru, pada *EPROM* harus dihapus terlebih dahulu dengan sinar ultra violet, sedangkan pada *EEPROM* pengisian dapat dilakukan secara langsung, berarti program yang lama ditumpuki oleh program yang baru, karena itu secara otomatis

akan menyebabkan program yang lama akan hilang, sehingga *EEPROM* lebih fleksibel dibandingkan dengan *EPROM*. (Azam, 2005 : 45) [4)]

2.7.3. Memori Data

Memori data atau *RAM* (*Random Acces Memori*) adalah tempat menyimpan data yang bersifat *volatile* yaitu data akan hilang bila tidak ada catu.

Memori data keluarga MCS 51 dapat memiliki pengalamatan sampai 64 Kbyte yang didapat dari memori data eksternal. Selain dari data eksternal, pada MCS 51 memiliki 128 Bytes *RAM* internal ditambah sejumlah register fungsi khusus atau *Special Function Register*.

RAM keperluan umum dimulai dari alamat 30H hingga 7FH dan dapat diakses dengan pengalamatan langsung ataupun tidak langsung, pengalamatan langsung dilakukan ketika salah satu *operand* merupakan bagian yang menunjukkan lokasi yang dialamati keakumulator secara langsung seperti pada contoh berikut:

Sedangkan pengalamatan tidak langsung pada lokasi dari *RAM internal* ini adalah akses dari data memori ketika alamat memori tersebut tersimpan dalam suatu *register* R0 atau R1, R0 dan R1 adalah dua buah *register* pada mikrokontroler berasitektur MCS51 yang dapat digunakan sebagai *pointer* dari sebuah lokasi memory pada *RAM internal*. (R. Tosla, 1991 : 46)

Contoh :

```
MOV   R0, #35H    : R0 diisi dengan data 35H
MOV   A, @R0      : baca data alamat yang ditunjukan oleh RO
```

Pada contoh diatas, R0 diisi dengan data 5, berbeda dengan contoh sebelumnya, akumulator dengan data pada alamat 35H. perbedaan ini terlihat dengan adanya tanda '#'. Kemudian data dialamatkan yang nilainya tersimpan pada R0 atau alamat 35H dipindah ke akumulator.

Pengalamatan secara tidak langsung biasa digunakan untuk mengakses beberapa lokasi memori dengan letak yang beraturan seperti pada contoh berikut :

```
MOV   R0, #30H        : R0 diisi dengan data 30H
MOV @ R0, #05         : Data 5 diisikan kealamat yang ditujuk oleh
                        R0
INC R0                : R0 menunjuk ke alamat selanjutnya
CJNE R0, #35H, LOOP   : Jika R0 belum mencapai 35H, lompat
                        kelabel loop
```

AT89C51 mempunyai 21 *special function register* (register fungsi khusus) yang terletak pada alamat 80H hingga FFH beberapa register ini juga mampu dialamati dengan pengalamatan bit sehingga dapat dioperasikan seperti yang ada pada RAM yang lokasinya dapat dialamati dengan pengalamatan bit.

2.7.4. *Accumulator*

Register ini terletak pada alamat E0H, hampir semua aritmetik dan operasi logika selalu menggunakan register ini, untuk proses pengambilan dan pengiriman data ke memori external juga di perlukan register ini.

AT89C51 mempunyai 4 buah *port*, yaitu *port 0*, *port 1*, *port 2*, dan *port 3* yang terletak pada alamat 80H, 90H, A0H, dan B0H. namun jika digunakan *external memory* atau fungsi-fungsi special, seperti *external interrupt*, *serial external timer*, *port 0*, *port 2*, dan *port 3* tidak dapat digunakan sebagai *port* dengan fungsi umum. Untuk itu disediakan *port 1* yang dikhususukan untuk port dengan fungsi umum. (Khang Bustam, 2002 : 55) [61]

Contoh, jika dilakukan *instruksi set* P1.3, ketiga dari *port* 1 akan berkondisi *high* (5V) tanpa mempengaruhi *bit-bit* yang lain dalam *port* ini, seperti terlihat pada gambar 4 bit ke 3 dari *port 1* terletak pada alamat 93H oleh kerena itu instruksi setb P1.3 dapat juga diganti dengan instruksi setb 93H.

BAB III

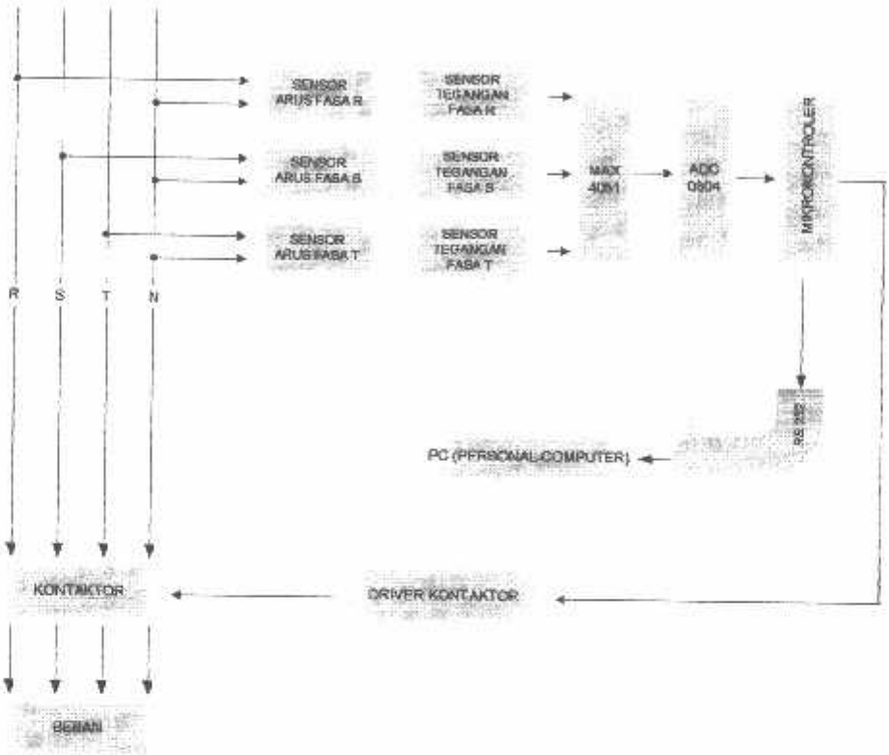
PERENCANAAN DAN PEMBUATAN ALAT

3.1. Umum

Dalam pemakaian beban-beban yang menggunakan sumber tegangan 3 fasa, banyak hal yang harus diperhatikan dibandingkan dengan alat atau beban yang menggunakan sumber tegangan 1 fasa. Hal tersebut antara lain mengenai keadaan dari sumber tegangan. Sumber tegangan tiga fasanya yang akan digunakan harus sama (seimbang), urutan fasa harus sesuai dengan fungsi atau sesuai kegunaannya (seperti motor tidak boleh bekerja hanya dengan dua buah sumber fasa, naik turunnya arus dan frekwensi harus sesuai dengan ketentuan nominal motor). Untuk itu dibutuhkan suatu pengaman yang dapat mengatasi gangguan-gangguan tersebut. Dimana salah satu alternatifnya adalah penggunan rangkaian elektronika untuk pengaman.

Beberapa keunggulan dari peralatan pengaman elektronika ini adalah mudah dalam pengaturan dan kecepatan kerja dari pengaman (kepekaan pengaman) selain itu dapat memutuskan motor dari sumber tegangan bila terjadi gangguan. Dengan peralatan pengaman elektronika ini jenis gangguan langsung dapat diketahui dengan adanya sistem monitoring menggunakan Personal Computer (PC), sehingga akan memudahkan dalam pelacakan gangguan sekaligus pemecahannya.

3.2. Blok Diagram



Gambar 3.1. Blok Diagram Rangkaian Pengaman

Keterangan Blok Diagram :

Suplai tegangan 3 fasa dideteksi oleh dua macam bagian sensor yaitu sensor tegangan dan arus. Output dari masing-masing sensor diumpan ke ADC. Di ADC 0804 data analog diubah ke data digital, tetap sebelum itu harus melalui multuplekser 4051 yang berfungsi untuk menyeleksi tegangan dari 6 buah tegangan sebagai sensor. Dari ADC data yang telah diubah ke digital dikirim ke mikrokontroller. Di dalam mikrokontroller data dari sensor tegangan, sensor arus diolah mikrokontroller, jika terdapat gangguan pada saat

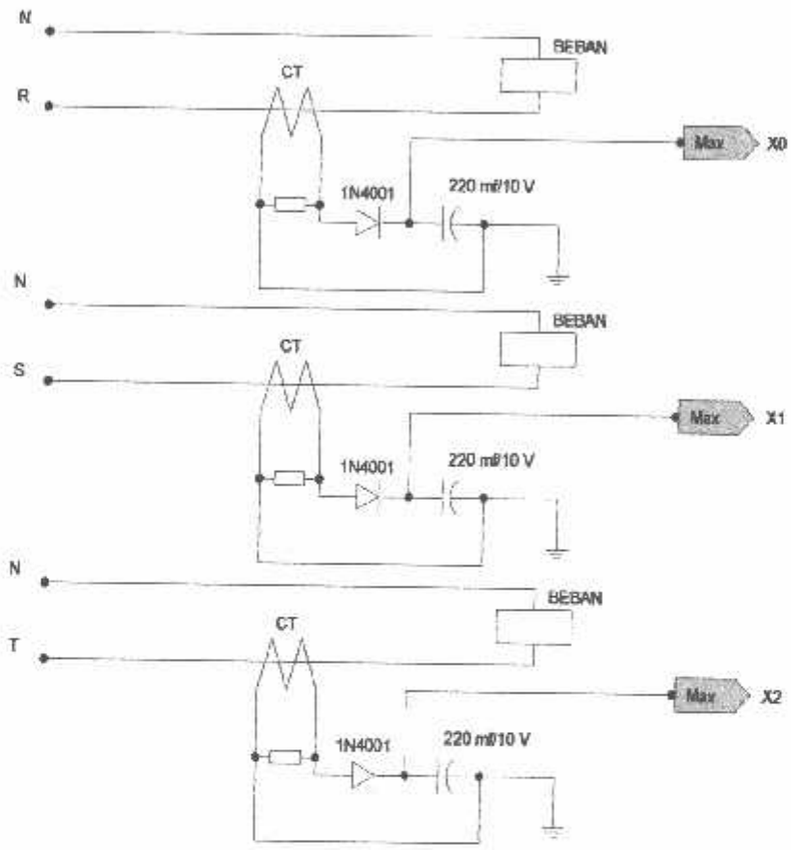
waktu tertentu maka mikrokontroler akan langsung memutuskan/ mengaktifkan kontaktor (MCB). Dari mikrokontroller data masuk ke RS 232 yang berfungsi sebagai komunikasi antara mikrokontroller dengan PC dan selanjutnya data ditampilkan oleh PC, dengan menggunakan program Delphi. Didalam program Delphi tersebut juga terdapat program yang mengecek gangguan salah satu fasa hilang. Jadi jika terdapat gangguan salah satu fasa hilang maka Delphi akan mengirim perintah kepada mikrokotroller untuk mengaktifkan rangkaian swiching untuk merubah posisi kontak-kontaknya, kemudian data ditampilkan ke PC.

3.3. Bagian-bagian dari Rangkaian

3.3.1. Rancangan Sensor Arus

Dalam pengambilan sinyal arus, dibutuhkan lilitan yang berjumlah 32 lilitan. Ketika sumber masuk dan terdapat beban maka arus akan mengalir pada beban, arus yang mengalir tersebut akan menginduksikan lilitan(yang terdapat pada sensor arus). Induksi tersebut menghasilkan GGL yang menyebabkan tegangan AC. Dan kemudian dikonversikan menjadi tegangan DC. besaran arus harus dikonversikan menjadi tegangan terlebih dahulu, dan untuk mengkonversikan arus menjadi tegangan digunakan resistor. Resistor ini dipasang secara seri dengan beban sehingga akan terdapat jatuh tegangan pada resistor tersebut bila ada arus yang mengalir, karena besar jatuh tegangan ini berbanding lurus dengan nilai arus yang mengalir pada penghantar. Jatuh tegangan inilah yang mewaliki arus yang mengalir pada beban. Jatuh tegangan ini diusahakan sekecil mungkin, hal ini dimaksudkan agar rugi daya yang

diakibatkan oleh resistor diharapkan sekecil mungkin. Maksud lain dari penggunaan resistor yang sekecil mungkin adalah agar tambahan rangkaian ini tidak terlalu mengubah karakteristik beban terpasang. Rangkaian sensor arus yang dirancang dapat dilihat pada gambar 3.2.



Gambar 3.2. Rangkaian Sensor Arus

Dalam perencanaan ini digunakan resistor yang bernilai 1 Ω jenis metal film yng dipararel sebanyak 20 buah. Arus yang mengalir maksimal 5 A, dengan demikian jatuh tegangan yang terjadi adalah :

Nilai arus yang mengalir max 5A yang terdeteksi oleh sensor arus dari hasil perbandingan CT 50/5 A.

$R = 1\ \Omega$

$R_{total} = \frac{1}{R\Sigma}$

$= \frac{1}{20}$

$= 0{,}05\ \Omega$

$V_{jatuh\ max} = I_{max} \times R_{total}$

$= 5\ \text{Amp} \times 0{,}05\ \text{Ohm} = 0{,}25\ \text{V}$

$P_{rugi} = I_{max}^{2} \times R_{total}$

$= 5^{2}\ \text{Amp} \times 0{,}05\ \text{Ohm} = 1{,}25\ \text{Watt}$

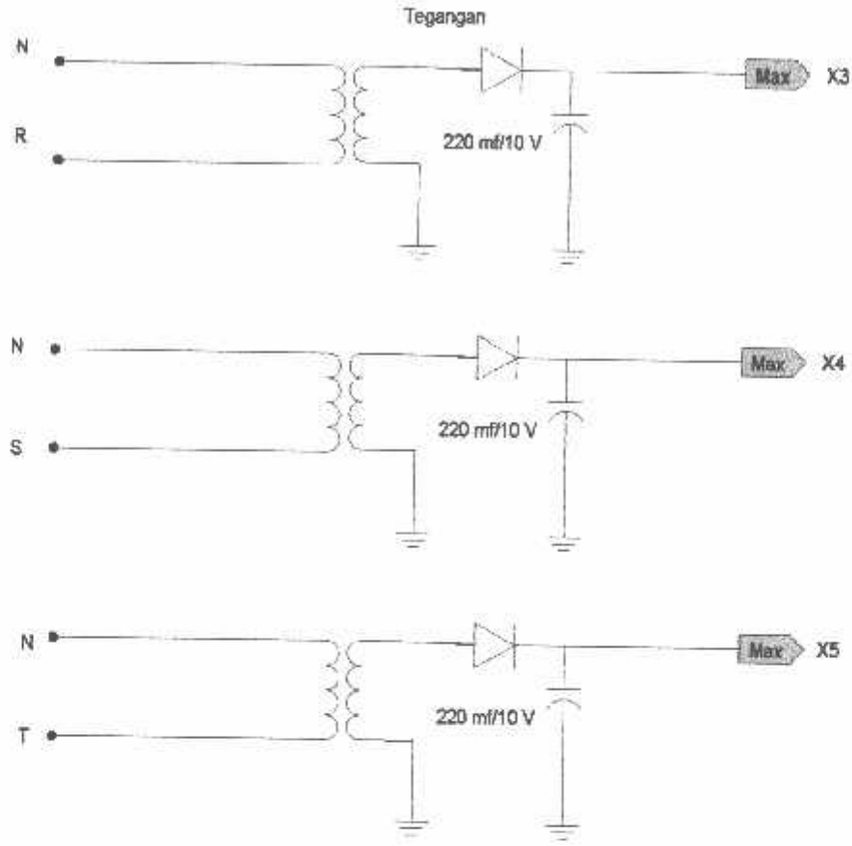
Kemampuan daya resistor total adalah sebesar :

$P_{resistor} = P_{per\ resistor} \times 20$

$= 0{,}25\ \text{Watt} \times 20 = 5\ \text{Watt}$

3.3.2. Rancangan Sensor Tegangan

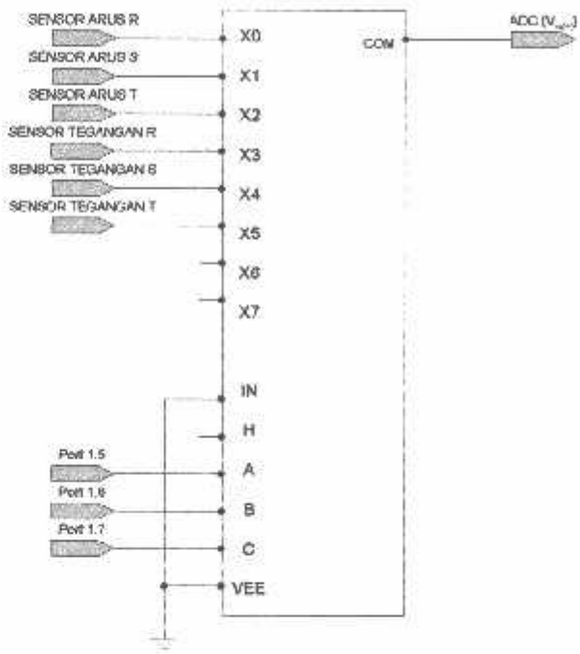
Karena sinyal tegangan yang diambil adalah tegangan 220 V AC, maka digunakan Potensial Transformer (PT). sinyal tegangan ini kemudian diubah menjadi sinyal DC kemudian diubah menjadi data digital dengan menggunakan ADC. Rangkaian sensor tegangan terdapat pada gambar 3.3.



Gambar 3.3. Rangkaian Sensor Tegangan

3.3.3. Perencanaan Multiplekser 4051

Multiplekser analog dipergunakan untuk menyeleksi tegangan dari 4 buah tegangan sebagai sensor. IC terdiri atas 8 input / output yang masing-masing dari ke –8 seksi tersebut dihubungkan pada alat yang akan diambil datanya. Untuk keluaran bersama terdapat pada satu pin. Untuk menyeleksi data mana atau pin mana yang akan dilihat datanya dalam multiplekser 4051 terdapat select (3 pin).

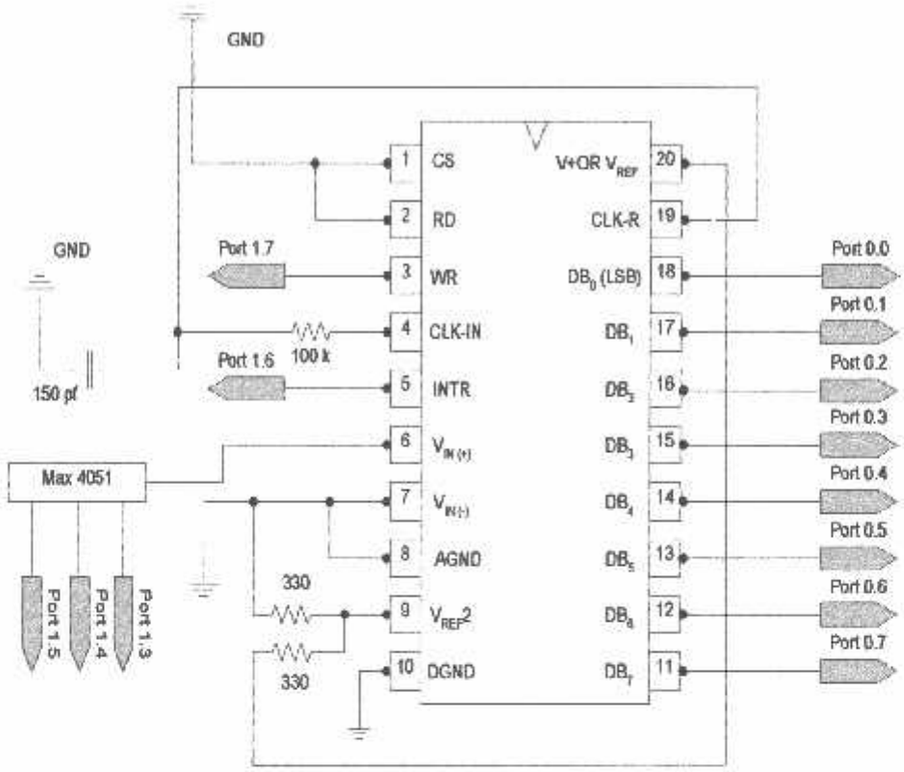


Gambar 3.7. Rangkaian Multiplekser Analog 4051

Karena data yang diseleksi ada 6 buah dari sensor tegangan maka rangkaian ini hanya membutuhkan 3 buah cs yaitu memakai cs A, B dan C, dengan memakai input 1,2,3,4,5 dan 6.

3.3.4. Perencanaan ADC 0804

Untuk mengkonversikan data analog dari tegangan sebagai sensor dipergunakan IC 0804. IC ini memiliki satu buah input dan memiliki 8 output paralel. ADC 0804 memiliki clock generator internal.



Gambar 3.6 Rangkaian ADC 0804 (Perencanaan)

Penjelasan rangkaian ADC diatas adalah sebagai berikut :

a. untuk tegangan referensi ADC diberikan tegangan sebesar 5 Volt
b. Input tegangan dari mux analog merupakan hasil konversi dari tegangan input analog.
c. Delapan output paralel akan dihubungkan dengan port 0.
d. WR dihubungkan dengan port 1.7 untuk tanggapan data sebelum ADC mengirim data.

e. INTR dihubungkan dengan port 1.6 untuk mengetahui kapan awal konversi. ADC ini diberikan tegangan referensi sebesar 2,5 Volt sehingga memiliki step size :

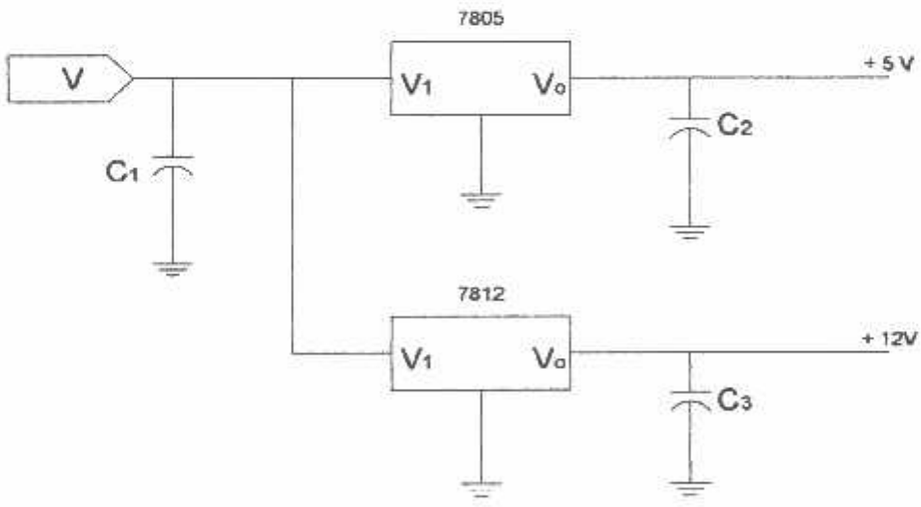
Step size = Vreff / full-Scale

Step size = 2.5 /255

= 10 mili volt.

3.3.5. Power Suplai

Untuk mengaktifkan semua rangkaian diperlukan power suplay. Pada rangkaian ini digunakan dua buah sumber yang berbeda, yaitu +5V dan +12V. suplay +5V digunakan untuk mensulpai semua IC dan transistor sebagai sumber arus. Sedangkan suplai +12V digunakan untuk mensuplai tegangan referensi dan relay relay. Untuk itu digunakan dua buah voltage regulator yaitu tipe 7805 dan 7812.



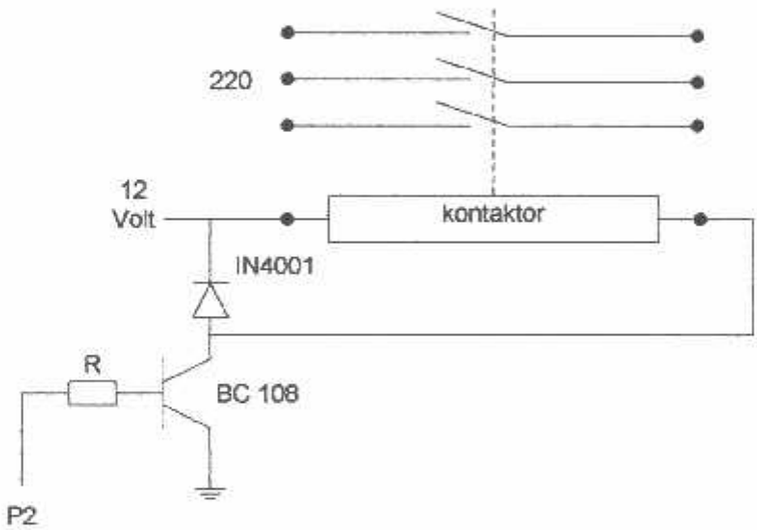
Gambar 3.5. Rangkaian Power Supply

Daftar Komponen :

C_1	= 470 µF / 25 V	IC1	= 7806
C_2	= 100 µF / 25 V	IC2	= 7812
C_3	= 100 µF / 25 V		

3.3.6. Relay

Dalam perencanaan tugas akhir ini digunakan relai 8 pin dengan catu daya 12 volt. Untuk menggerakkan relay ini secara elektrik maka dibutuhkan suatu rangkaian pendukung lagi yaitu transistor sebagai switch.



Gambar 3.8 Rangkaian Relay dengan Menggunakan Respon Transistor

Untuk mengaktifkan rangkaian luar seperti kontaktor, alarm dan lain sebagainya, maka digunakan transistor sebagai saklar. Jadi bila ada output (logika tinggi) pada And Gate, maka transistor akan terbias maju (saklar ON).

Besarnya arus dapat dihitung sebagai berikut :

$$I_{re} = \frac{Vcc}{R_{rc}}$$

$$= \frac{5}{100}$$

$$= 0{,}05 \text{ A}$$

Tipe transistor yang digunakan adalah BC 108 yang mempunyai $I_c$max = 100 mA dan β = 110. dan untuk menentukan besarnya R_B dapat dihitung sebagai berikut :

$$\beta = \frac{I_c}{I_b}$$

$$I_b = \frac{I_{re}}{110}$$

$$= \frac{0{,}05}{110}$$

$$= 0{,}455 \text{ mA}$$

$$V_b = V_{RB} + V_{BE}$$

$$5 = V_{RB} + 0{,}7$$

$$V_{RB} = 4{,}3 \text{ Volt}$$

$$R_B = \frac{V_{RB}}{I_b}$$

$$= \frac{4,3}{0,455.10^{-3}}$$

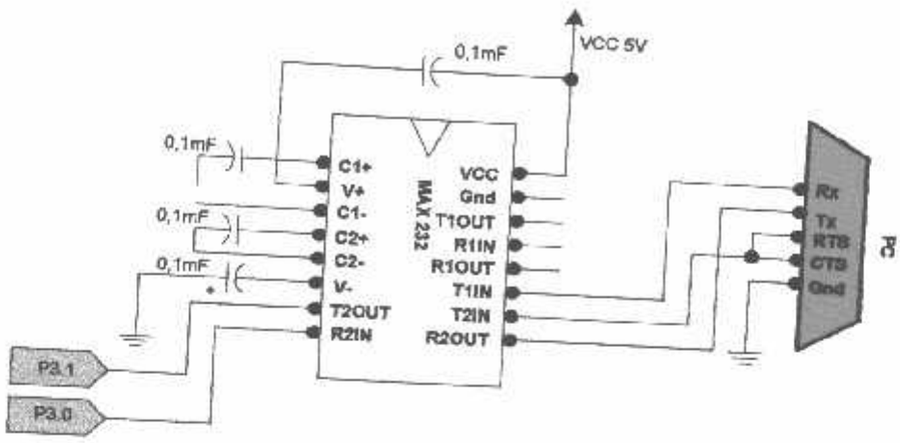
$$= 947,55\ \Omega$$

Yang Ada di pasaran adalah 6K8 Ω

Dari rangkaian terlihat bahwa bila salah satu dari keluaran pendeteksi berlogika rendah (nol), keluaran port P2.1 akan mempunyai logika keluaran yang rendah pula. Akibatnya transistor tidak terbias dan mengakibatkan koil relay K_2 tidak teraliri arus listrik. Sehingga posisi kontak kontaknya akan berubah. Dan jika keluaran port P2.1 mempunyai tegangan +5Volt atau berlogika tinggi maka transistor akan terbias dan mengakibatkan koil relay teraliri arus listrik.

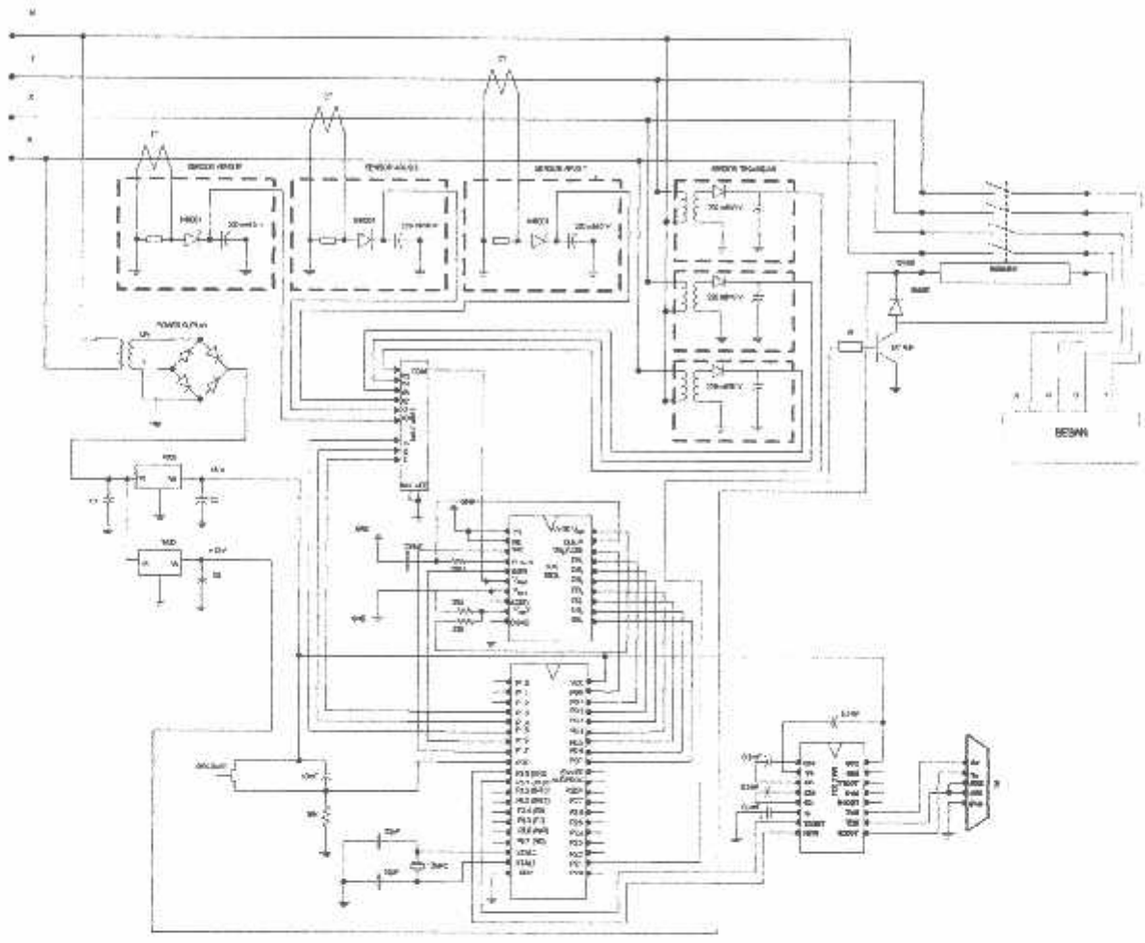
3.3.7. Pengubah level TTL ke RS 232

Untuk dapat berkomunikasi secara serial dengan computer dalam merancang perangkat komunikasi kita memerlukan peralatan pengubah tegangan sehingga level tegangan antara dua instrument yang berbeda yaitu Mikrokontroller Unit dan Komputer dapat mact. Max 232 merupakan pengubah TTL ke level tegangan RS 232. Max 232 memiliki drivers mengkonversikan RS 232 ke level TTL dan dua penerima yang merubah tegangan TTL ke RS 232. MAX 232 memiliki kemampuan mengakses data lebig dari 120 kbps. MAX 232 memiliki pin dan dioperasikan dengan empat kapasitor yang memiliki nilai kapasitif 1 μF.



Gambar 3.9 MAXIM 232(Perencanaan)

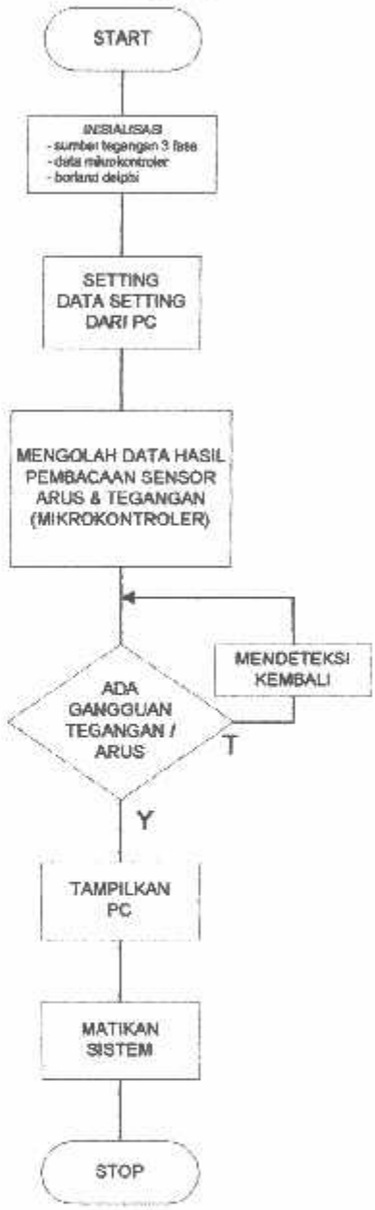
Diagram Rangkaian Keseluruhan Pengaman Beban Induksi 3phasa.



Gambar 3.10. Diagram Rangkaian Keseluruhan Pengaman Beban Induksi 3phasa

3.3.8. Perencanaan Software

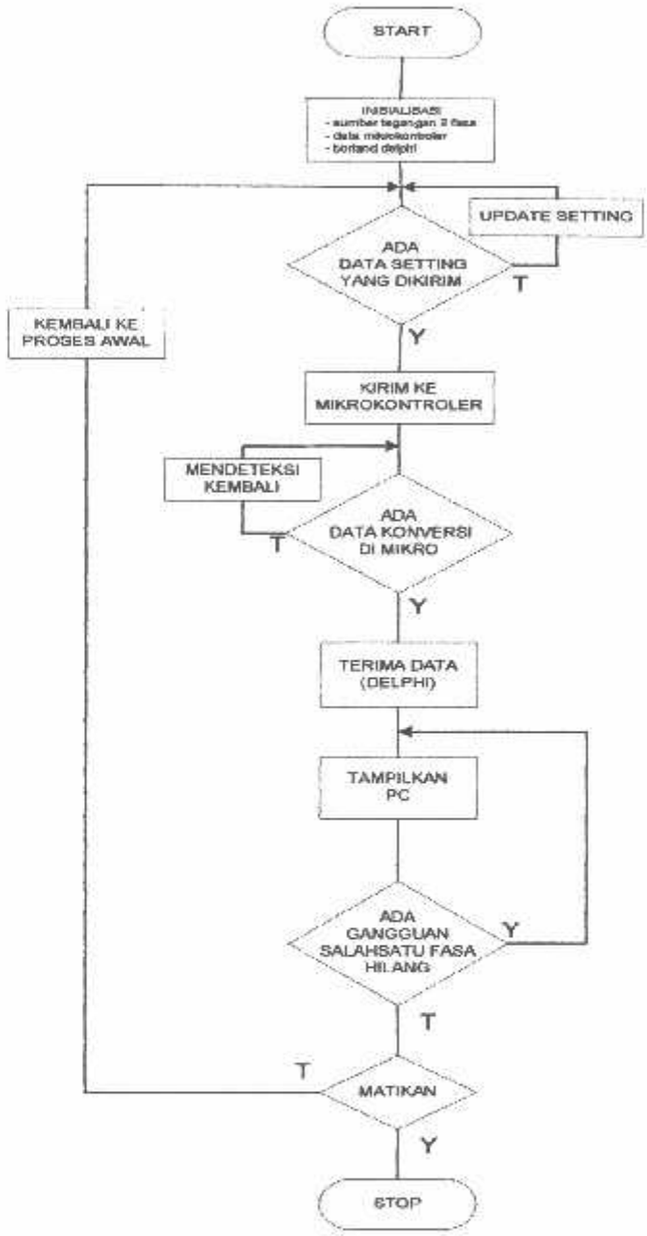
3.3.8.1. Perencanaan keseluruhan program



Gambar 3.11. FlowChart Keseluruhan (Perencanaan)

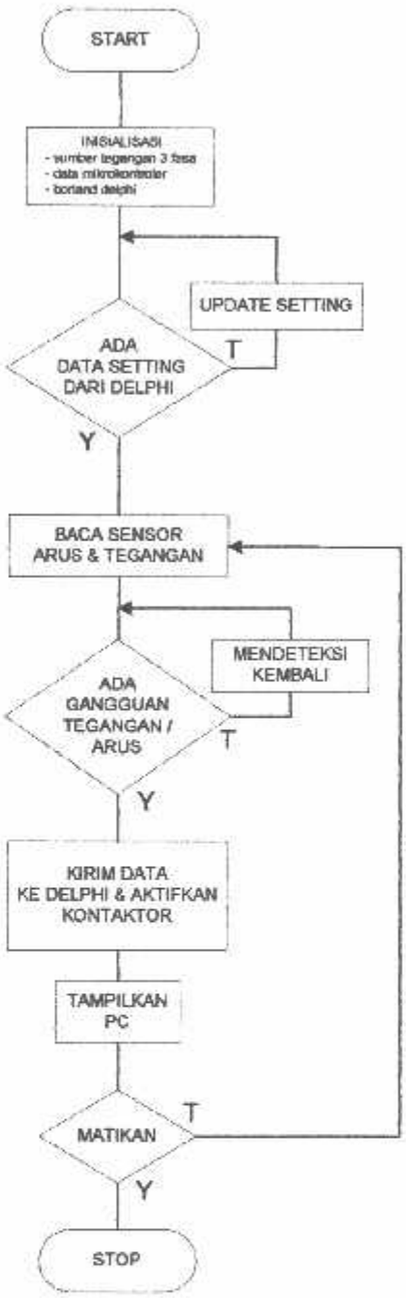
3.3.8.2. PC (*Personal Computer*)

Perencanaan program tampilan pada PC ini menggunakan Bahasa Pemrograman Borland Delphi. Pada PC dibuat tampilan dalam bentuk tabel dan grafik dari data data sensor arus dan tegangan kiriman dari Mikrokontroler .



Gambar 3.12. FlowChart Program Delphi (Perencanaan)

3.3.8.2. Mikrokontroler



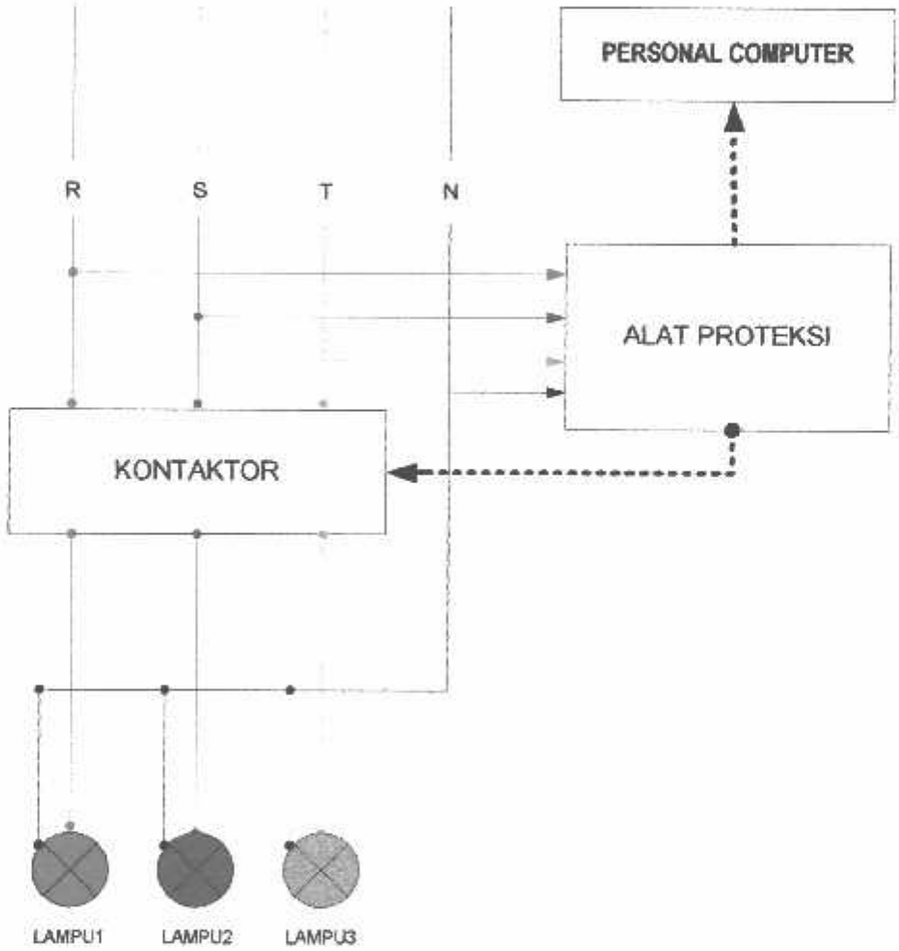
Gambar 3.13. FlowChart Mikokontroler (Perencanaan)

BAB IV
PENGUJIAN ALAT DAN ANALISA

4.1. Pengujian sumber tegangan 3fasa terhadap gangguan tegangan dan arus.

Pada pengujian sumber tegangan 3fasa terhadap gangguan tegangan dan arus menggunakan beban berupa lampu indicator guna mengidentifikasi status supply tegangan sekaligus menghindari kerusakan-kerusakan selama pengujian.

Pemasangan alat adalah sebagai berikut:



Gambar 4.1 rangkaian pemasangan alat

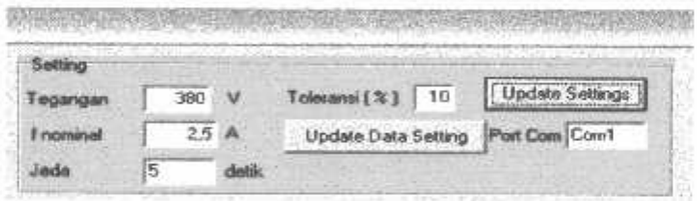
4.1.1. Pengujian dan Analisa hasil pengujian

Sebelum pengujian dilakukan harus melalui tahap-tahap sebagai berikut :

1. Alat proteksi dan sumber tegangan harus dipasang kabel dengan benar mulai dari urutan fasa harus benar sampai pemasangan lampu indicator.
2. menghubungkan kabel dari system proteksi kepada PC (Personal Computer|) dengan memasukkan kabel ke*serial port*
3. Sebelum difungsikan alat proteksi tersebut harus diseting terlebih dahulu yang terdapat pada PC (Personal Computer) dengan menyesuikan tingkat kinerja beban yang akan dipakai (name plate beban). Pada sistem proteksi ini setting dapat dirubah-rubah sesuai dengan keinginan operator, sehingga pada pengujian naik turunnya tegangan atau naiknya arus tidak perlu menggunakan regulator atau alat pendukung yang lain untuk mendapatkan hasil pengujian.
4. kemudian sistem proteksi sudah dapat digunakan dengan membuka atau menghubungkan rangkaian dengan sumber tegangan tiga fasa,.
5. Mengamati hasil tampilan pada PC.

4.1.2. Pengujian terhadap naik turunnya tegangan.

1. Setting



Gambar 4.2.Setting tegangan

2. Karena teloransi menunjukkan 10%, maka jarak atau batas perubahan tegangan yang tidak dapat dideteksi pada nilai :

   380volt x 10% = 38 Volt

   380Volt + 38 Volt = 418 Volt, jadi batas atas pada nilai diatas 418 Volt.

380Volt – (2 x 38 Volt) = 304 Volt,nilai dari batas bawah lebih besar dua kali batas atas agar kinerja beban nantinya dapat maksimal

Jadi system proteksi ini dapat bekerja pada kondisi tegangan 304Volt- 418 Volt

3. Respon Alat terhadap perubahan tegangan dengan setting 10%

Karena kelebihan dari system proteksi ini adalah pada setting dapat dirubah-rubah maka pada pengujian ini tidak memerlukan transformator step up dan step down jadi dengan merubah-rubah nilai setting akan dapat mewakili bahwa alat system proteksi ini dapat bekerja, yaitu dengan cara tidak merubah atau tetap mempertahankan nilai sumber tegangan 3fasa 380Volt dan dengan merubah-rubah nilai tegangan pada setting menambahkan atau menggurangkan nilai setting tegangan.

Tabel4.1

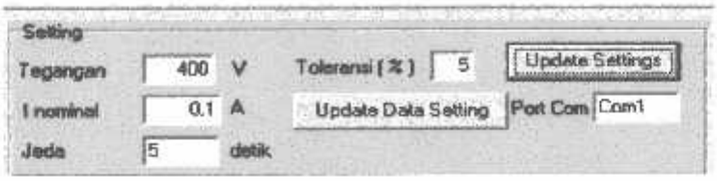
Respon Alat Terhadap Perubahan Tegangan sebesar ± 10%

TEGANGAN (VOLT)	STATUS INDIKATOR	KONDISI
480	Off	Tegangan lebih
400	On	Normal
380	On	Normal
340	On	Normal
300	Off	Tegangan kurang

Alat akan merespon tiap perubahan pada kisaran yang telah ditetapkan yaitu antara 304Volt- 418 Volt, sehingga tegangan mengalami perubahan melewati batas yang telah ditentukan maka tegangan supply akan terputus.Kemudian Kondisi akan ditampilkan ke PC.

4.1.3. Pengujian Beban atau Arus lebih

1. Setting



Gambar 4.3.Setting Arus

2. Karena teloransi menunjukkan 5%, maka batas arus yang dideteksi dideteksi adalah pada nilai :

   0,1 Ampere x 5% = 0,005 Ampere

   Jadi batas nilai atas pada,

   0,1 Ampere + 0,005 = 0,105 Ampere

   Jadi system proteksi ini dapat bekerja pada kondisi nilai arus dibawah 0,105 Ampere

3. Respon Alat terhadap perubahan Arus dengan setting 5%

   Karena kelebihan dari system proteksi ini adalah pada setting dapat dirubah-rubah maka pada pengujian ini sama dengan pada saat pengujian terhadap tegangan dengan cara tidak merubah atau tetap mempertahankan nilai sumber tegangan 3fasa 380Volt dan dengan merubah-rubah nilai setting arus.

Tabel4.2

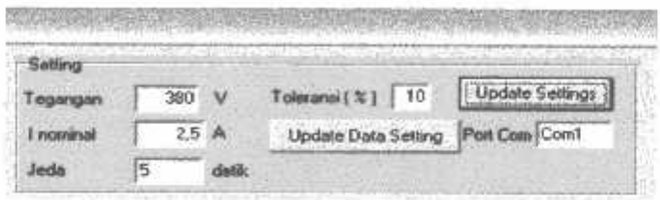
Respon Alat Terhadap Perubahan Arus sebesar ± 5%

ARUS (AMPERE)	STATUS INDIKATOR	KONDISI
0,005	Off	Normal
0,01	On	Normal
0,11	On	Arus Lebih

Alat akan merespon tiap perubahan nilai arus pada kisaran dibawah 0,105 Ampere, sehingga system dapat bekerja pada nilai arus dibawah 0,005 Ampere, jika nilai melebihi nilai tersebut maka system proteksi akan bekerja untuk memutuskan tegangan supply.Kemudian Kondisi akan ditampilkan ke PC.

4.1.4. Pengujian fasa Tegangan Hilang.

1. Setting



Gambar 4.4.Setting Salah Satu Fasa Hilang

2. Pada pengujian tegangan hilang yang dilakukan adalah memutuskan satu, dua atau ketiga fasa tegangan supply.
3. Dari pengujian didapatkan hasil sebagai berikut :

Tabel4.3

Respon Alat Terhadap Tegangan Hilang

Fasa			STATUS INDIKATOR	KONDISI
R	S	T		
1	1	1	On	Normal
1	0	1	Off	Salah satu fasa hilang
1	1	0	Off	Salah satu fasa hilang
1	0	0	Off	Salah satu fasa hilang
0	1	1	Off	Off
0	0	1	Off	Off
0	1	0	Off	Off
0	0	0	Off	Off

Pada system proteksi ini microkontroller mengambil suplay tegangan langsung dari sumber tegangan fasa R,maka jika fasa R tidak ada atau hilang maka mikrokontoller tidak mendapatkan suplay tegangan yang mengakibatkan system langsung tidak dapat bekerja atau mati dan secara otomatis kontaktor aktif.

Dan jika fasa yang lain hilang atau hilang semuanya maka system akan segera memutuskan tegangan suplay ke beban. Kemudian Kondisi akan ditampilkan ke PC.

BAB V
KESIMPULAN

A. KESIMPULAN

Dari perencanaan dan pembuatan alat pengaman beban induksi 3fasa diatas dapat diambil kesimpulan, bahwa :

1. Dengan memanfaatkan PC dapat digunakan sebagai peralatan monitoring dan proteksi motor induksi 3 fasa.
2. Karena sistem dibuat berdasarkan program yang ditanam didalam PC maka dimungkinkan untuk mengubah setting proteksi arus lebih maupun proteksi tegangan.
3. Dari hasil pengujian alat didapatkan hasil pengamatan komunikasi serial antara mikrokontroler dengan PC dapat berjalan dengan yang direncanakan.
4. Ketidak akuratan atau kelemahan dari alat ini adalah masih belum sempurnanya alat proteksi motor induksi 3 fasa terhadap gangguan salah satu fasa.

DAFTAR PUSTAKA

Fiyawanto Yadmono, 9717031, Perencanaan dan Pembuatan Atal Proteksi kegagalan fasa pada motor induksi 3 fasa menggunakan AT89C51. Laporan Akhir Program Studi Teknik Elektro Jurusan Teknik Elektronika Institut Teknologi Nasional Malang. 2004.

Paulus Andi Nalwan, 1994, Mikrokontroler AT89C51, Penerbit PT Elex Media Komputindo, Jakarta.

Mismail, Budiono, 1982, ANALISA SISTEM TENAGA, Universitas Brawijaya Malang, Malang.

Zuhal, Dasar Tenaga Listrik, ITB, Bandung,1991.

_____, AT89C51 Data Sheets :ATMEL, 1997.

_____, ADC 0803, ADC 0804 Data Sheets Intersil Amerika Inc, 2002.

_____, MAX232, MAX232I, Data sheets Texas Instruments Incorporated, 1998.

Lampiran - lampiran

INSTITUT TEKNOLOGI NASIONAL MALANG
FAKULTAS TEKNOLOGI INDUSTRI
JURUSAN TEKNIK ELEKTRO

PERNYATAAN KESEDIAAN SEBAGAI
DOSEN PEMBIMBING SKRIPSI

Sesuai dengan Permohonan mahasiswa :

Nama	:	DONNY AJI SETIAWAN
Nim	:	01.12.075
Semester	:	IX
Jurusan	:	TEKNIK ELEKTRO
Konsentrasi	:	ENERGI LISTRIK S-1

Dengan ini menyatakan **bersedia / tidak bersedia** *) menjadi Dosen Pembimbing Utama / pendamping *), untuk penyusunan Skripsi Mahasiswa tersebut dengan judul :

PERENCANAAN DAN PEMBUATAN SISTEM MONITORING DAN PROTEKSI MOTOR INDUKSI 3 Φ TERHADAP GANGGUAN ABNORMAL (ARUS TEGANGAN DAN FREKWENSI)

Demikian pernyataan ini kami buat untuk dapat dipergunakan sebagaimana mestinya

Malang, 26 – 11 – 2005
Yang Membuat Pernyataan,

(Ir. Widodo Pudji M,MT)

Catatan :
1. Setelah disetujui agar formulir ini diserahkan mahasiswa/I yang bersangkutan kepada jurusan untuk diproses lebih lanjut.
2. *) Coret yang tidak perlu

Form. S – 3b

PERKUMPULAN PENGELOLA PENDIDIKAN UMUM DAN TEKNOLOGI NASIONAL MALANG
INSTITUT TEKNOLOGI NASIONAL MALANG
FAKULTAS TEKNOLOGI INDUSTRI
FAKULTAS TEKNIK SIPIL DAN PERENCANAAN
PROGRAM PASCASARJANA MAGISTER TEKNIK

PT. BNI (PERSERO) MALANG
BANK NAGA MALANG

Kampus I : Jl. Bendungan Sigura-gura No. 2 Telp. (0341) 551431 (Hunting) Fax. (0341) 553015 Malang 65145
Kampus II : Jl. Raya Karanglo, Km 2 Telp. (0341) 417636 Fax. (0341) 417634 Malang

Malang, 29 Mei 2006

Nomor : ITN-1384/I.SKP /2/'06
Lampiran : satu lembar
Perihal : **BIMBINGAN SKRIPSI**

Kepada : Yth. Sdr. **Ir. WIDODO PUDJI M, MT *)**
Dosen Institut Teknologi Nasional
di – Malang

Dengan Hormat,
Sesuai dengan permohonan dan persetujuan dalam perpanjangan masa bimbingan skripsi yang telah dilakukan untuk mahasiswa :

Nama	: DONNY AJI S
Nim	: 0112075
Fakultas	: Teknologi Industri
Jurusan	: Teknik Elektro
Konsentrasi	: T. Energi Listrik (S-1)

Dengan ini pembimbingan skripsi tersebut kami serahkan Kembali sepenuhnnya kepada Saudara/I, selama masa waktu **6 (Enam) bulan** terhitung mulai tanggal:

09 Mei 2006 **s/d** 09 Okt. 2006

Adapun tugas tersebut merupakan salah satu syarat untuk memperoleh gelar Sarjana Teknik, JurusanTeknik Elektro, apabila lewat dari batas waktu tsb, maka, skripsinya akan digugurkan
Demikian atas perhatian serta kerjasama yang baik kami ucapkan terima kasih

Ketua
Jurusan Teknik Elektro

Ir. F. Yudi Limpraptono, MT
Nip.1039500274

Tindasan :
1. *) Perpanjangan Kontrak
2. Mahasiswa yang bersangkutan
3. Arsip.

Form. S-4a

PERKUMPULAN PENGELOLA PENDIDIKAN UMUM DAN TEKNOLOGI NASIONAL MALANG
INSTITUT TEKNOLOGI NASIONAL MALANG
FAKULTAS TEKNOLOGI INDUSTRI
FAKULTAS TEKNIK SIPIL DAN PERENCANAAN
PROGRAM PASCASARJANA MAGISTER TEKNIK

T. BNI (PERSERO) MALANG
BANK NIAGA MALANG

Kampus I : Jl. Bendungan Sigura-gura No. 2 Telp. (0341) 551431 (Hunting), Fax. (0341) 553015 Malang 65145
Kampus II : Jl. Raya Karanglo, Km 2 Telp. (0341) 417636 Fax. (0341) 417634 Malang

Malang, 12 Okt. 2006

Nomor : ITN-1651/2/TA /2006

Lampiran :
Perihal : ***Bimbingan Skripsi***

Kepada : Yth. Sdr. **Ir. WIDODO PUDJI M, MT, MT** *)
Dosen Pembimbing
Jurusan Teknik Elektro S-1
di
Malang

Dengan hormat,
Sesuai dengan permohonan dan persetujuan dalam proposal skipsi untuk mahasiswa:

Nama	: **DONNY AJI S**
Nim	: **0112075**
Fakultas	: **Teknologi Industri**
Jurusan	: **Teknik Elektro S-1**
Konsentrasi	: **Teknik Elektronika S-I**

Maka dengan ini pembimbingan tersebut kami serahkan sepenuhnya kepada Saudara/i selama masa waktu 6 (enam) bulan, terhitung mulai tanggal:

09 Okt. 2006 s/d 09 Maret 2007

Adapun tugas tersebut merupakan salah satu syarat untuk memperoleh gelar Sarjana Teknik, Jurusan Elektro apabila lewat dari batas waktu tsb. Maka, skripsinya akan digugurkan.
Demikian atas perhatian serta kerjasama yang baik kami ucapkan terima kasih

Ketua Jurusan
Teknik Elektro S-1

Ir. F. Yudi Limpraptono,MT
NIP. Y. 1039500274

Tindasan:
1. *)Perpanjangan
2. Mahasiswa yang Bersangkutan
3. Arsip

INSTITUT TEKNOLOGI NASIONAL MALANG
FAKULTAS TEKNOLOGI INDUSTRI
JURUSAN TEKNIK ELEKTRO

FORMULIR BIMBINGAN SKRIPSI

Nama : DONNY AJI SETIAWAN
Nim : 01.12.075
Masa Bimbingan : 9 Oktober 2006 s/d 9 Maret 2007
Judul Skripsi : Perencanaan dan Pembuatan Sistem Monitoring dan Proteksi Motor Induksi 3 Phasa Terhadap Gangguan Abnormal

No	Tanggal	Uraian	Paraf Pembimbing
1	20/10 06	Mengajukan, Revisi Bab III.	
2	02/12 06	Revisi Alat 1	
3	01/01 07	Revisi Alat II	
4	06/01 07	Mengajukan Bab III	
5	20/01 07	Mengajukan Bab I, II, IV	
6	03/03 07	Mengajukan dan revisi Bab V	
7	17/03 07	ACC Seminar Hasil	
8	22/03 07	ACC Ujian komprehensif.	
9			
10			

Malang,
Dosen Pembimbing,

(Ir. Widodo Pudji M.MT)

Form.S-4b

INSTITUT TEKNOLOGI NASIONAL MALANG
FAKULTAS TEKNOLOGI INDUSTRI
JURUSAN TEKNIK ELEKTRO

PERSETUJUAN PERBAIKAN SKRIPSI

Dari hasil ujian skripsi Jurusan Teknik Elektro jenjang strata satu (S-1) yang diselenggarakan pada :

Hari : Jum'at
Tanggal : 23 Maret 2007
Telah dilakukan perbaikan skripsi oleh :

1. Nama : Donny Aji Setiawan
2. NIM : 01.12.075
3. Jurusan : Teknik Elektro
4. Konsentrasi : Teknik Energi Listrik
5. Judul Skripsi : "PERENCANAAN DAN PEMBUATAN SISTEM MONITORING DAN PROTEKSI MOTOR INDUKSI TIGA FASA TERHADAP GANGGUAN ARUS DAN TEGANGAN BERBASIS PERSONAL COMPUTER".

Perbaikan meliputi :

No	Materi Perbaikan	Ket
1.	Perbaikan penulisan	
2.	Abstrak bahasa Inggris	
3.	Proses perhitungan satuan disertakan	
4.	Flow chart hal 45 diperbaiki	
5.	Penulisan tabel diatas tabel	
6.	Hal 29 diperbaiki	
7.	Semua Flow chart diperbaiki	

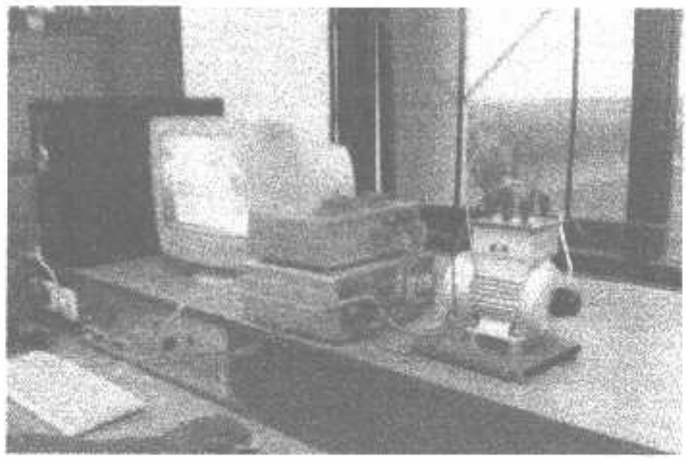
Anggota Penguji

Ir. Teguh Herbasuki, MT
Penguji Pertama

Irrine Budi S, ST, MT
Penguji Kedua

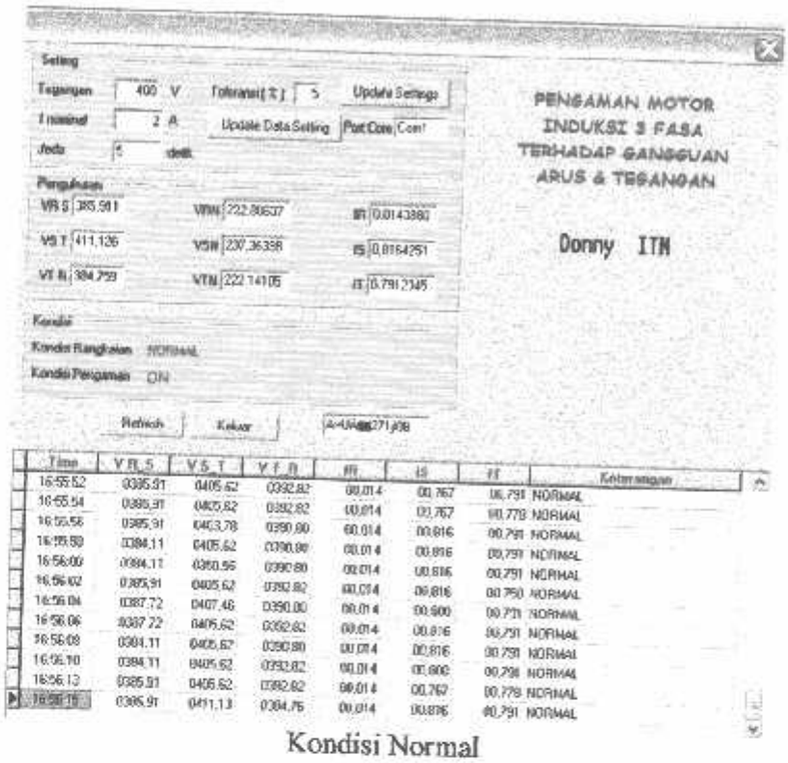
Dosen Pembimbing

Ir. Widodo Pudji M, MT

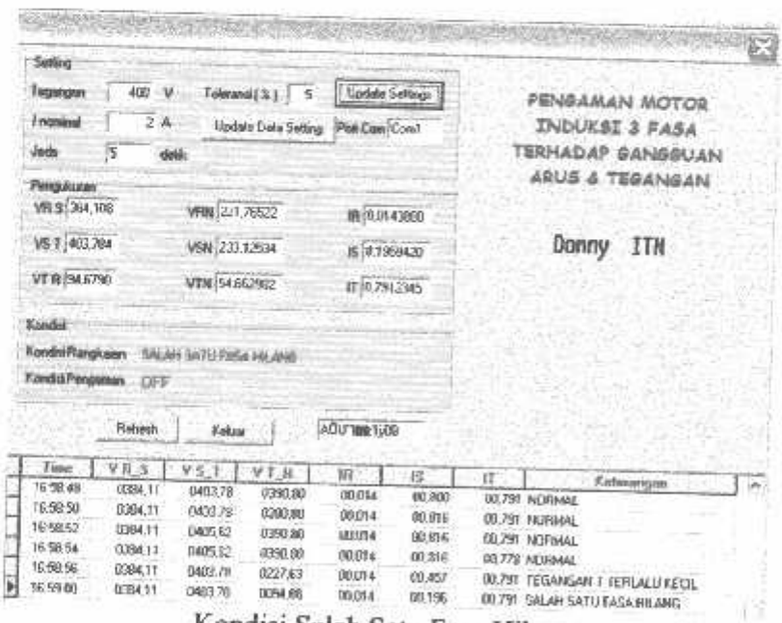


Sistem Monitoring dan Sistem Proteksi motor Induksi 3 fasa

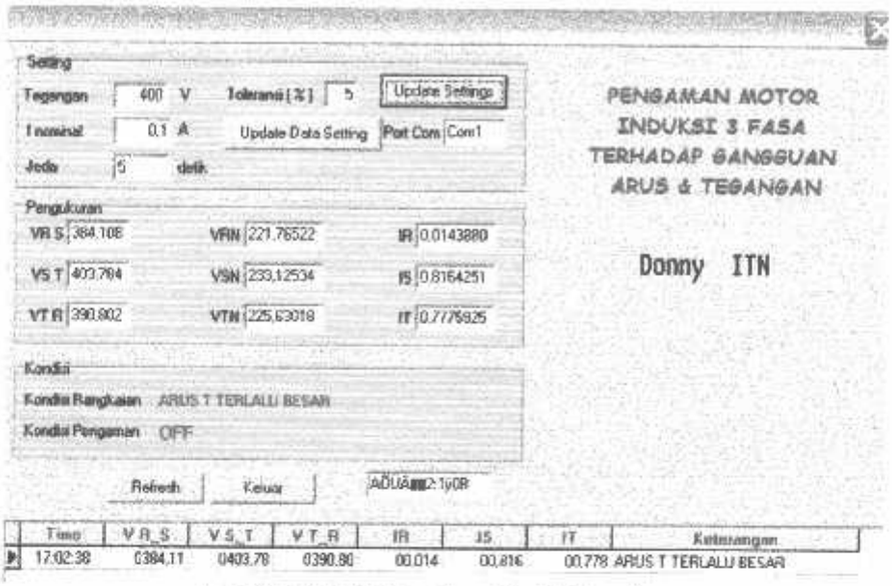
Pengujian alat di Lab.Konversi Energi Listrik



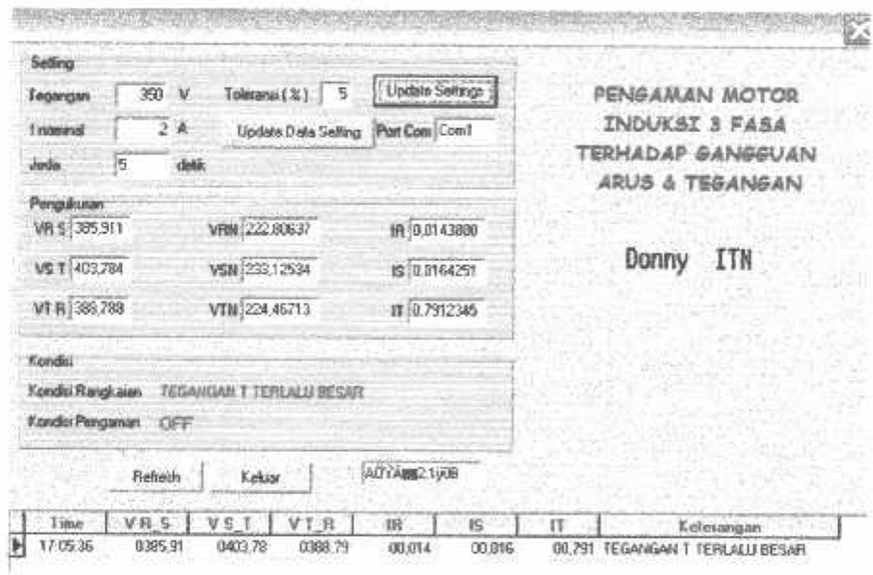
Kondisi Normal



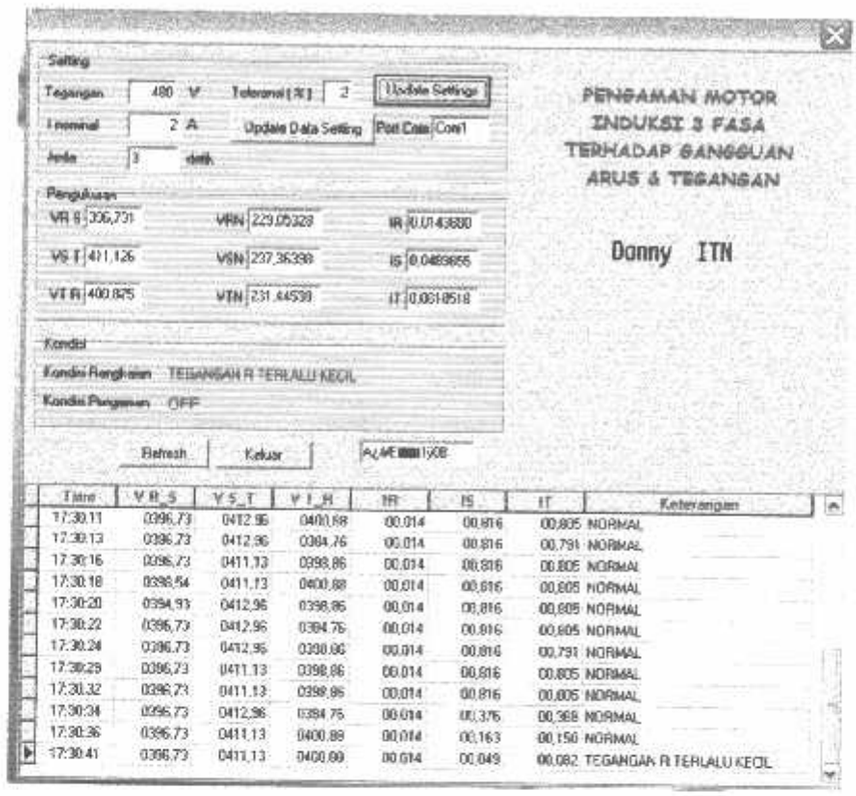
Kondisi Salah Satu Fasa Hilang



Kondisi Salah Satu Fasa Kelebihan Arus



Kondisi Tegangan input lebih besar dari nilai setting



Time	V R_S	V S_T	V T_R	IR	IS	IT	Keterangan
17:30:11	0396,73	0412,96	0400,88	00,014	00,816	00,805	NORMAL
17:30:13	0396,73	0412,96	0394,76	00,014	00,816	00,791	NORMAL
17:30:16	0396,73	0411,13	0398,86	00,014	00,816	00,805	NORMAL
17:30:18	0396,54	0411,13	0400,88	00,014	00,816	00,805	NORMAL
17:30:20	0394,93	0412,96	0398,86	00,014	00,816	00,805	NORMAL
17:30:22	0396,73	0412,96	0394,76	00,014	00,816	00,805	NORMAL
17:30:24	0396,73	0412,96	0398,86	00,014	00,816	00,791	NORMAL
17:30:29	0396,73	0411,13	0398,86	00,014	00,816	00,805	NORMAL
17:30:32	0396,73	0411,13	0398,86	00,014	00,816	00,805	NORMAL
17:30:34	0396,73	0412,96	0394,76	00,014	00,376	00,368	NORMAL
17:30:36	0396,73	0411,13	0400,88	00,014	00,163	00,150	NORMAL
17:30:41	0396,73	0411,13	0400,88	00,014	00,049	00,082	TEGANGAN R TERLALU KECIL

Kondisi Tegangan input kurang dari nilai setting

Features

- Compatible with MCS-51™ Products
- 4K Bytes of In-System Reprogrammable Flash Memory
  - Endurance: 1,000 Write/Erase Cycles
- Fully Static Operation: 0 Hz to 24 MHz
- Three-Level Program Memory Lock
- 128 x 8-Bit Internal RAM
- 32 Programmable I/O Lines
- Two 16-Bit Timer/Counters
- Six Interrupt Sources
- Programmable Serial Channel
- Low Power Idle and Power Down Modes

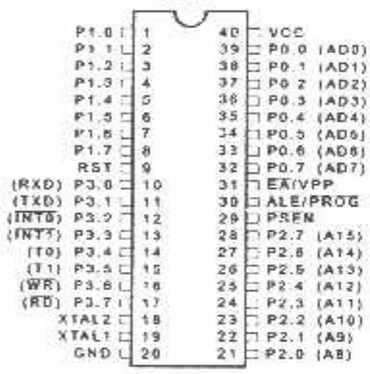
Description

The AT89C51 is a low-power, high-performance CMOS 8-bit microcomputer with 4K bytes of Flash Programmable and Erasable Read Only Memory (PEROM). The device is manufactured using Atmel's high density nonvolatile memory technology and is compatible with the industry standard MCS-51™ instruction set and pinout. The on-chip Flash allows the program memory to be reprogrammed in-system or by a conventional nonvolatile memory programmer. By combining a versatile 8-bit CPU with Flash on a monolithic chip, the Atmel AT89C51 is a powerful microcomputer which provides a highly flexible and cost effective solution to many embedded control applications.

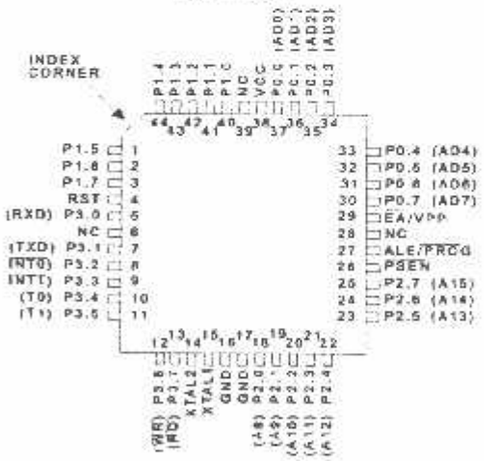
(continued)

Pin Configurations

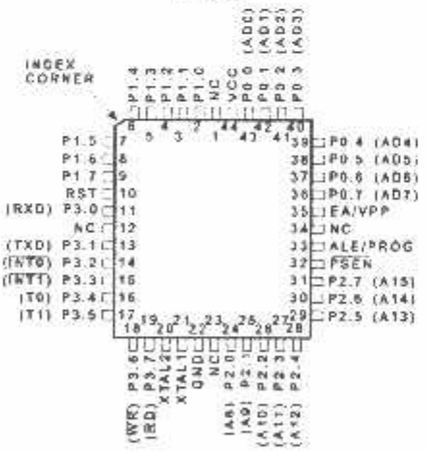
PDIP



PQFP/TQFP



PLCC

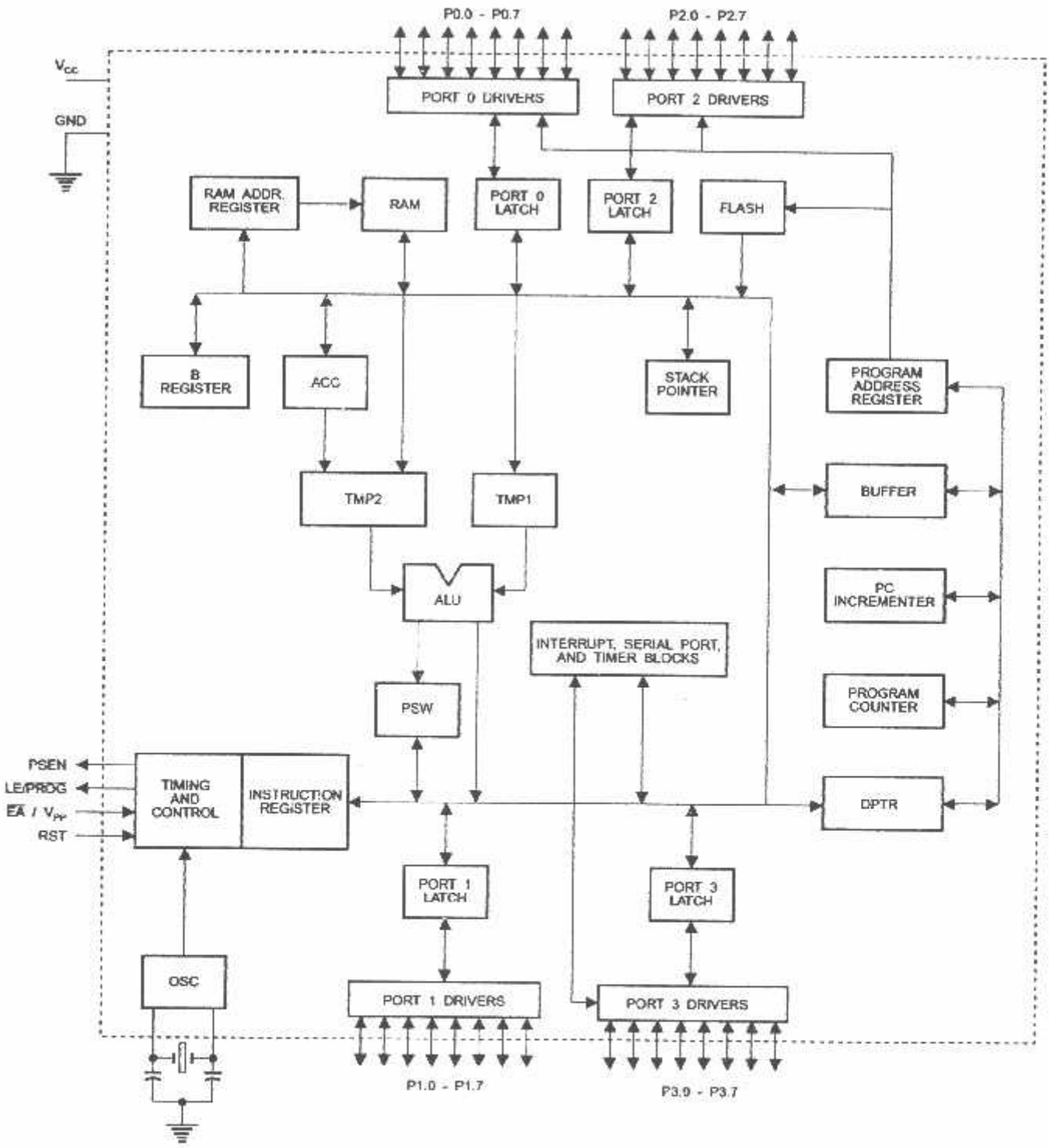


8-Bit Microcontroller with 4K Bytes Flash

AT89C51

0265F-A-12/97

›ck Diagram


P0.0 - P0.7
P2.0 - P2.7
V_{CC}
GND
PORT 0 DRIVERS
PORT 2 DRIVERS
RAM ADDR. REGISTER
RAM
PORT 0 LATCH
PORT 2 LATCH
FLASH
B REGISTER
ACC
STACK POINTER
PROGRAM ADDRESS REGISTER
TMP2
TMP1
BUFFER
ALU
PC INCREMENTER
INTERRUPT, SERIAL PORT, AND TIMER BLOCKS
PSW
PROGRAM COUNTER
PSEN
ALE/PROG
EA / V_{PP}
RST
TIMING AND CONTROL
INSTRUCTION REGISTER
DPTR
PORT 1 LATCH
PORT 3 LATCH
OSC
PORT 1 DRIVERS
PORT 3 DRIVERS
P1.0 - P1.7
P3.0 - P3.7

The AT89C51 provides the following standard features: 4K bytes of Flash, 128 bytes of RAM, 32 I/O lines, two 16-bit timer/counters, a five vector two-level interrupt architecture, a full duplex serial port, on-chip oscillator and clock circuitry. In addition, the AT89C51 is designed with static logic for operation down to zero frequency and supports two software selectable power saving modes. The Idle Mode stops the CPU while allowing the RAM, timer/counters, serial port and interrupt system to continue functioning. The Power Down Mode saves the RAM contents but freezes the oscillator disabling all other chip functions until the next hardware reset.

Pin Description

V_{CC}
Supply voltage.

GND
Ground.

Port 0
Port 0 is an 8-bit open drain bidirectional I/O port. As an output port each pin can sink eight TTL inputs. When 1s are written to port 0 pins, the pins can be used as high-impedance inputs.

Port 0 may also be configured to be the multiplexed low-order address/data bus during accesses to external program and data memory. In this mode P0 has internal pullups.

Port 0 also receives the code bytes during Flash programming, and outputs the code bytes during program verification. External pullups are required during program verification.

Port 1
Port 1 is an 8-bit bidirectional I/O port with internal pullups. The Port 1 output buffers can sink/source four TTL inputs. When 1s are written to Port 1 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 1 pins that are externally being pulled low will source current (I_{IL}) because of the internal pullups.

Port 1 also receives the low-order address bytes during Flash programming and verification.

Port 2
Port 2 is an 8-bit bidirectional I/O port with internal pullups. The Port 2 output buffers can sink/source four TTL inputs. When 1s are written to Port 2 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 2 pins that are externally being pulled low will source current (I_{IL}) because of the internal pullups.

Port 2 emits the high-order address byte during fetches from external program memory and during accesses to external data memory that use 16-bit addresses (MOVX @ DPTR). In this application it uses strong internal pullups when emitting 1s. During accesses to external data memory that use 8-bit addresses (MOVX @ RI), Port 2 emits the contents of the P2 Special Function Register.

Port 2 also receives the high-order address bits and some control signals during Flash programming and verification.

Port 3
Port 3 is an 8-bit bidirectional I/O port with internal pullups. The Port 3 output buffers can sink/source four TTL inputs. When 1s are written to Port 3 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 3 pins that are externally being pulled low will source current (I_{IL}) because of the pullups.

Port 3 also serves the functions of various special features of the AT89C51 as listed below:

Port Pin	Alternate Functions
P3.0	RXD (serial input port)
P3.1	TXD (serial output port)
P3.2	$\overline{INT0}$ (external interrupt 0)
P3.3	$\overline{INT1}$ (external interrupt 1)
P3.4	T0 (timer 0 external input)
P3.5	T1 (timer 1 external input)
P3.6	$\overline{WR}$ (external data memory write strobe)
P3.7	$\overline{RD}$ (external data memory read strobe)

Port 3 also receives some control signals for Flash programming and verification.

RST
Reset input. A high on this pin for two machine cycles while the oscillator is running resets the device.

ALE/$\overline{PROG}$
Address Latch Enable output pulse for latching the low byte of the address during accesses to external memory. This pin is also the program pulse input ($\overline{PROG}$) during Flash programming.

In normal operation ALE is emitted at a constant rate of 1/6 the oscillator frequency, and may be used for external timing or clocking purposes. Note, however, that one ALE pulse is skipped during each access to external Data Memory.

If desired, ALE operation can be disabled by setting bit 0 of SFR location 8EH. With the bit set, ALE is active only during a MOVX or MOVC instruction. Otherwise, the pin is weakly pulled high. Setting the ALE-disable bit has no effect if the microcontroller is in external execution mode.

$\overline{PSEN}$
Program Store Enable is the read strobe to external program memory.

When the AT89C51 is executing code from external program memory, $\overline{PSEN}$ is activated twice each machine cycle, except that two $\overline{PSEN}$ activations are skipped during each access to external data memory.

$\overline{EA}$/V_{PP}

External Access Enable. $\overline{EA}$ must be strapped to GND in order to enable the device to fetch code from external program memory locations starting at 0000H up to FFFFH. Note, however, that if lock bit 1 is programmed, $\overline{EA}$ will be internally latched on reset.

$\overline{EA}$ should be strapped to V_{CC} for internal program executions.

This pin also receives the 12-volt programming enable voltage (V_{PP}) during Flash programming, for parts that require 12-volt V_{PP}.

XTAL1

Input to the inverting oscillator amplifier and input to the internal clock operating circuit.

XTAL2

Output from the inverting oscillator amplifier.

Oscillator Characteristics

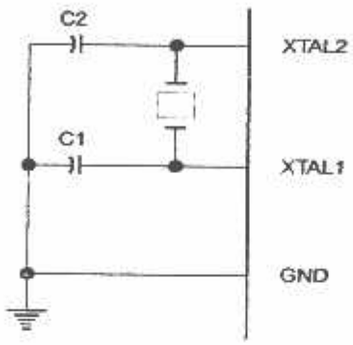
XTAL1 and XTAL2 are the input and output, respectively, of an inverting amplifier which can be configured for use as an on-chip oscillator, as shown in Figure 1. Either a quartz crystal or ceramic resonator may be used. To drive the device from an external clock source, XTAL2 should be left unconnected while XTAL1 is driven as shown in Figure 2. There are no requirements on the duty cycle of the external clock signal, since the input to the internal clocking circuitry is through a divide-by-two flip-flop, but minimum and maximum voltage high and low time specifications must be observed.

Idle Mode

In idle mode, the CPU puts itself to sleep while all the on-chip peripherals remain active. The mode is invoked by software. The content of the on-chip RAM and all the special functions registers remain unchanged during this mode. The idle mode can be terminated by any enabled interrupt or by a hardware reset.

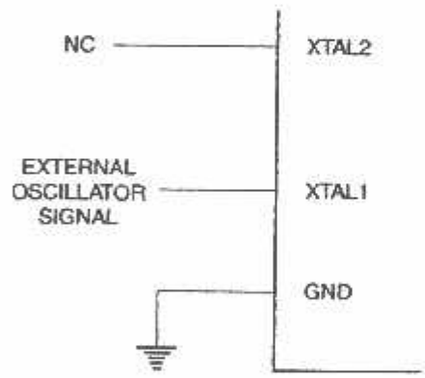
It should be noted that when idle is terminated by a hardware reset, the device normally resumes program execution, from where it left off, up to two machine cycles before the internal reset algorithm takes control. On-chip hardware inhibits access to internal RAM in this event, but access to the port pins is not inhibited. To eliminate the possibility of an unexpected write to a port pin when Idle is terminated by reset, the instruction following the one that invokes Idle should not be one that writes to a port pin or to external memory.

Figure 1. Oscillator Connections



Note: C1, C2 = 30 pF ± 10 pF for Crystals
= 40 pF ± 10 pF for Ceramic Resonators

Figure 2. External Clock Drive Configuration



Status of External Pins During Idle and Power Down Modes

Mode	Program Memory	ALE	$\overline{PSEN}$	PORT0	PORT1	PORT2	PORT3
Idle	Internal	1	1	Data	Data	Data	Data
Idle	External	1	1	Float	Data	Address	Data
Power Down	Internal	0	0	Data	Data	Data	Data
Power Down	External	0	0	Float	Data	Data	Data

Power Down Mode

In the power down mode the oscillator is stopped, and the instruction that invokes power down is the last instruction executed. The on-chip RAM and Special Function Registers retain their values until the power down mode is terminated. The only exit from power down is a hardware reset. Reset redefines the SFRs but does not change the on-chip RAM. The reset should not be activated before V_{CC} is restored to its normal operating level and must be held active long enough to allow the oscillator to restart and stabilize.

Program Memory Lock Bits

On the chip are three lock bits which can be left unprogrammed (U) or can be programmed (P) to obtain the additional features listed in the table below:

When lock bit 1 is programmed, the logic level at the EA pin is sampled and latched during reset. If the device is powered up without a reset, the latch initializes to a random value, and holds that value until reset is activated. It is necessary that the latched value of $\overline{EA}$ be in agreement with the current logic level at that pin in order for the device to function properly.

Lock Bit Protection Modes

Program Lock Bits				Protection Type
	LB1	LB2	LB3	
1	U	U	U	No program lock features.
2	P	U	U	MOVC instructions executed from external program memory are disabled from fetching code bytes from internal memory, $\overline{EA}$ is sampled and latched on reset, and further programming of the Flash is disabled.
3	P	P	U	Same as mode 2, also verify is disabled.
4	P	P	P	Same as mode 3, also external execution is disabled.

Programming the Flash

The AT89C51 is normally shipped with the on-chip Flash memory array in the erased state (that is, contents = FFH) and ready to be programmed. The programming interface accepts either a high-voltage (12-volt) or a low-voltage (V_{CC}) program enable signal. The low voltage programming mode provides a convenient way to program the AT89C51 inside the user's system, while the high-voltage programming mode is compatible with conventional third party Flash or EPROM programmers.

The AT89C51 is shipped with either the high-voltage or low-voltage programming mode enabled. The respective top-side marking and device signature codes are listed in the following table.

	V_{PP} = 12V	V_{PP} = 5V
Top-Side Mark	AT89C51 xxxx yyww	AT89C51 xxxx-5 yyww
Signature	(030H)=1EH (031H)=51H (032H)=FFH	(030H)=1EH (031H)=51H (032H)=05H

The AT89C51 code memory array is programmed byte-by-byte in either programming mode. *To program any non-blank byte in the on-chip Flash Memory, the entire memory must be erased using the Chip Erase Mode.*

Programming Algorithm: Before programming the AT89C51, the address, data and control signals should be set up according to the Flash programming mode table and Figures 3 and 4. To program the AT89C51, take the following steps.

1. Input the desired memory location on the address lines.
2. Input the appropriate data byte on the data lines.
3. Activate the correct combination of control signals.
4. Raise $\overline{EA}/V_{PP}$ to 12V for the high-voltage programming mode.
5. Pulse ALE/$\overline{PROG}$ once to program a byte in the Flash array or the lock bits. The byte-write cycle is self-timed and typically takes no more than 1.5 ms. Repeat steps 1 through 5, changing the address and data for the entire array or until the end of the object file is reached.

$\overline{Data}$ Polling: The AT89C51 features $\overline{Data}$ Polling to indicate the end of a write cycle. During a write cycle, an attempted read of the last byte written will result in the complement of the written datum on PO.7. Once the write cycle has been completed, true data are valid on all outputs, and the next cycle may begin. $\overline{Data}$ Polling may begin any time after a write cycle has been initiated.

Ready/$\overline{Busy}$: The progress of byte programming can also be monitored by the RDY/$\overline{BSY}$ output signal. P3.4 is pulled low after ALE goes high during programming to indicate BUSY. P3.4 is pulled high again when programming is done to indicate READY.

Program Verify: If lock bits LB1 and LB2 have not been programmed, the programmed code data can be read back via the address and data lines for verification. The lock bits cannot be verified directly. Verification of the lock bits is achieved by observing that their features are enabled.

Chip Erase: The entire Flash array is erased electrically by using the proper combination of control signals and by holding ALE/$\overline{PROG}$ low for 10 ms. The code array is written with all "1"s. The chip erase operation must be executed before the code memory can be re-programmed.

Reading the Signature Bytes: The signature bytes are read by the same procedure as a normal verification of locations 030H,

031H, and 032H, except that P3.6 and P3.7 must be pulled to a logic low. The values returned are as follows.

(030H) = 1EH indicates manufactured by Atmel
(031H) = 51H indicates 89C51
(032H) = FFH indicates 12V programming
(032H) = 05H indicates 5V programming

Programming Interface

Every code byte in the Flash array can be written and the entire array can be erased by using the appropriate combination of control signals. The write operation cycle is self-timed and once initiated, will automatically time itself to completion.

All major programming vendors offer worldwide support for the Atmel microcontroller series. Please contact your local programming vendor for the appropriate software revision.

Flash Programming Modes

Mode		RST	$\overline{PSEN}$	ALE/$\overline{PROG}$	$\overline{EA}$/V_{PP}	P2.6	P2.7	P3.6	P3.7
Write Code Data		H	L		H/12V	L	H	H	H
Read Code Data		H	L	H	H	L	L	H	H
Write Lock	Bit - 1	H	L		H/12V	H	H	H	H
	Bit - 2	H	L		H/12V	H	H	L	L
	Bit - 3	H	L		H/12V	H	L	H	L
Chip Erase		H	L	(1)	H/12V	H	L	L	L
Read Signature Byte		H	L	H	H	L	L	L	L

Note: 1. Chip Erase requires a 10-ms PROG pulse.

Figure 3. Programming the Flash

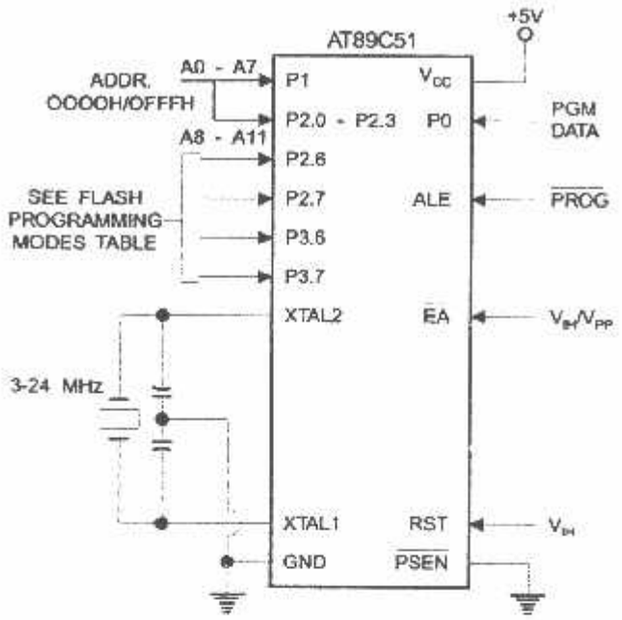
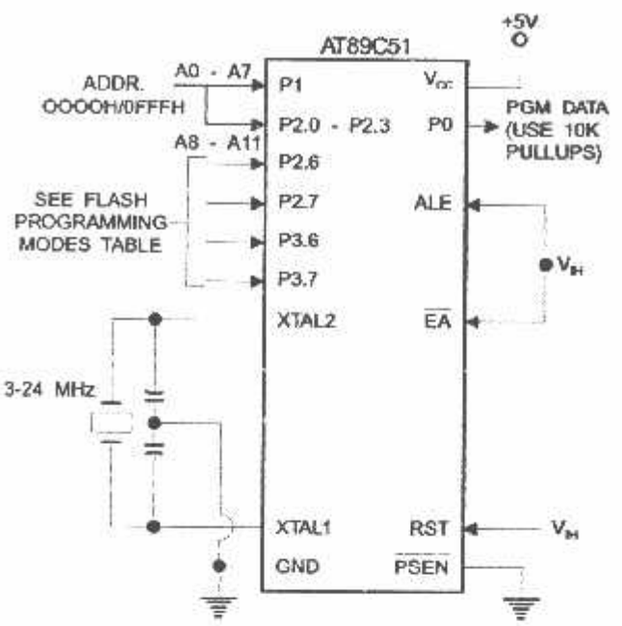


Figure 4. Verifying the Flash



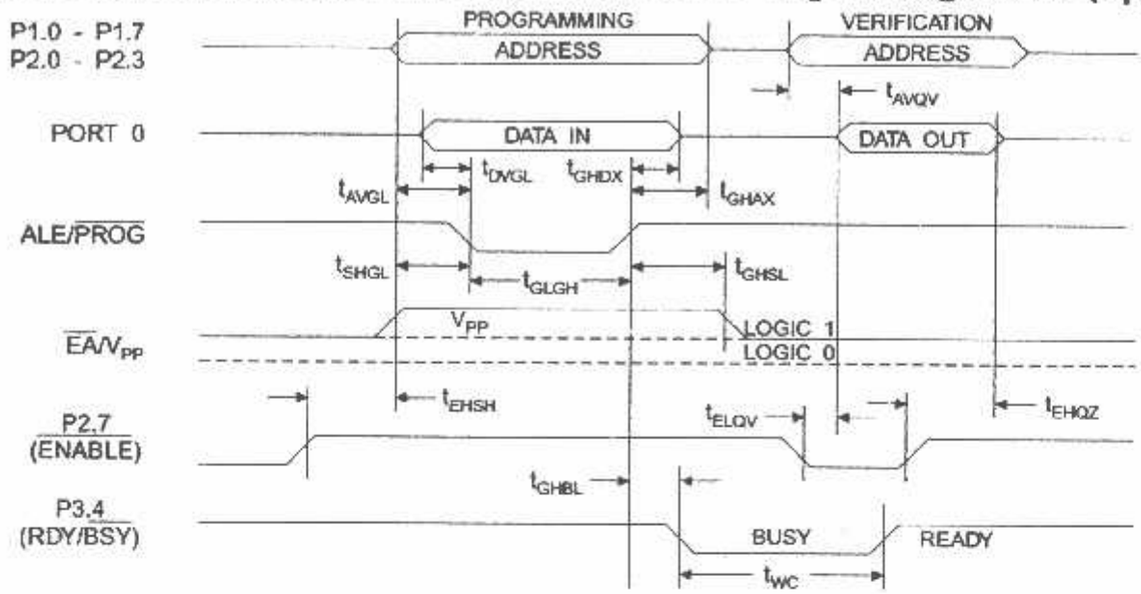
Flash Programming and Verification Characteristics

T_A = 0°C to 70°C, V_{CC} = 5.0 ± 10%

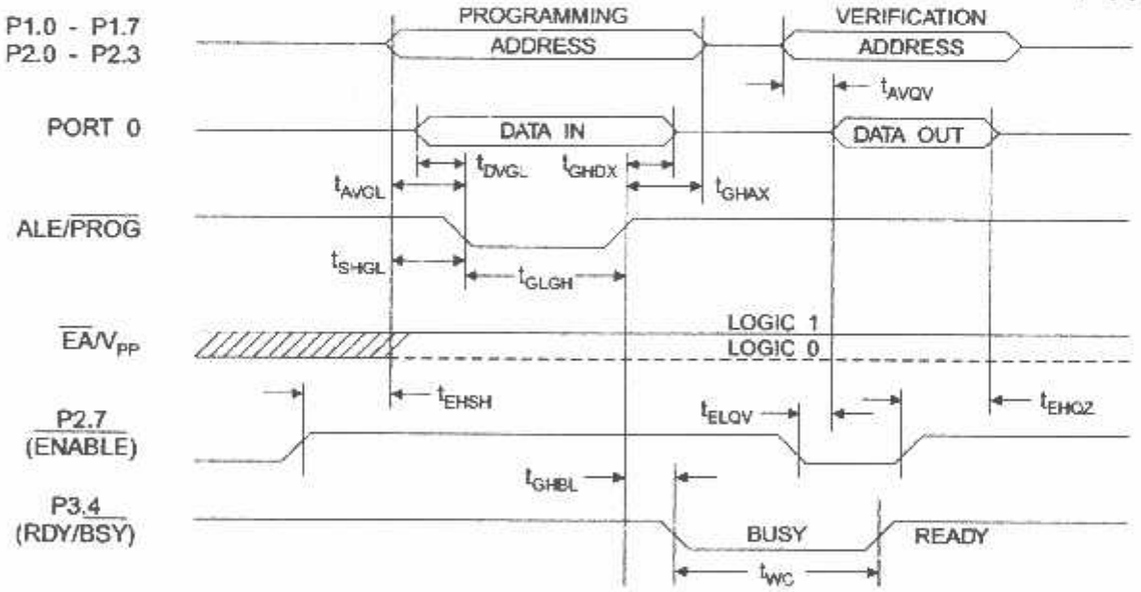
Symbol	Parameter	Min	Max	Units
V_{PP}(1)	Programming Enable Voltage	11.5	12.5	V
I_{PP}(1)	Programming Enable Current		1.0	mA
$1/t_{CLCL}$	Oscillator Frequency	3	24	MHz
t_{AVGL}	Address Setup to $\overline{PROG}$ Low	$48t_{CLCL}$		
t_{GHAX}	Address Hold After $\overline{PROG}$	$48t_{CLCL}$		
t_{DVGL}	Data Setup to $\overline{PROG}$ Low	$48t_{CLCL}$		
t_{GHDX}	Data Hold After $\overline{PROG}$	$48t_{CLCL}$		
t_{EHSH}	P2.7 ($\overline{ENABLE}$) High to V_{PP}	$48t_{CLCL}$		
t_{SHGL}	V_{PP} Setup to $\overline{PROG}$ Low	10		µs
t_{GHSL}(1)	V_{PP} Hold After $\overline{PROG}$	10		µs
t_{GLGH}	$\overline{PROG}$ Width	1	110	µs
t_{AVQV}	Address to Data Valid		$48t_{CLCL}$	
t_{ELQV}	$\overline{ENABLE}$ Low to Data Valid		$48t_{CLCL}$	
t_{EHQZ}	Data Float After $\overline{ENABLE}$	0	$48t_{CLCL}$	
t_{GHBL}	$\overline{PROG}$ High to $\overline{BUSY}$ Low		1.0	µs
t_{WC}	Byte Write Cycle Time		2.0	ms

Note: 1. Only used in 12-volt programming mode.

Flash Programming and Verification Waveforms - High Voltage Mode (V_{PP} = 12V)



Flash Programming and Verification Waveforms - Low Voltage Mode (V_{PP} = 5V)



Absolute Maximum Ratings*

Operating Temperature	-55°C to +125°C
Storage Temperature	-65°C to +150°C
Voltage on Any Pin with Respect to Ground	-1.0V to +7.0V
Maximum Operating Voltage	6.6V
DC Output Current	15.0 mA

*NOTICE: Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC Characteristics

T_A = -40°C to 85°C, V_{CC} = 5.0V ± 20% (unless otherwise noted)

Symbol	Parameter	Condition	Min	Max	Units
V_{IL}	Input Low Voltage	(Except $\overline{EA}$)	-0.5	0.2 V_{CC} - 0.1	V
V_{IL1}	Input Low Voltage ($\overline{EA}$)		-0.5	0.2 V_{CC} - 0.3	V
V_{IH}	Input High Voltage	(Except XTAL1, RST)	0.2 V_{CC} + 0.9	V_{CC} + 0.5	V
V_{IH1}	Input High Voltage	(XTAL1, RST)	0.7 V_{CC}	V_{CC} + 0.5	V
V_{OL}	Output Low Voltage[1] (Ports 1,2,3)	I_{OL} = 1.6 mA		0.45	V
V_{OL1}	Output Low Voltage[1] (Port 0, ALE, $\overline{PSEN}$)	I_{OL} = 3.2 mA		0.45	V
V_{OH}	Output High Voltage (Ports 1,2,3, ALE, $\overline{PSEN}$)	I_{OH} = -60 µA, V_{CC} = 5V ± 10%	2.4		V
		I_{OH} = -25 µA	0.75 V_{CC}		V
		I_{OH} = -10 µA	0.9 V_{CC}		V
V_{OH1}	Output High Voltage (Port 0 in External Bus Mode)	I_{OH} = -800 µA, V_{CC} = 5V ± 10%	2.4		V
		I_{OH} = -300 µA	0.75 V_{CC}		V
		I_{OH} = -80 µA	0.9 V_{CC}		V
I_{IL}	Logical 0 Input Current (Ports 1,2,3)	V_{IN} = 0.45V		-50	µA
I_{TL}	Logical 1 to 0 Transition Current (Ports 1,2,3)	V_{IN} = 2V, VCC = 5V ± 10%		-650	µA
I_{LI}	Input Leakage Current (Port 0, $\overline{EA}$)	0.45 < V_{IN} < V_{CC}		±10	µA
RRST	Reset Pulldown Resistor		50	300	KΩ
C_{IO}	Pin Capacitance	Test Freq. = 1 MHz, T_A = 25°C		10	pF
I_{CC}	Power Supply Current	Active Mode, 12 MHz		20	mA
		Idle Mode, 12 MHz		5	mA
	Power Down Mode[2]	V_{CC} = 6V		100	µA
		V_{CC} = 3V		40	µA

Notes:
1. Under steady state (non-transient) conditions, I_{OL} must be externally limited as follows:
   Maximum I_{OL} per port pin: 10 mA
   Maximum I_{OL} per 8-bit port: Port 0: 26 mA
   Ports 1, 2, 3: 15 mA
   Maximum total I_{OL} for all output pins: 71 mA
   If I_{OL} exceeds the test condition, V_{OL} may exceed the related specification. Pins are not guaranteed to sink current greater than the listed test conditions.
2. Minimum V_{CC} for Power Down is 2V.

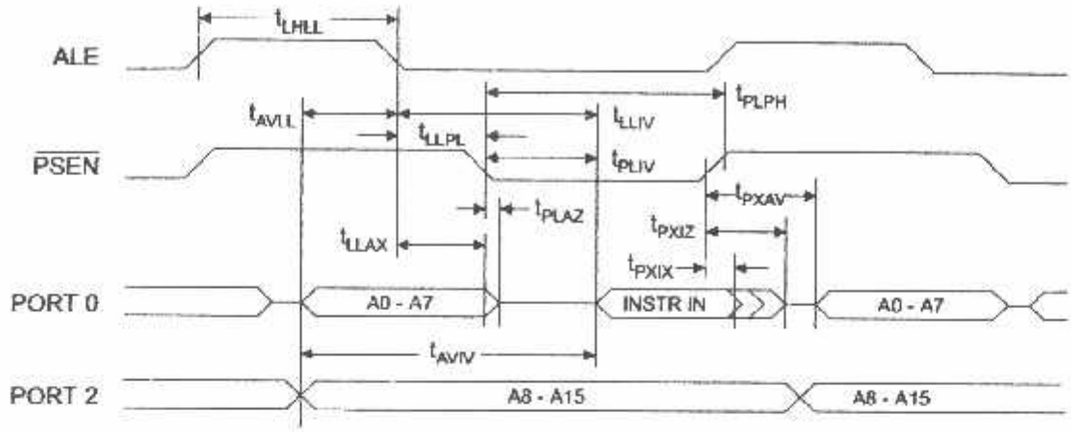
AC Characteristics

(Under Operating Conditions; Load Capacitance for Port 0, ALE/$\overline{PROG}$, and $\overline{PSEN}$ = 100 pF; Load Capacitance for all other outputs = 80 pF)

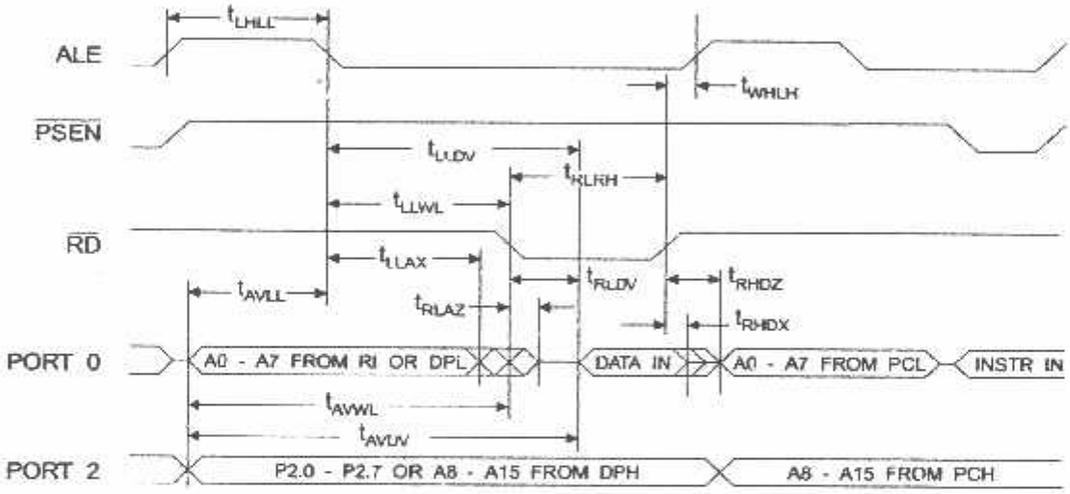
External Program and Data Memory Characteristics

Symbol	Parameter	12 MHz Oscillator		16 to 24 MHz Oscillator		Units
		Min	Max	Min	Max	
$1/t_{CLCL}$	Oscillator Frequency			0	24	MHz
t_{LHLL}	ALE Pulse Width	127		$2t_{CLCL}$-40		ns
t_{AVLL}	Address Valid to ALE Low	43		t_{CLCL}-13		ns
t_{LLAX}	Address Hold After ALE Low	48		t_{CLCL}-20		ns
t_{LLIV}	ALE Low to Valid Instruction In		233		$4t_{CLCL}$-65	ns
t_{LLPL}	ALE Low to $\overline{PSEN}$ Low	43		t_{CLCL}-13		ns
t_{PLPH}	$\overline{PSEN}$ Pulse Width	205		$3t_{CLCL}$-20		ns
t_{PLIV}	$\overline{PSEN}$ Low to Valid Instruction In		145		$3t_{CLCL}$-45	ns
t_{PXIX}	Input Instruction Hold After $\overline{PSEN}$	0		0		ns
t_{PXIZ}	Input Instruction Float After $\overline{PSEN}$		59		t_{CLCL}-10	ns
t_{PXAV}	$\overline{PSEN}$ to Address Valid	75		t_{CLCL}-8		ns
t_{AVIV}	Address to Valid Instruction In		312		$5t_{CLCL}$-55	ns
t_{PLAZ}	$\overline{PSEN}$ Low to Address Float		10		10	ns
t_{RLRH}	$\overline{RD}$ Pulse Width	400		$6t_{CLCL}$-100		ns
t_{WLWH}	$\overline{WR}$ Pulse Width	400		$6t_{CLCL}$-100		ns
t_{RLDV}	$\overline{RD}$ Low to Valid Data In		252		$5t_{CLCL}$-90	ns
t_{RHDX}	Data Hold After $\overline{RD}$	0		0		ns
t_{RHDZ}	Data Float After $\overline{RD}$		97		$2t_{CLCL}$-28	ns
t_{LLDV}	ALE Low to Valid Data In		517		$8t_{CLCL}$-150	ns
t_{AVDV}	Address to Valid Data In		585		$9t_{CLCL}$-165	ns
t_{LLWL}	ALE Low to $\overline{RD}$ or $\overline{WR}$ Low	200	300	$3t_{CLCL}$-50	$3t_{CLCL}$+50	ns
t_{AVWL}	Address to $\overline{RD}$ or $\overline{WR}$ Low	203		$4t_{CLCL}$-75		ns
t_{QVWX}	Data Valid to $\overline{WR}$ Transition	23		t_{CLCL}-20		ns
t_{QVWH}	Data Valid to $\overline{WR}$ High	433		$7t_{CLCL}$-120		ns
t_{WHQX}	Data Hold After $\overline{WR}$	33		t_{CLCL}-20		ns
t_{RLAZ}	$\overline{RD}$ Low to Address Float		0		0	ns
t_{WHLH}	$\overline{RD}$ or $\overline{WR}$ High to ALE High	43	123	t_{CLCL}-20	t_{CLCL}+25	ns

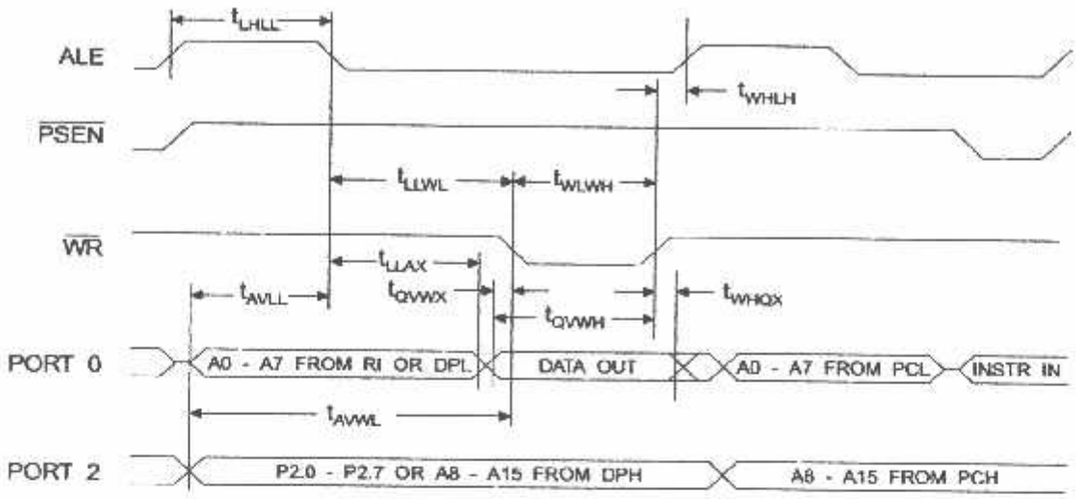
External Program Memory Read Cycle



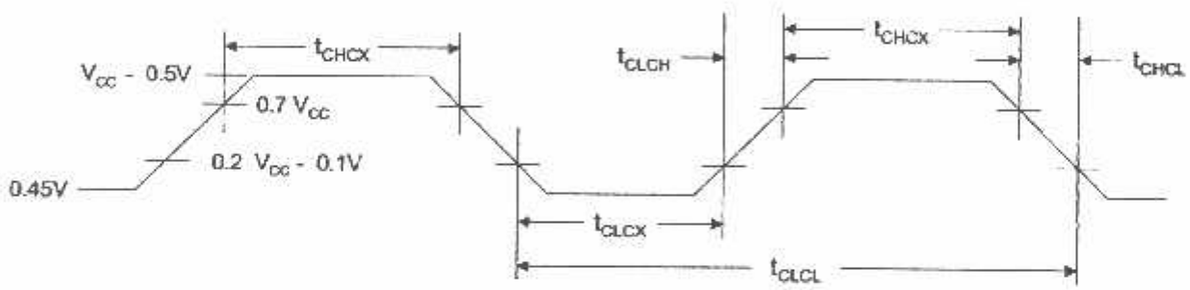
External Data Memory Read Cycle



External Data Memory Write Cycle



External Clock Drive Waveforms



External Clock Drive

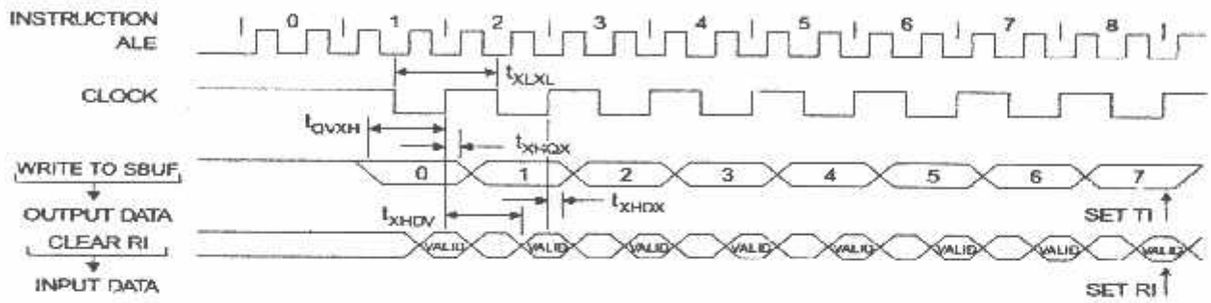
Symbol	Parameter	Min	Max	Units
$1/t_{CLCL}$	Oscillator Frequency	0	24	MHz
t_{CLCL}	Clock Period	41.6		ns
t_{CHCX}	High Time	15		ns
t_{CLCX}	Low Time	15		ns
t_{CLCH}	Rise Time		20	ns
t_{CHCL}	Fall Time		20	ns

Serial Port Timing: Shift Register Mode Test Conditions

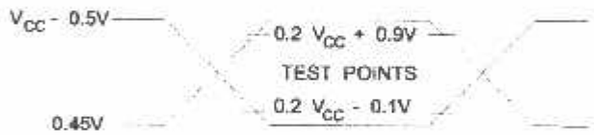
(V_{CC} = 5.0 V ± 20%; Load Capacitance = 80 pF)

Symbol	Parameter	12 MHz Osc		Variable Oscillator		Units
		Min	Max	Min	Max	
t_{XLXL}	Serial Port Clock Cycle Time	1.0		$12t_{CLCL}$		µs
t_{QVXH}	Output Data Setup to Clock Rising Edge	700		$10t_{CLCL}$-133		ns
t_{XHQX}	Output Data Hold After Clock Rising Edge	50		$2t_{CLCL}$-117		ns
t_{XHDX}	Input Data Hold After Clock Rising Edge	0		0		ns
t_{XHDV}	Clock Rising Edge to Input Data Valid		700		$10t_{CLCL}$-133	ns

Shift Register Mode Timing Waveforms



AC Testing Input/Output Waveforms(1)



Note: 1. AC Inputs during testing are driven at V_{CC} - 0.5V for a logic 1 and 0.45V for a logic 0. Timing measurements are made at V_{IH} min. for a logic 1 and V_{IL} max. for a logic 0.

Float Waveforms(1)

Note: 1. For timing purposes, a port pin is no longer floating when a 100 mV change from load voltage occurs. A port pin begins to float when 100 mV change from the loaded V_{OH}/V_{OL} level occurs.

Ordering Information

Speed (MHz)	Power Supply	Ordering Code	Package	Operation Range
12	5V ± 20%	AT89C51-12AC	44A	Commercial (0°C to 70°C)
		AT89C51-12JC	44J	
		AT89C51-12PC	40P6	
		AT89C51-12QC	44Q	
		AT89C51-12AI	44A	Industrial (-40°C to 85°C)
		AT89C51-12JI	44J	
		AT89C51-12PI	40P6	
		AT89C51-12QI	44Q	
		AT89C51-12AA	44A	Automotive (-40°C to 105°C)
		AT89C51-12JA	44J	
		AT89C51-12PA	40P6	
		AT89C51-12QA	44Q	
16	5V ± 20%	AT89C51-16AC	44A	Commercial (0°C to 70°C)
		AT89C51-16JC	44J	
		AT89C51-16PC	40P6	
		AT89C51-16QC	44Q	
		AT89C51-16AI	44A	Industrial (-40°C to 85°C)
		AT89C51-16JI	44J	
		AT89C51-16PI	40P6	
		AT89C51-16QI	44Q	
		AT89C51-16AA	44A	Automotive (-40°C to 105°C)
		AT89C51-16JA	44J	
		AT89C51-16PA	40P6	
		AT89C51-16QA	44Q	
20	5V ± 20%	AT89C51-20AC	44A	Commercial (0°C to 70°C)
		AT89C51-20JC	44J	
		AT89C51-20PC	40P6	
		AT89C51-20QC	44Q	
		AT89C51-20AI	44A	Industrial (-40°C to 85°C)
		AT89C51-20JI	44J	
		AT89C51-20PI	40P6	
		AT89C51-20QI	44Q	

Ordering Information

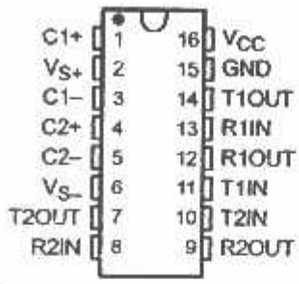
Speed (MHz)	Power Supply	Ordering Code	Package	Operation Range
24	5V ± 20%	AT89C51-24AC	44A	Commercial (0°C to 70°C)
		AT89C51-24JC	44J	
		AT89C51-24PC	44P6	
		AT89C51-24QC	44Q	
		AT89C51-24AI	44A	Industrial (-40°C to 85°C)
		AT89C51-24JI	44J	
		AT89C51-24PI	44P6	
		AT89C51-24QI	44Q	

Package Type	
44A	44 Lead, Thin Plastic Gull Wing Quad Flatpack (TQFP)
44J	44 Lead, Plastic J-Leaded Chip Carrier (PLCC)
40P6	40 Lead, 0.600" Wide, Plastic Dual Inline Package (PDIP)
44Q	44 Lead, Plastic Gull Wing Quad Flatpack (PQFP)

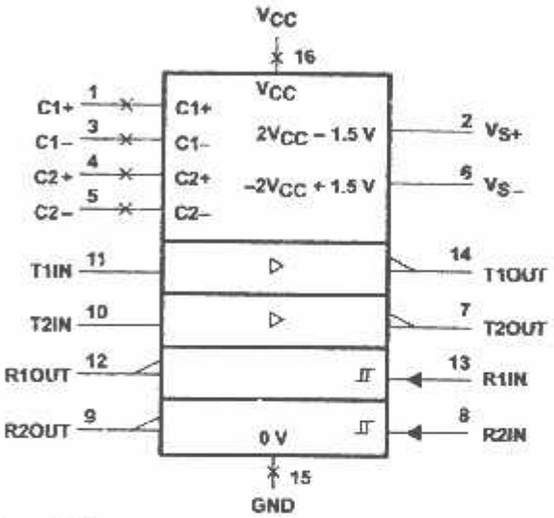
SLLS047G – FEBRUARY 1989 – REVISED AUGUST 1998

- Operates With Single 5-V Power Supply
- LinBiCMOS™ Process Technology
- Two Drivers and Two Receivers
- ±30-V Input Levels
- Low Supply Current . . . 8 mA Typical
- Meets or Exceeds TIA/EIA-232-F and ITU Recommendation V.28
- Designed to be Interchangeable With Maxim MAX232
- Applications
  - TIA/EIA-232-F
  - Battery-Powered Systems
  - Terminals
  - Modems
  - Computers
- ESD Protection Exceeds 2000 V Per MIL-STD-883, Method 3015
- Package Options Include Plastic Small-Outline (D, DW) Packages and Standard Plastic (N) DIPs

D, DW, OR N PACKAGE
(TOP VIEW)



logic symbol†



† This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12.

description

The MAX232 device is a dual driver/receiver that includes a capacitive voltage generator to supply EIA-232 voltage levels from a single 5-V supply. Each receiver converts EIA-232 inputs to 5-V TTL/CMOS levels. These receivers have a typical threshold of 1.3 V and a typical hysteresis of 0.5 V, and can accept ±30-V inputs. Each driver converts TTL/CMOS input levels into EIA-232 levels. The driver, receiver, and voltage-generator functions are available as cells in the Texas Instruments LinASIC™ library.

The MAX232 is characterized for operation from 0°C to 70°C. The MAX232I is characterized for operation from –40°C to 85°C.

AVAILABLE OPTIONS

T_A	PACKAGED DEVICES		
	SMALL OUTLINE (D)	SMALL OUTLINE (DW)	PLASTIC DIP (N)
0°C to 70°C	MAX232D‡	MAX232DW‡	MAX232N
–40°C to 85°C	MAX232ID‡	MAX232IDW‡	MAX232IN

‡ This device is available taped and reeled by adding an R to the part number (i.e., MAX232DR).

Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

LinASIC and LinBiCMOS are trademarks of Texas Instruments Incorporated.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

Copyright © 1998, Texas Instruments Incorporated

ısolute maximum ratings over operating free-air temperature range (unless otherwise noted)†

Input supply voltage range, V_{CC} (see Note 1) ..... −0.3 V to 6 V
Positive output supply voltage range, V_{S+} ..... V_{CC} −0.3 V to 15 V
Negative output supply voltage range, V_{S-} ..... −0.3 V to −15 V
Input voltage range, V_I: Driver ..... −0.3 V to V_{CC} + 0.3 V
Receiver ..... ±30 V
Output voltage range, V_O: T1OUT, T2OUT ..... V_{S-} −0.3 V to V_{S+} + 0.3 V
R1OUT, R2OUT ..... −0.3 V to V_{CC} + 0.3 V
Short-circuit duration: T1OUT, T2OUT ..... Unlimited
Package thermal impedance, θ_{JA} (see Note 2): D package ..... 113°C/W
DW package ..... 105°C/W
N package ..... 78°C/W
Storage temperature range, T_{stg} ..... −65°C to 150°C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds ..... 260°C

tresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only, and nctional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not ıplied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

TE 1: All voltage values are with respect to network ground terminal.

2. The package thermal impedance is calculated in accordance with JESD 51, except for through-hole packages, which use a trace length of zero.

commended operating conditions

		MIN	NOM	MAX	UNIT
ıpply voltage, V_{CC}		4.5	5	5.5	V
gh-level input voltage, V_{IH} (T1IN,T2IN)		2			V
w-level input voltage, V_{IL} (T1IN, T2IN)				0.8	V
ceiver input voltage, R1IN, R2IN				±30	V
erating free-air temperature, T_A	MAX232	0		70	°C
	MAX232I	−40		85	°C

electrical characteristics over recommended ranges of supply voltage and operating free-air temperature range (unless otherwise noted)

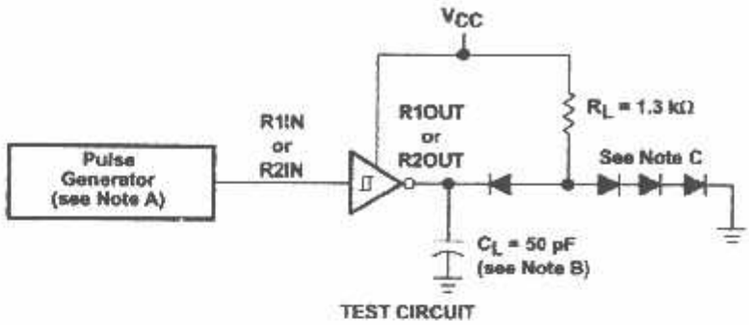
PARAMETER			TEST CONDITIONS		MIN	TYP†	MAX	UNIT
V_{OH}	High-level output voltage	T1OUT, T2OUT	R_L = 3 kΩ to GND		5	7		V
		R1OUT, R2OUT	I_{OH} = −1 mA		3.5			
V_{OL}	Low-level output voltage‡	T1OUT, T2OUT	R_L = 3 kΩ to GND			−7	−5	V
		R1OUT, R2OUT	I_{OL} = 3.2 mA				0.4	
V_{IT+}	Receiver positive-going input threshold voltage	R1IN, R2IN	V_{CC} = 5 V,	T_A = 25°C		1.7	2.4	V
V_{IT-}	Receiver negative-going input threshold voltage	R1IN, R2IN	V_{CC} = 5 V,	T_A = 25°C	0.8	1.2		V
V_{hys}	Input hysteresis voltage	R1IN, R2IN	V_{CC} = 5 V		0.2	0.5	1	V
r_i	Receiver input resistance	R1IN, R2IN	V_{CC} = 5,	T_A = 25°C	3	5	7	kΩ
r_o	Output resistance	T1OUT, T2OUT	V_{S+} = V_{S-} = 0,	V_O = ± 2 V	300			Ω
I_{OS}§	Short-circuit output current	T1OUT, T2OUT	V_{CC} = 5.5 V,	V_O = 0		±10		mA
I_{IS}	Short-circuit input current	T1IN, T2IN	V_I = 0				200	µA
I_{CC}	Supply current		V_{CC} = 5.5 V, T_A = 25°C	All outputs open,		8	10	mA

† All typical values are at V_{CC} = 5 V, T_A = 25°C.
‡ The algebraic convention, in which the least positive (most negative) value is designated minimum, is used in this data sheet for logic voltage levels only.
§ Not more than one output should be shorted at a time.

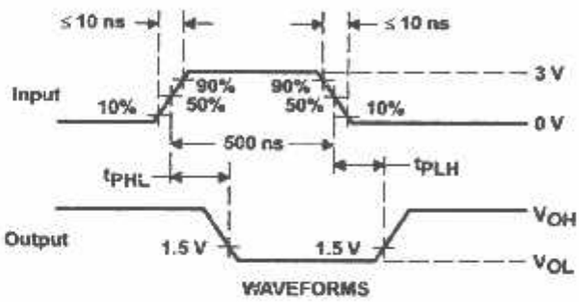
switching characteristics, V_{CC} = 5 V, T_A = 25°C

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
$t_{PLH(R)}$	Receiver propagation delay time, low- to high-level output	See Figure 1		500		ns
$t_{PHL(R)}$	Receiver propagation delay time, high- to low-level output	See Figure 1		500		ns
SR	Driver slew rate	R_L = 3 kΩ to 7 kΩ, See Figure 2			30	V/µs
SR(tr)	Driver transition region slew rate	See Figure 3		3		V/µs

PARAMETER MEASUREMENT INFORMATION



TEST CIRCUIT

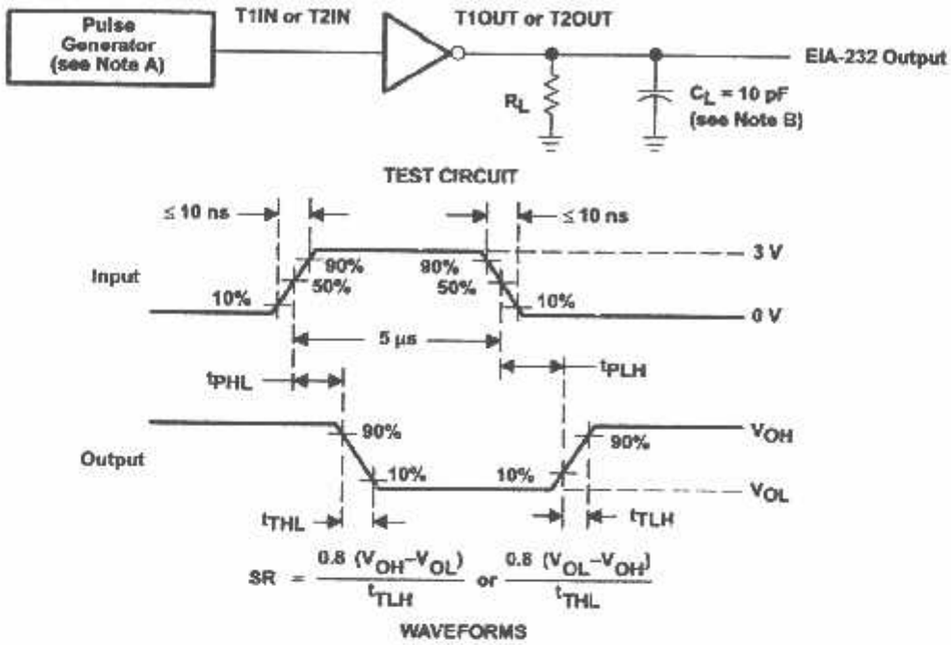


WAVEFORMS

NOTES: A. The pulse generator has the following characteristics: Z_O = 50 Ω, duty cycle ≤ 50%.
B. C_L includes probe and jig capacitance.
C. All diodes are 1N3064 or equivalent.

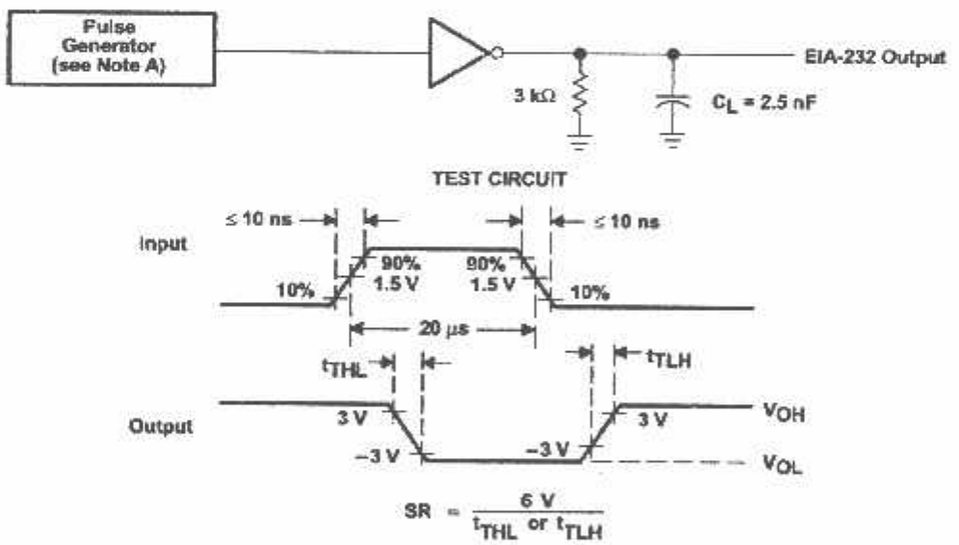
Figure 1. Receiver Test Circuit and Waveforms for t_{PHL} and t_{PLH} Measurements

PARAMETER MEASUREMENT INFORMATION



NOTES: A. The pulse generator has the following characteristics: Z_O = 50 Ω, duty cycle ≤ 50%.
B. C_L includes probe and jig capacitance.

Figure 2. Driver Test Circuit and Waveforms for t_{PHL} and t_{PLH} Measurements (5-µs input)



NOTE A: The pulse generator has the following characteristics: Z_O = 50 Ω, duty cycle ≤ 50%.

Figure 3. Test Circuit and Waveforms for t_{THL} and t_{TLH} Measurements (20-µs Input)

APPLICATION INFORMATION

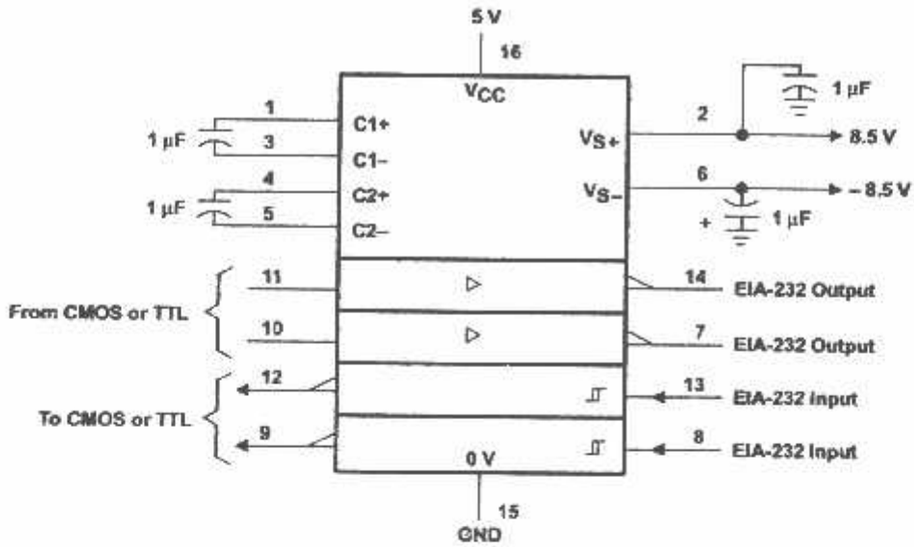


Figure 4. Typical Operating Circuit

IMPORTANT NOTICE

Texas Instruments and its subsidiaries (TI) reserve the right to make changes to their products or to discontinue any product or service without notice, and advise customers to obtain the latest version of relevant information to verify, before placing orders, that information being relied on is current and complete. All products are sold subject to the terms and conditions of sale supplied at the time of order acknowledgement, including those pertaining to warranty, patent infringement, and limitation of liability.

TI warrants performance of its semiconductor products to the specifications applicable at the time of sale in accordance with TI's standard warranty. Testing and other quality control techniques are utilized to the extent TI deems necessary to support this warranty. Specific testing of all parameters of each device is not necessarily performed, except those mandated by government requirements.

CERTAIN APPLICATIONS USING SEMICONDUCTOR PRODUCTS MAY INVOLVE POTENTIAL RISKS OF DEATH, PERSONAL INJURY, OR SEVERE PROPERTY OR ENVIRONMENTAL DAMAGE ("CRITICAL APPLICATIONS"). TI SEMICONDUCTOR PRODUCTS ARE NOT DESIGNED, AUTHORIZED, OR WARRANTED TO BE SUITABLE FOR USE IN LIFE-SUPPORT DEVICES OR SYSTEMS OR OTHER CRITICAL APPLICATIONS. INCLUSION OF TI PRODUCTS IN SUCH APPLICATIONS IS UNDERSTOOD TO BE FULLY AT THE CUSTOMER'S RISK.

In order to minimize risks associated with the customer's applications, adequate design and operating safeguards must be provided by the customer to minimize inherent or procedural hazards.

TI assumes no liability for applications assistance or customer product design. TI does not warrant or represent that any license, either express or implied, is granted under any patent right, copyright, mask work right, or other intellectual property right of TI covering or relating to any combination, machine, or process in which such semiconductor products or services might be or are used. TI's publication of information regarding any third party's products or services does not constitute TI's approval, warranty or endorsement thereof.

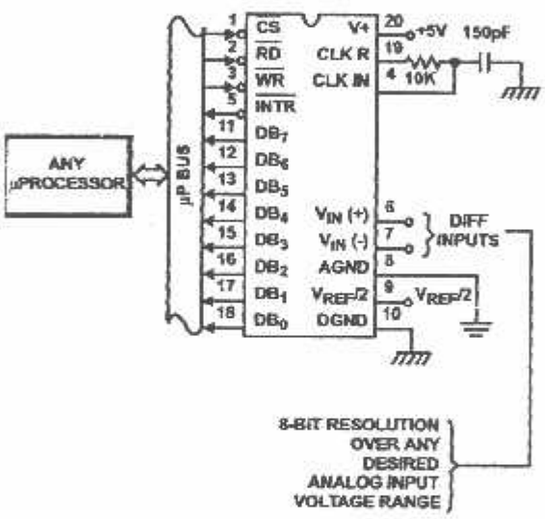
Copyright © 1998, Texas Instruments Incorporated

-Bit, Microprocessor-Compatible, A/D onverters

e ADC080X family are CMOS 8-Bit, successive-proximation A/D converters which use a modified tentiometric ladder and are designed to operate with the 80A control bus via three-state outputs. These converters pear to the processor as memory locations or I/O ports, d hence no interfacing logic is required.

e differential analog voltage input has good common-)de-rejection and permits offsetting the analog zero-input-ltage value. In addition, the voltage reference input can be justed to allow encoding any smaller analog voltage span the full 8 bits of resolution.

/pical Application Schematic

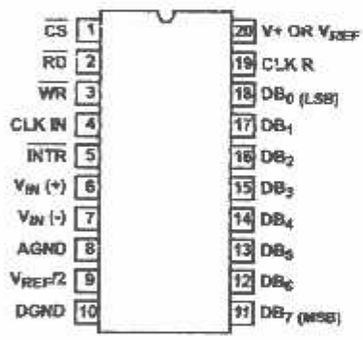


Features

- 80C48 and 80C80/85 Bus Compatible - No Interfacing Logic Required
- Conversion Time . . . . . <100µs
- Easy Interface to Most Microprocessors
- Will Operate in a "Stand Alone" Mode
- Differential Analog Voltage Inputs
- Works with Bandgap Voltage References
- TTL Compatible Inputs and Outputs
- On-Chip Clock Generator
- Analog Voltage Input Range (Single + 5V Supply) . . . . . 0V to 5V
- No Zero-Adjust Required
- 80C48 and 80C80/85 Bus Compatible - No Interfacing Logic Required

Pinout

ADC0803, ADC0804
(PDIP)
TOP VIEW

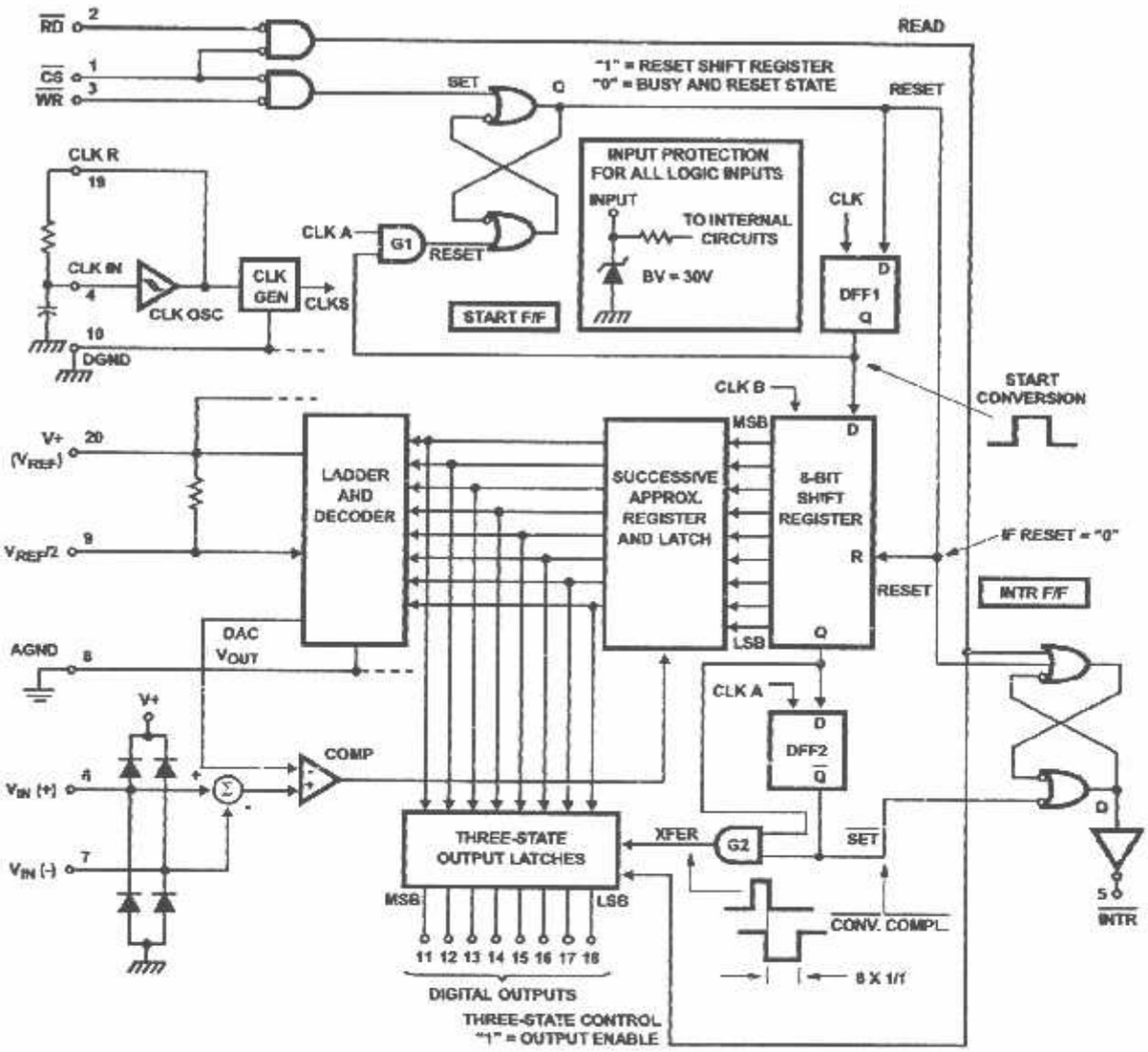


rdering Information

ART NUMBER	ERROR	EXTERNAL CONDITIONS	TEMP. RANGE (°C)	PACKAGE	PKG. NO
C0803LCN	$\pm 1/2$ LSB	$V_{REF}/2$ Adjusted for Correct Full Scale Reading	0 to 70	20 Ld PDIP	E20.3
C0804LCN	±1 LSB	$V_{REF}/2 = 2.500V_{DC}$ (No Adjustments)	0 to 70	20 Ld PDIP	E20.3

CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
1-888-INTERSIL or 321-724-7143 | Intersil (and design) is a registered trademark of Intersil Americas Inc.
Copyright © Intersil Americas Inc. 2002. All Rights Reserved

unctional Diagram



bsolute Maximum Ratings

ıpply Voltage 6.5V
ltage at Any Input . . . . . -0.3V to (V^+ +0.3V)

perating Conditions

mperature Range . . . . . 0^oC to 70^oC

Thermal Information

Thermal Resistance (Typical, Note 1)	θ_{JA} ($^oC/W$)
PDIP Package	80

Maximum Junction Temperature
Plastic Package . . . . . 150^oC
Maximum Storage Temperature Range . . . . . -65^oC to 150^oC
Maximum Lead Temperature (Soldering, 10s) . . . . . 300^oC

UTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the vice at these or any other conditions above those indicated in the operational sections of this specification is not implied.

OTE:

. θ_{JA} is measured with the component mounted on a low effective thermal conductivity test board in free air. See Tech Brief TB379 for details.

lectrical Specifications (Notes 2, 8)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
ONVERTER SPECIFICATIONS V+ = 5V, $T_A = 25^oC$ and f_{CLK} = 640kHz, Unless Otherwise Specified					
otal Unadjusted Error					
ADC0803	$V_{REF}/2$ Adjusted for Correct Full Scale Reading	-	-	$\pm^1/_2$	LSB
ADC0804	$V_{REF}/2$ = 2.500V	-	-	±1	LSB
REF/2 Input Resistance	Input Resistance at Pin 9	1.0	1.3	-	kΩ
nalog Input Voltage Range	(Note 3)	GND-0.05	-	(V+) + 0.05	V
IC Common-Mode Rejection	Over Analog Input Voltage Range	-	$\pm^1/_{16}$	$\pm^1/_8$	LSB
ower Supply Sensitivity	V+ = 5V ±10% Over Allowed Input Voltage Range	-	$\pm^1/_{16}$	$\pm^1/_8$	LSB
ONVERTER SPECIFICATIONS V+ = 5V, 0^oC to 70^oC and f_{CLK} = 640kHz, Unless Otherwise Specified					
otal Unadjusted Error					
ADC0803	$V_{REF}/2$ Adjusted for Correct Full Scale Reading	-	-	$\pm^1/_2$	LSB
ADC0804	$V_{REF}/2$ = 2.500V	-	-	±1	LSB
REF/2 Input Resistance	Input Resistance at Pin 9	1.0	1.3	-	kΩ
nalog Input Voltage Range	(Note 3)	GND-0.05	-	(V+) + 0.05	V
C Common-Mode Rejection	Over Analog Input Voltage Range	-	$\pm^1/_9$	$\pm^1/_4$	LSB
ower Supply Sensitivity	V+ = 5V ±10% Over Allowed Input Voltage Range	-	$\pm^1/_{15}$	$\pm^1/_8$	LSB
C TIMING SPECIFICATIONS V+ = 5V, and $T_A = 25^oC$, Unless Otherwise Specified					
ock Frequency, f_{CLK}	V+ = 6V (Note 4)	100	640	1280	kHz
	V+ = 5V	100	640	800	kHz
lock Periods per Conversion (Note 5), ONV		62	-	73	Clocks/Conv
onversion Rate In Free-Running Mode, CR	$\overline{INTR}$ tied to $\overline{WR}$ with $\overline{CS}$ = 0V, f_{CLK} = 640kHz	-	-	8888	Conv/s
idth of $\overline{WR}$ Input (Start Pulse Width), W(WR)l	$\overline{CS}$ = 0V (Note 6)	100	-	-	ns
ccess Time (Delay from Falling Edge of D to Output Data Valid), t_{ACC}	C_L = 100pF (Use Bus Driver IC for Larger C_L)	-	135	200	ns
ree-State Control (Delay from Rising dge of $\overline{RD}$ to HI-Z State), t_{1H}, t_{0H}	C_L = 10pF, R_L = 10K (See Three-State Test Circuits)	-	125	250	ns
elay from Falling Edge of $\overline{WR}$ to Reset of TR, t_{WI}, t_{RI}		-	300	450	ns
put Capacitance of Logic Control Inputs, N		-	5	-	pF
ree-State Output Capacitance (Data iffers), C_{OUT}		-	5	-	pF

lectrical Specifications (Notes 2, 8) **(Continued)**

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
IC DIGITAL LEVELS AND DC SPECIFICATIONS V+ = 5V, and T_{MIN} to T_{MAX}, Unless Otherwise Specified					
ONTROL INPUTS (Note 7)					
ogic "1" Input Voltage (Except Pin 4 CLK V), V_{INH}	V+ = 5.25V	2.0	-	V+	V
ogic "0" Input Voltage (Except Pin 4 CLK V), V_{INL}	V+ = 4.75V	-	-	0.8	V
LK IN (Pin 4) Positive Going Threshold oltage, $V+_{CLK}$		2.7	3.1	3.5	V
LK IN (Pin 4) Negative Going Threshold oltage, $V-_{CLK}$		1.5	1.8	2.1	V
LK IN (Pin 4) Hysteresis, V_H		0.6	1.3	2.0	V
ogic "1" Input Current (All Inputs), I_{INHI}	V_{IN} = 5V	-	0.005	1	µA
ogic "0" Input Current (All Inputs), I_{INLO}	V_{IN} = 0V	-1	-0.005	-	µA
upply Current (Includes Ladder Current), I+	f_{CLK} = 640kHz, T_A = 25°C and $\overline{CS}$ = HI	-	1.3	2.5	mA
ATA OUTPUTS AND INTR					
ogic "0" Output Voltage, V_{OL}	I_O = 1.6mA, V+ = 4.75V	-	-	0.4	V
ogic "1" Output Voltage, V_{OH}	I_O = -360µA, V+ = 4.75V	2.4	-	-	V
hree-State Disabled Output Leakage (All ata Buffers), I_{LO}	V_{OUT} = 0V	-3	-	-	µA
	V_{OUT} = 5V	-	-	3	µA
utput Short Circuit Current, I_{SOURCE}	V_{OUT} Short to GND, T_A = 25°C	4.5	6	-	mA
utput Short Circuit Current, I_{SINK}	V_{OUT} Short to V+, T_A = 25°C	9.0	16	-	mA

OTES:

. All voltages are measured with respect to GND, unless otherwise specified. The separate AGND point should always be wired to the DGND, being careful to avoid ground loops.

. For $V_{IN(-)} \geq V_{IN(+)}$ the digital output code will be 0000 0000. Two on-chip diodes are tied to each analog input (see Block Diagram) which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the V+ supply. Be careful, during testing at low V+ levels (4.5V), as high level analog inputs (5V) can cause this input diode to conduct - especially at elevated temperatures, and cause errors for analog inputs near full scale. As long as the analog V_{IN} does not exceed the supply voltage by more than 50mV, the output code will be correct. To achieve an absolute 0V to 5V input voltage range will therefore require a minimum supply voltage of 4.950V over temperature variations, initial tolerance and loading.

. With V+ = 6V, the digital logic interfaces are no longer TTL compatible.

. With an asynchronous start pulse, up to 8 clock periods may be required before the internal clock phases are proper to start the conversion process.

. The $\overline{CS}$ input is assumed to bracket the $\overline{WR}$ strobe input so that timing is dependent on the $\overline{WR}$ pulse width. An arbitrarily wide pulse width will hold the converter in a reset mode and the start of conversion is initiated by the low to high transition of the $\overline{WR}$ pulse (see Timing Diagrams).

. CLK IN (pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately.

. None of these A/Ds requires a zero-adjust. However, if an all zero code is desired for an analog input other than 0V, or if a narrow full scale span exists (for example: 0.5V to 4V full scale) the $V_{IN(-)}$ input can be adjusted to achieve this. See the Zero Error description in this data sheet.

ming Waveforms

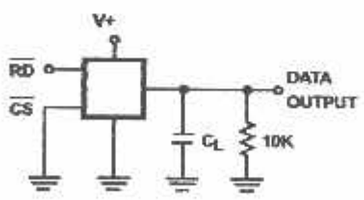


FIGURE 1A. t_{1H}

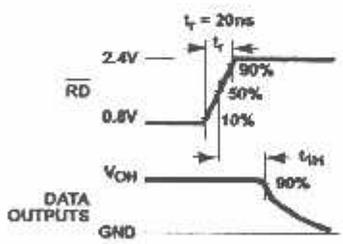


FIGURE 1B. t_{1H}, C_L = 10pF

Timing Waveforms (Continued)

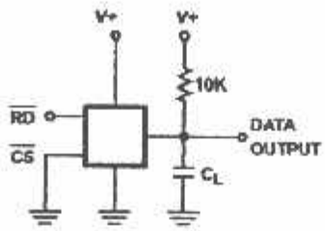


FIGURE 1C. t_{0H}

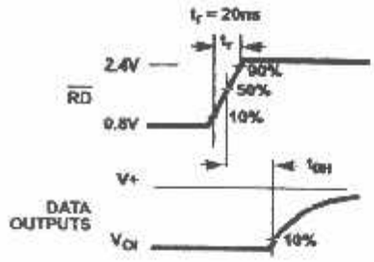


FIGURE 1D. t_{0H}, C_L = 10pF

FIGURE 1. THREE-STATE CIRCUITS AND WAVEFORMS

Typical Performance Curves

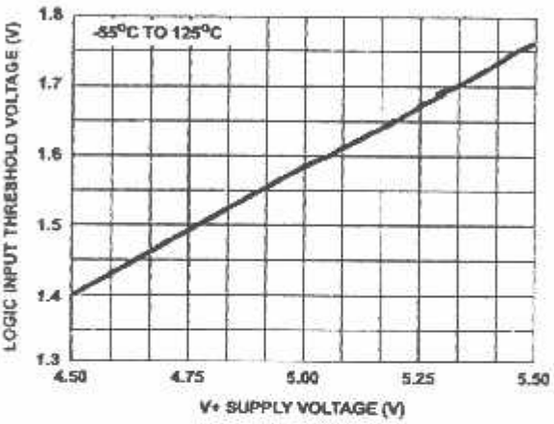


FIGURE 2. LOGIC INPUT THRESHOLD VOLTAGE vs SUPPLY VOLTAGE

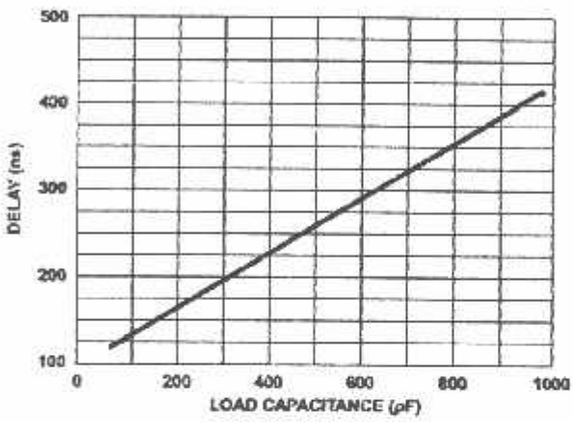


FIGURE 3. DELAY FROM FALLING EDGE OF $\overline{RD}$ TO OUTPUT DATA VALID vs LOAD CAPACITANCE

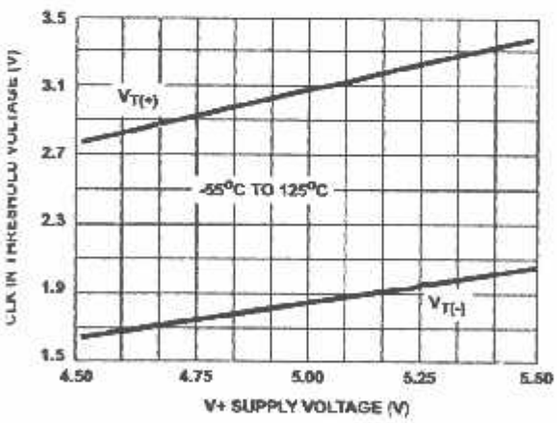


FIGURE 4. CLK IN SCHMITT TRIP LEVELS vs SUPPLY VOLTAGE

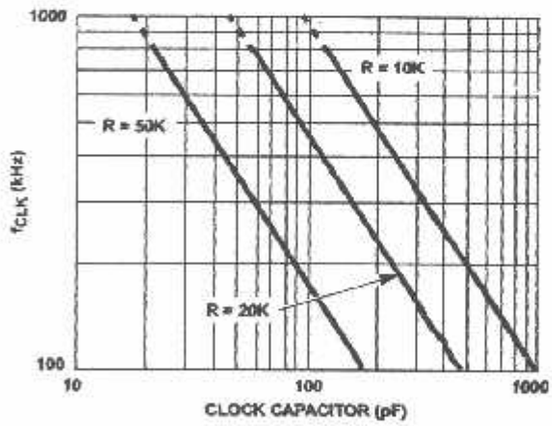


FIGURE 5. f_{CLK} vs CLOCK CAPACITOR

Typical Performance Curves (Continued)

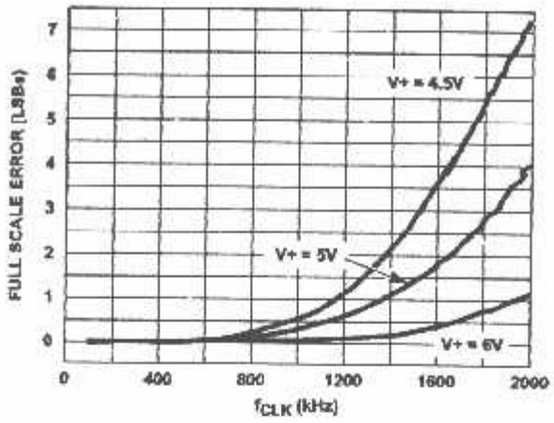


FIGURE 6. FULL SCALE ERROR vs f_{CLK}

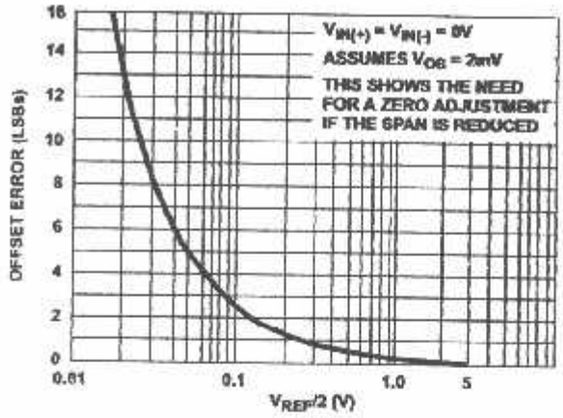


FIGURE 7. EFFECT OF UNADJUSTED OFFSET ERROR

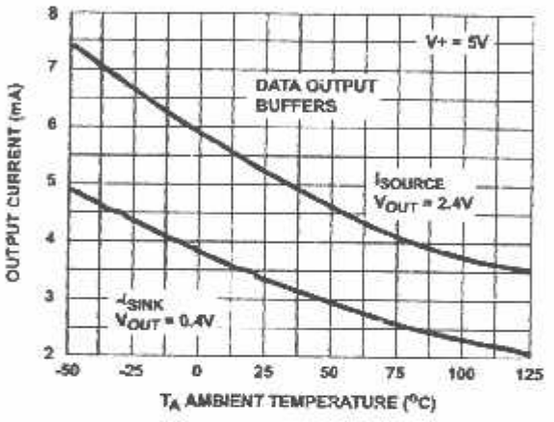


FIGURE 8. OUTPUT CURRENT vs TEMPERATURE

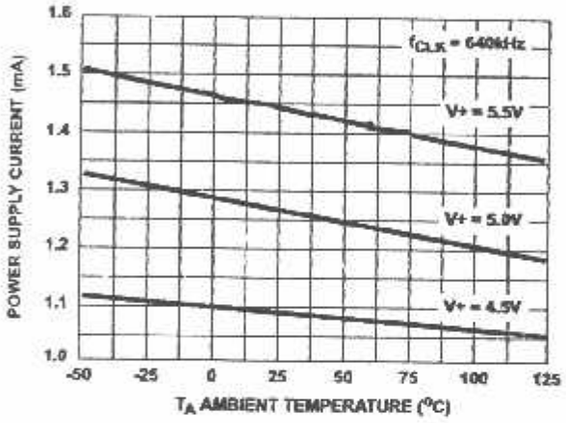


FIGURE 9. POWER SUPPLY CURRENT vs TEMPERATURE

Timing Diagrams

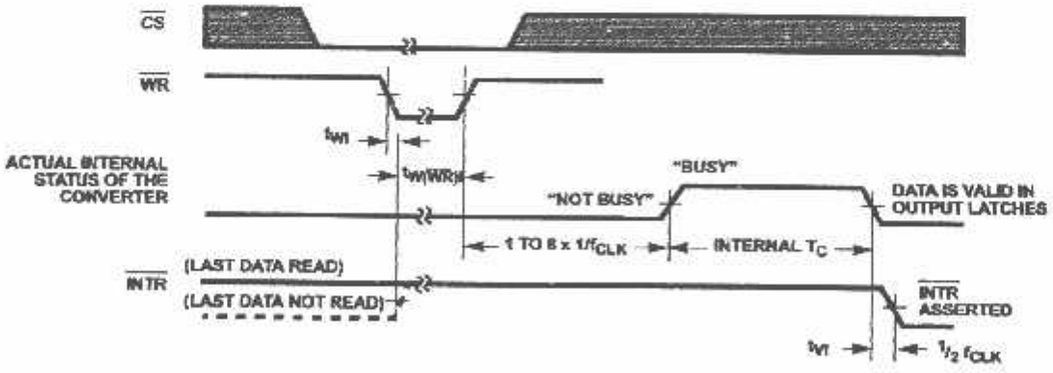


FIGURE 10A. START CONVERSION

Timing Diagrams (Continued)

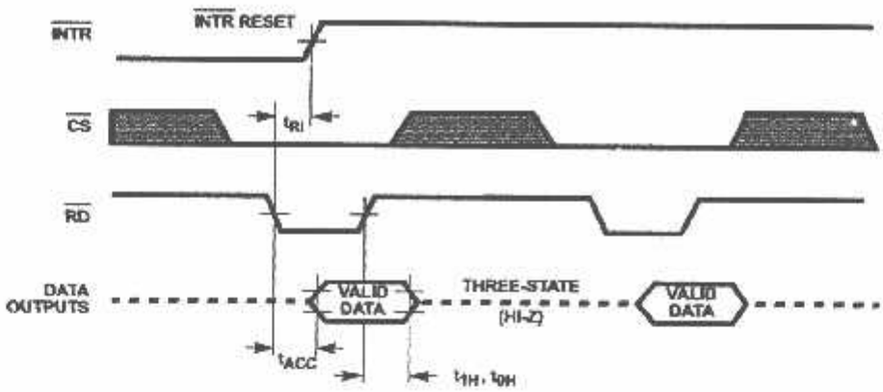


FIGURE 10B. OUTPUT ENABLE AND RESET $\overline{INTR}$

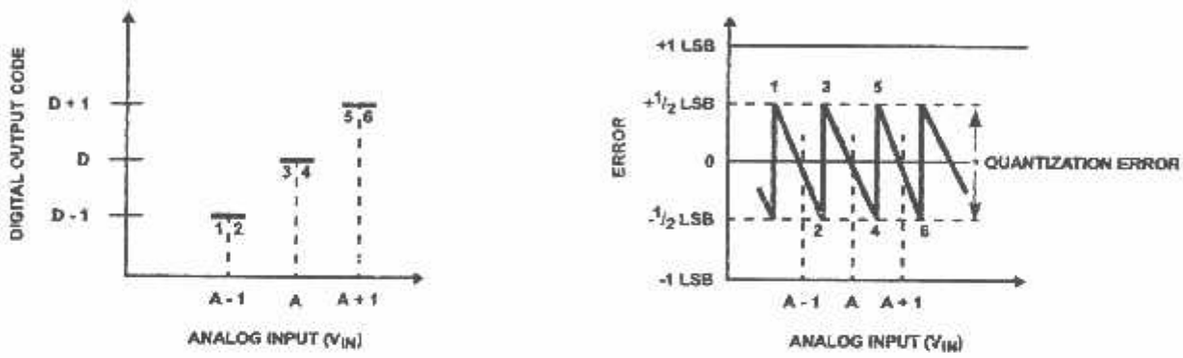


FIGURE 11A. ACCURACY = ±0 LSB; PERFECT A/D

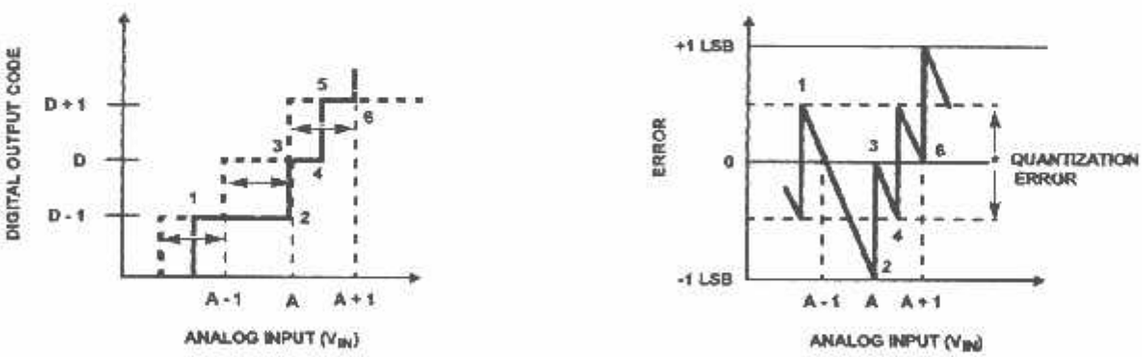


FIGURE 11B. ACCURACY = $\pm^1/_2$ LSB

FIGURE 11. CLARIFYING THE ERROR SPECS OF AN A/D CONVERTER

nderstanding A/D Error Specs

perfect A/D transfer characteristic (staircase wave-form) is own in Figure 11A. The horizontal scale is analog input ltage and the particular points labeled are in steps of 1 iB (19.53mV with 2.5V tied to the $V_{REF}/2$ pin). The digital tput codes which correspond to these inputs are shown as 1, D, and D+1. For the perfect A/D, not only will center-lue (A - 1, A, A + 1, . . .) analog inputs produce the correct tput digital codes, but also each riser (the transitions tween adjacent output codes) will be located $\pm^1/_2$ LSB ay from each center-value. As shown, the risers are ideal d have no width. Correct digital output codes will be ovided for a range of analog input voltages which extend /2 LSB from the ideal center-values. Each tread (the range analog input voltage which provides the same digital tput code) is therefore 1 LSB wide.

e error curve of Figure 11B shows the worst case transfer ıction for the ADC080X. Here the specification guarantees ıt if we apply an analog input equal to the LSB analog ltage center-value, the A/D will produce the correct digital de.

xt to each transfer function is shown the corresponding or plot. Notice that the error includes the quantization certainty of the A/D. For example, the error at point 1 of jure 11A is $+^1/_2$ LSB because the digital code appeared LSB in advance of the center-value of the tread. The or plots always have a constant negative slope and the rupt upside steps are always 1 LSB in magnitude, unless device has missing codes.

etailed Description

e functional diagram of the ADC080X series of A/D nverters operates on the successive approximation nciple (see Application Notes AN016 and AN020 for a ıre detailed description of this principle). Analog switches closed sequentially by successive-approximation logic il the analog differential input voltage $[V_{IN(+)} - V_{IN(-)}]$ itches a voltage derived from a tapped resistor string ross the reference voltage. The most significant bit is ted first and after 8 comparisons (64 clock cycles), an 8-binary code (1111 1111 = full scale) is transferred to an put latch.

e normal operation proceeds as follows. On the high-to-low nsition of the WR input, the internal SAR latches and the ft-register stages are reset, and the INTR output will be set h. As long as the CS input and WR input remain low, the) will remain in a reset state. Conversion will start from 1 to lock periods after at least one of these inputs makes a low-high transition. After the requisite number of clock pulses to nplete the conversion, the INTR pin will make a high-to-low nsition. This can be used to interrupt a processor, or erwise signal the availability of a new conversion. A RD eration (with CS low) will clear the INTR line high again. e device may be operated in the free-running mode by connecting INTR to the WR input with CS = 0. To ensure start-up under all possible conditions, an external WR pulse is required during the first power-up cycle. A conversion-in-process can be interrupted by issuing a second start command.

Digital Operation

The converter is started by having CS and WR simultaneously low. This sets the start flip-flop (F/F) and the resulting "1" level resets the 8-bit shift register, resets the Interrupt (INTR) F/F and inputs a "1" to the D flip-flop, DFF1, which is at the input end of the 8-bit shift register. Internal clock signals then transfer this "1" to the Q output of DFF1. The AND gate, G1, combines this "1" output with a clock signal to provide a reset signal to the start F/F. If the set signal is no longer present (either WR or CS is a "1"), the start F/F is reset and the 8-bit shift register then can have the "1" clocked in, which starts the conversion process. If the set signal were to still be present, this reset pulse would have no effect (both outputs of the start F/F would be at a "1" level) and the 8-bit shift register would continue to be held in the reset mode. This allows for asynchronous or wide CS and WR signals.

After the "1" is clocked through the 8-bit shift register (which completes the SAR operation) it appears as the input to DFF2. As soon as this "1" is output from the shift register, the AND gate, G2, causes the new digital word to transfer to the Three-State output latches. When DFF2 is subsequently clocked, the $\overline{Q}$ output makes a high-to-low transition which causes the INTR F/F to set. An inverting buffer then supplies the $\overline{INTR}$ output signal.

When data is to be read, the combination of both $\overline{CS}$ and $\overline{RD}$ being low will cause the INTR F/F to be reset and the three-state output latches will be enabled to provide the 8-bit digital outputs.

Digital Control Inputs

The digital control inputs (CS, RD, and WR) meet standard TTL logic voltage levels. These signals are essentially equivalent to the standard A/D Start and Output Enable control signals, and are active low to allow an easy interface to microprocessor control busses. For non-microprocessor based applications, the CS input (pin 1) can be grounded and the standard A/D Start function obtained by an active low pulse at the WR input (pin 3). The Output Enable function is achieved by an active low pulse at the RD input (pin 2).

Analog Operation

The analog comparisons are performed by a capacitive charge summing circuit. Three capacitors (with precise ratioed values) share a common node with the input to an auto-zeroed comparator. The input capacitor is switched between $V_{IN(+)}$ and $V_{IN(-)}$, while two ratioed reference capacitors are switched between taps on the reference voltage divider string. The net charge corresponds to the weighted difference between the input and the current total value set by the

ocessive approximation register. A correction is made to set the comparison by $^1/_2$ LSB (see Figure 11A).

nalog Differential Voltage Inputs and Common-ode Rejection

is A/D gains considerable applications flexibility from the alog differential voltage input. The $V_{IN(-)}$ input (pin 7) can used to automatically subtract a fixed voltage value from input reading (tare correction). This is also useful in 4mA 0mA current loop conversion. In addition, common-mode se can be reduced by use of the differential input.

e time interval between sampling $V_{IN(+)}$ and $V_{IN(-)}$ is $4^1/_2$ ck periods. The maximum error voltage due to this slight e difference between the input voltage samples is given by:

$$_E(MAX) = (V_{PEAK})(2\pi f_{CM})\left[\frac{4.5}{f_{CLK}}\right]$$

ere:

$_E$ is the error voltage due to sampling delay.

$_{EAK}$ is the peak value of the common-mode voltage.

$_M$ is the common-mode frequency.

r example, with a 60Hz common-mode frequency, f_{CM}, and 40kHz A/D clock, f_{CLK}, keeping this error to $^1/_4$ LSB (~5mV) uld allow a common-mode voltage, V_{PEAK}, given by:

$$_{EAK} = \frac{\left[\Delta V_{E(MAX)(f_{CLK})}\right]}{(2\pi f_{CM})(4.5)},$$

$$_{EAK} = \frac{(5\times 10^{-3})(640\times 10^{3})}{(6.28)(60)(4.5)} \equiv 1.9V.$$

e allowed range of analog input voltage usually places re severe restrictions on input common-mode voltage els than this.

analog input voltage with a reduced span and a relatively ge zero offset can be easily handled by making use of the erential input (see Reference Voltage Span Adjust).

nalog Input Current

e internal switching action causes displacement currents to w at the analog inputs. The voltage on the on-chip pacitance to ground is switched through the analog erential input voltage, resulting in proportional currents ering the $V_{IN(+)}$ input and leaving the $V_{IN(-)}$ input. These rent transients occur at the leading edge of the internal cks. They rapidly decay and do not inherently cause errors the on-chip comparator is strobed at the end of the clock iod.

out Bypass Capacitors

pass capacitors at the inputs will average these charges d cause a DC current to flow through the output resistances he analog signal sources. This charge pumping action is rse for continuous conversions with the $V_{IN(+)}$ input voltage ull scale. For a 640kHz clock frequency with the $V_{IN(+)}$ input at 5V, this DC current is at a maximum of approximately 5µA. Therefore, **bypass capacitors should not be used at the analog inputs or the $V_{REF}/2$ pin** for high resistance sources (>1kΩ). If input bypass capacitors are necessary for noise filtering and high source resistance is desirable to minimize capacitor size, the effects of the voltage drop across this input resistance, due to the average value of the input current, can be compensated by a full scale adjustment while the given source resistor and input bypass capacitor are both in place. This is possible because the average value of the input current is a precise linear function of the differential input voltage at a constant conversion rate.

Input Source Resistance

Large values of source resistance where an input bypass capacitor is not used will not cause errors since the input currents settle out prior to the comparison time. If a low-pass filter is required in the system, use a low-value series resistor (≤1kΩ) for a passive RC section or add an op amp RC active low-pass filter. For low-source-resistance applications (≤1kΩ), a 0.1µF bypass capacitor at the inputs will minimize EMI due to the series lead inductance of a long wire. A 100Ω series resistor can be used to isolate this capacitor (both the R and C are placed outside the feedback loop) from the output of an op amp, if used.

Stray Pickup

The leads to the analog inputs (pins 6 and 7) should be kept as short as possible to minimize stray signal pickup (EMI). Both EMI and undesired digital-clock coupling to these inputs can cause system errors. The source resistance for these inputs should, in general, be kept below 5kΩ. Larger values of source resistance can cause undesired signal pickup. Input bypass capacitors, placed from the analog inputs to ground, will eliminate this pickup but can create analog scale errors as these capacitors will average the transient input switching currents of the A/D (see Analog Input Current). This scale error depends on both a large source resistance and the use of an input bypass capacitor. This error can be compensated by a full scale adjustment of the A/D (see Full Scale Adjustment) with the source resistance and input bypass capacitor in place, and the desired conversion rate.

Reference Voltage Span Adjust

For maximum application flexibility, these A/Ds have been designed to accommodate a 5V, 2.5V or an adjusted voltage reference. This has been achieved in the design of the IC as shown in Figure 12.

Notice that the reference voltage for the IC is either $^1/_2$ of the voltage which is applied to the V+ supply pin, or is equal to the voltage which is externally forced at the $V_{REF}/2$ pin. This allows for a pseudo-ratiometric voltage reference using, for the V+ supply, a 5V reference voltage. Alternatively, a voltage less than 2.5V can be applied to the $V_{REF}/2$ input. The internal gain to the $V_{REF}/2$ input is 2 to allow this factor of 2 reduction in the reference voltage.

ich an adjusted reference voltage can accommodate a duced span or dynamic voltage range of the analog input ltage. If the analog input voltage were to range from 0.5V to 5V, instead of 0V to 5V, the span would be 3V. With 0.5V plied to the $V_{IN(-)}$ pin to absorb the offset, the reference ltage can be made equal to $^1/_2$ of the 3V span or 1.5V. The D now will encode the $V_{IN(+)}$ signal from 0.5V to 3.5V with e 0.5V input corresponding to zero and the 3.5V input rresponding to full scale. The full 8 bits of resolution are erefore applied over this reduced analog input voltage nge. The requisite connections are shown in Figure 13. For panded scale inputs, the circuits of Figures 14 and 15 can used.

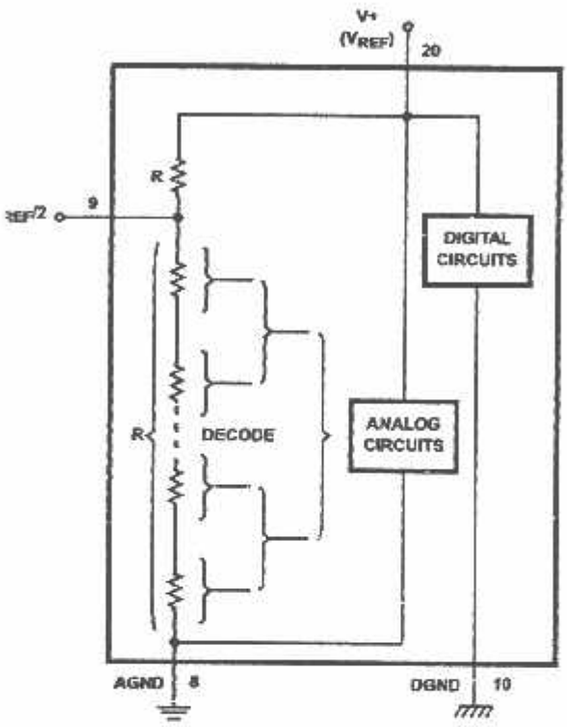
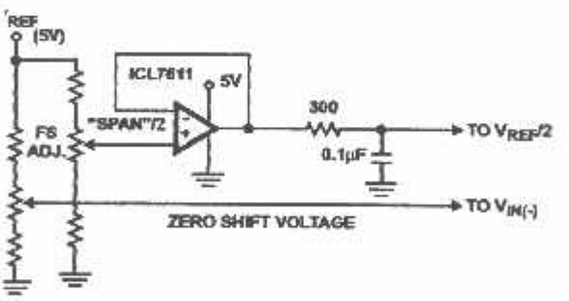


FIGURE 12. THE $V_{REFERENCE}$ DESIGN ON THE IC



IGURE 13. OFFSETTING THE ZERO OF THE ADC080X AND PERFORMING AN INPUT RANGE (SPAN) ADJUSTMENT

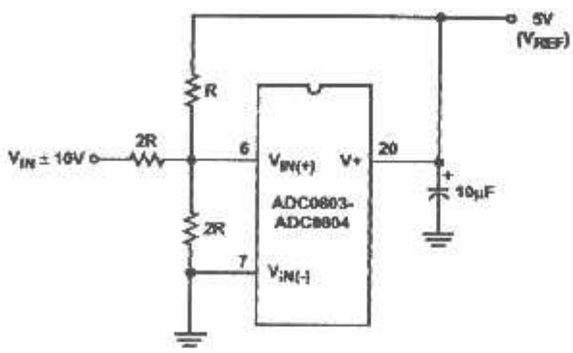


FIGURE 14. HANDLING ±10V ANALOG INPUT RANGE

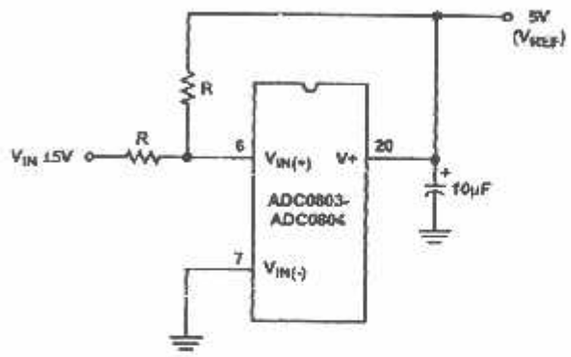


FIGURE 15. HANDLING ±5V ANALOG INPUT RANGE

Reference Accuracy Requirements

The converter can be operated in a pseudo-ratiometric mode or an absolute mode. In ratiometric converter applications, the magnitude of the reference voltage is a factor in both the output of the source transducer and the output of the A/D converter and therefore cancels out in the final digital output code. In absolute conversion applications, both the initial value and the temperature stability of the reference voltage are important accuracy factors in the operation of the A/D converter. For $V_{REF}/2$ voltages of 2.5V nominal value, initial errors of ±10mV will cause conversion errors of ±1 LSB due to the gain of 2 of the $V_{REF}/2$ input. In reduced span applications, the initial value and the stability of the $V_{REF}/2$ input voltage become even more important. For example, if the span is reduced to 2.5V, the analog input LSB voltage value is correspondingly reduced from 20mV (5V span) to 10mV and 1 LSB at the $V_{REF}/2$ input becomes 5mV. As can be seen, this reduces the allowed initial tolerance of the reference voltage and requires correspondingly less absolute change with temperature variations. Note that spans smaller than 2.5V place even tighter requirements on the initial accuracy and stability of the reference source.

In general, the reference voltage will require an initial adjustment. Errors due to an improper value of reference voltage appear as full scale errors in the A/D transfer

nction. IC voltage regulators may be used for references if e ambient temperature changes are not excessive.

ero Error

ne zero of the A/D does not require adjustment. If the inimum analog input voltage value, $V_{IN(MIN)}$, is not ground, a ero offset can be done. The converter can be made to output 00 0000 digital code for this minimum input voltage by asing the A/D $V_{IN(-)}$ input at this $V_{IN(MIN)}$ value (see pplications section). This utilizes the differential mode peration of the A/D.

ne zero error of the A/D converter relates to the location of e first riser of the transfer function and can be measured by ounding the $V_{IN(-)}$ input and applying a small magnitude sitive voltage to the $V_{IN(+)}$ input. Zero error is the difference tween the actual DC input voltage which is necessary to st cause an output digital code transition from 0000 0000 to 00 0001 and the ideal $^1/_2$ LSB value ($^1/_2$ LSB = 9.8mV for EF/2 = 2.500V).

ull Scale Adjust

ne full scale adjustment can be made by applying a fferential input voltage which is $1^1/_2$ LSB down from the sired analog full scale voltage range and then adjusting e magnitude of the $V_{REF}/2$ input (pin 9) for a digital output de which is just changing from 1111 1110 to 1111 1111. hen offsetting the zero and using a span-adjusted $V_{REF}/2$ ltage, the full scale adjustment is made by inputting V_{MIN} the $V_{IN(-)}$ input of the A/D and applying a voltage to the N(+) input which is given by:

$$V_{IN(+)} = V_{MAX} - 1.5\left[\frac{(V_{MAX} - V_{MIN})}{256}\right],$$

ere:

AX = the high end of the analog input range, and

IN = the low end (the offset zero) of the analog range. oth are ground referenced.)

locking Option

ne clock for the A/D can be derived from an external source ch as the CPU clock or an external RC network can be ded to provide self-clocking. The CLK IN (pin 4) makes e of a Schmitt trigger as shown in Figure 16.

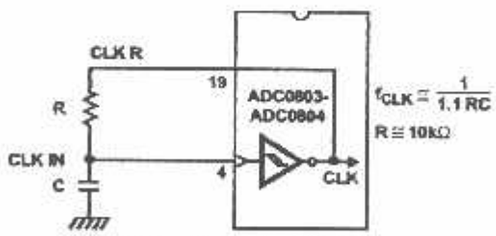


FIGURE 16. SELF-CLOCKING THE A/D

avy capacitive or DC loading of the CLK R pin should be oided as this will disturb normal converter operation.

Loads less than 50pF, such as driving up to 7 A/D converter clock inputs from a single CLK R pin of 1 converter, are allowed. For larger clock line loading, a CMOS or low power TTL buffer or PNP input logic should be used to minimize the loading on the CLK R pin (do not use a standard TTL buffer).

Restart During a Conversion

If the A/D is restarted ($\overline{CS}$ and $\overline{WR}$ go low and return high) during a conversion, the converter is reset and a new conversion is started. The output data latch is not updated if the conversion in progress is not completed. The data from the previous conversion remain in this latch.

Continuous Conversions

In this application, the $\overline{CS}$ input is grounded and the $\overline{WR}$ input is tied to the $\overline{INTR}$ output. This $\overline{WR}$ and $\overline{INTR}$ node should be momentarily forced to logic low following a power-up cycle to insure circuit operation. See Figure 17 for details.

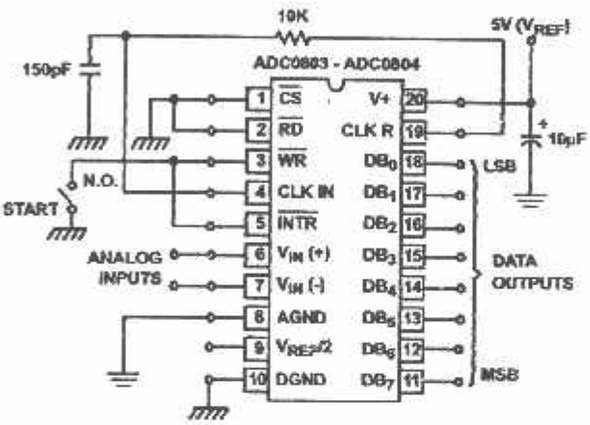


FIGURE 17. FREE-RUNNING CONNECTION

Driving the Data Bus

This CMOS A/D, like MOS microprocessors and memories, will require a bus driver when the total capacitance of the data bus gets large. Other circuitry, which is tied to the data bus, will add to the total capacitive loading, even in three-state (high-impedance mode). Back plane busing also greatly adds to the stray capacitance of the data bus.

There are some alternatives available to the designer to handle this problem. Basically, the capacitive loading of the data bus slows down the response time, even though DC specifications are still met. For systems operating with a relatively slow CPU clock frequency, more time is available in which to establish proper logic levels on the bus and therefore higher capacitive loads can be driven (see Typical Performance Curves).

At higher CPU clock frequencies time can be extended for I/O reads (and/or writes) by inserting wait states (8080) or using clock-extending circuits (6800).

inally, if time is short and capacitive loading is high, external
as drivers must be used. These can be three-state buffers
ow power Schottky is recommended, such as the 74LS240
eries) or special higher-drive-current products which are
esigned as bus drivers. High-current bipolar bus drivers
ith PNP inputs are recommended.

ower Supplies

oise spikes on the V+ supply line can cause conversion
rors as the comparator will respond to this noise. A
w-inductance tantalum filter capacitor should be used
ose to the converter V+ pin, and values of 1µF or greater
e recommended. If an unregulated voltage is available in
e system, a separate 5V voltage regulator for the converter
nd other analog circuitry) will greatly reduce digital noise
the V+ supply. An ICL7663 can be used to regulate such
supply from an input as low as 5.2V.

Tiring and Hook-Up Precautions

andard digital wire-wrap sockets are not satisfactory for
eadboarding with this A/D converter. Sockets on PC
ards can be used. All logic signal wires and leads should
grouped and kept as far away as possible from the
alog signal leads. Exposed leads to the analog inputs can
use undesired digital noise and hum pickup; therefore,
ielded leads may be necessary in many applications.

single-point analog ground should be used which is
parate from the logic ground points. The power supply
pass capacitor and the self-clocking capacitor (if used)
ould both be returned to digital ground. Any $V_{REF}/2$
pass capacitors, analog input filter capacitors, or input
gnal shielding should be returned to the analog ground
int. A test for proper grounding is to measure the zero
or of the A/D converter. Zero errors in excess of $^1/_4$ LSB
n usually be traced to improper board layout and wiring
e Zero Error for measurement). Further information can
found in Application Note AN018.

esting the A/D Converter

ere are many degrees of complexity associated with testing
A/D converter. One of the simplest tests is to apply a
own analog input voltage to the converter and use LEDs to
play the resulting digital output code as shown in Figure 18.

r ease of testing, the $V_{REF}/2$ (pin 9) should be supplied
h 2.560V and a V+ supply voltage of 5.12V should be
ed. This provides an LSB value of 20mV.

full scale adjustment is to be made, an analog input
ltage of 5.090V (5.120 - $1^1/_2$ LSB) should be applied to
$V_{IN(+)}$ pin with the $V_{IN(-)}$ pin grounded. The value of the
$_{EF}/2$ input voltage should be adjusted until the digital
tput code is just changing from 1111 1110 to 1111 1111.
is value of $V_{REF}/2$ should then be used for all the tests.

e digital-output LED display can be decoded by dividing
8 bits into 2 hex characters, one with the 4 most-significant bits (MS) and one with the 4 least-significant bits (LS). The output is then interpreted as a sum of fractions times the full scale voltage:

$$V_{OUT} = \left(\frac{MS}{16} + \frac{LS}{256}\right)(5.12)V.$$

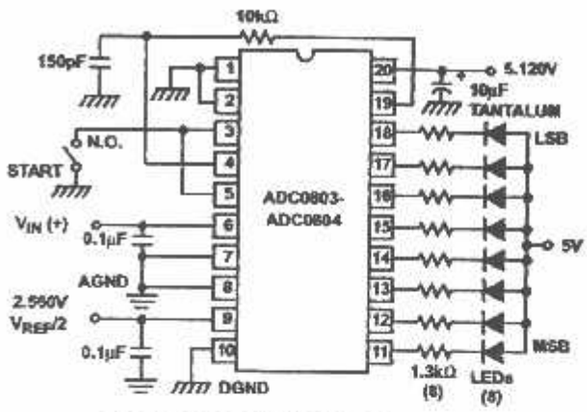


FIGURE 18. BASIC TESTER FOR THE A/D

For example, for an output LED display of 1011 0110, the MS character is hex B (decimal 11) and the LS character is hex (and decimal) 6, so:

$$V_{OUT} = \left(\frac{11}{16} + \frac{6}{256}\right)(5.12) = 3.64V.$$

Figures 19 and 20 show more sophisticated test circuits.

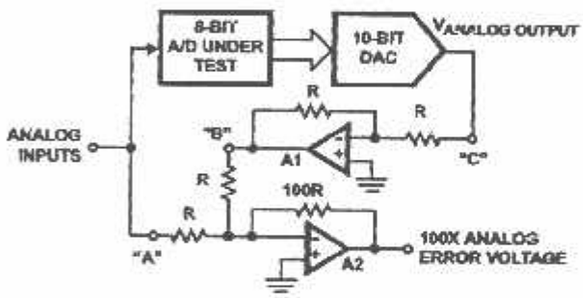


FIGURE 19. A/D TESTER WITH ANALOG ERROR OUTPUT. THIS CIRCUIT CAN BE USED TO GENERATE "ERROR PLOTS" OF FIGURE 11.

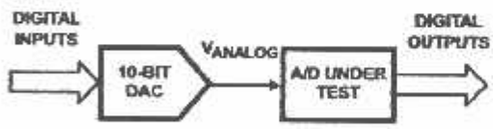


FIGURE 20. BASIC "DIGITAL" A/D TESTER

Typical Applications

Interfacing 8080/85 or Z-80 Microprocessors

is converter has been designed to directly interface with 80/85 or Z-80 Microprocessors. The three-state output pability of the A/D eliminates the need for a peripheral erface device, although address decoding is still required generate the appropriate $\overline{CS}$ for the converter. The A/D n be mapped into memory space (using standard emory-address decoding for $\overline{CS}$ and the $\overline{MEMR}$ and $\overline{MEMW}$ strobes) or it can be controlled as an I/O device by ing the $\overline{I/OR}$ and $\overline{I/OW}$ strobes and decoding the address s A0 → A7 (or address bits A8 → A15, since they will ntain the same 8-bit address information) to obtain the $\overline{CS}$ put. Using the I/O space provides 256 additional idresses and may allow a simpler 8-bit address decoder, t the data can only be input to the accumulator. To make e of the additional memory reference instructions, the A/D ould be mapped into memory space. See AN020 for more scussion of memory-mapped vs I/O-mapped interfaces. An ample of an A/D in I/O space is shown in Figure 21.

e standard control-bus signals of the 8080 ($\overline{CS}$, $\overline{RD}$ and $\overline{R}$) can be directly wired to the digital control inputs of the D, since the bus timing requirements, to allow both starting converter, and outputting the data onto the data bus, are t. A bus driver should be used for larger microprocessor stems where the data bus leaves the PC board and/or ist drive capacitive loads larger than 100pF.

s useful to note that in systems where the A/D converter is f 8 or fewer I/O-mapped devices, no address-decoding cuitry is necessary. Each of the 8 address bits (A0 to A7) n be directly used as $\overline{CS}$ inputs, one for each I/O device.

terfacing the Z-80 and 8085

e Z-80 and 8085 control buses are slightly different from it of the 8080. General $\overline{RD}$ and $\overline{WR}$ strobes are provided d separate memory request, $\overline{MREQ}$, and I/O request, $\overline{RQ}$, signals have to be combined with the generalized obes to provide the appropriate signals. An advantage of erating the A/D in I/O space with the Z-80 is that the CPU automatically insert one wait state (the $\overline{RD}$ and $\overline{WR}$ obes are extended one clock period) to allow more time the I/O devices to respond. Logic to map the A/D in I/O ace is shown in Figure 22. By using $\overline{MREQ}$ in place of $\overline{RQ}$, a memory-mapped configuration results.

ditional I/O advantages exist as software DMA routines are ilable and use can be made of the output data transfer ich exists on the upper 8 address lines (A8 to A15) during input instructions. For example, MUX channel selection for A/D can be accomplished with this operating mode.

8085 also provides a generalized $\overline{RD}$ and $\overline{WR}$ strobe, with IO/$\overline{M}$ line to distinguish I/O and memory requests. The circuit igure 22 can again be used, with IO/$\overline{M}$ in place of $\overline{IORQ}$ for emory-mapped interface, and an extra inverter (or the logic ivalent) to provide $\overline{IO/M}$ for an I/O-mapped connection.

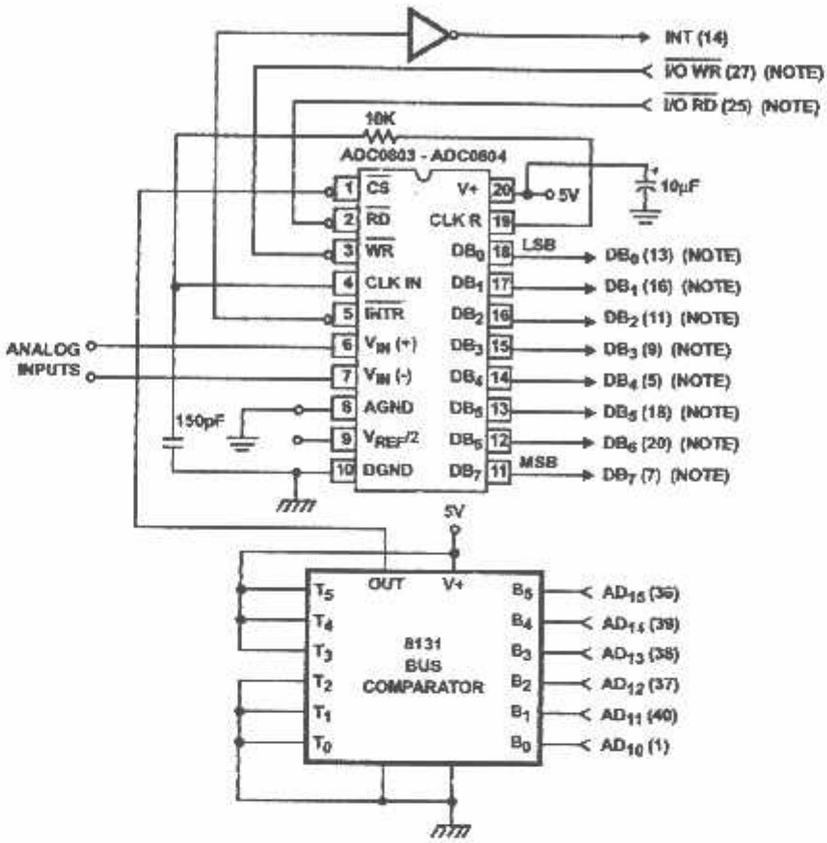
Interfacing 6800 Microprocessor Derivatives (6502, etc.)

The control bus for the 6800 microprocessor derivatives does not use the RD and WR strobe signals. Instead it employs a single R/W line and additional timing, if needed, can be derived from the $\phi 2$ clock. All I/O devices are memory-mapped in the 6800 system, and a special signal, VMA, indicates that the current address is valid. Figure 23 shows an interface schematic where the A/D is memory-mapped in the 6800 system. For simplicity, the CS decoding is shown using $^1/_2$ DM8092. Note that in many 6800 systems, an already decoded $\overline{4/5}$ line is brought out to the common bus at pin 21. This can be tied directly to the CS pin of the A/D, provided that no other devices are addressed at HEX ADDR: 4XXX or 5XXX.

In Figure 24 the ADC080X series is interfaced to the MC6900 microprocessor through (the arbitrarily chosen) Port B of the MC6820 or MC6821 Peripheral Interface Adapter (PIA). Here the CS pin of the A/D is grounded since the PIA is already memory-mapped in the MC6800 system and no CS decoding is necessary. Also notice that the A/D output data lines are connected to the microprocessor bus under program control through the PIA and therefore the A/D RD pin can be grounded.

Application Notes

NOTE #	DESCRIPTION
AN016	"Selecting A/D Converters"
AN018	"Do's and Don'ts of Applying A/D Converters"
AN020	"A Cookbook Approach to High Speed Data Acquisition and Microprocessor Interfacing"
AN030	"The ICL7104 - A Binary Output A/D Converter for Microprocessors"



TE: Pin numbers for 8228 System Controller. Others are 8080A.

FIGURE 21. ADC080X TO 8080A CPU INTERFACE

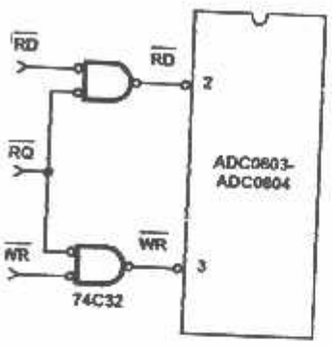
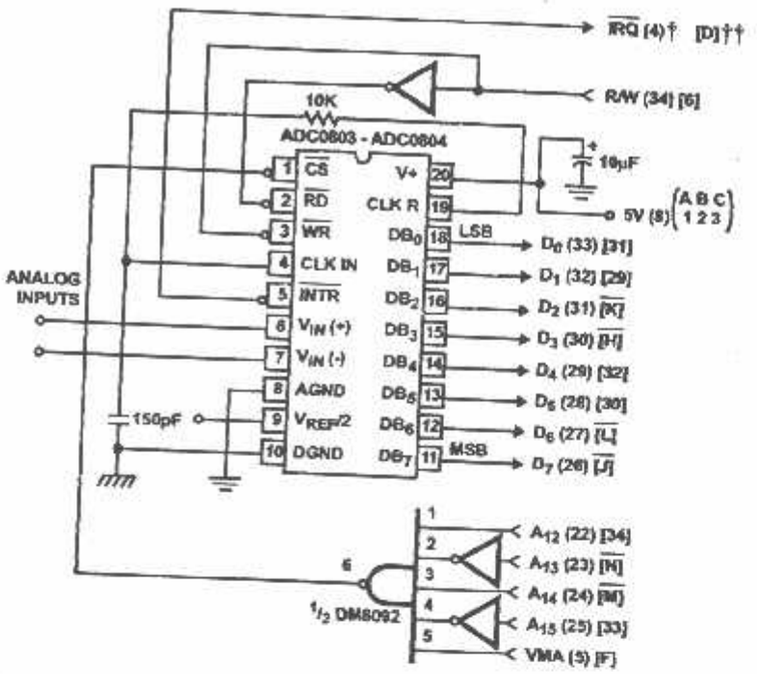


FIGURE 22. MAPPING THE A/D AS AN I/O DEVICE FOR USE WITH THE Z-80 CPU



† Numbers in parentheses refer to MC6800 CPU Pinout.
†† Numbers or letters in brackets refer to standard MC6800 System Common Bus Code.

FIGURE 23. ADC080X TO MC6800 CPU INTERFACE

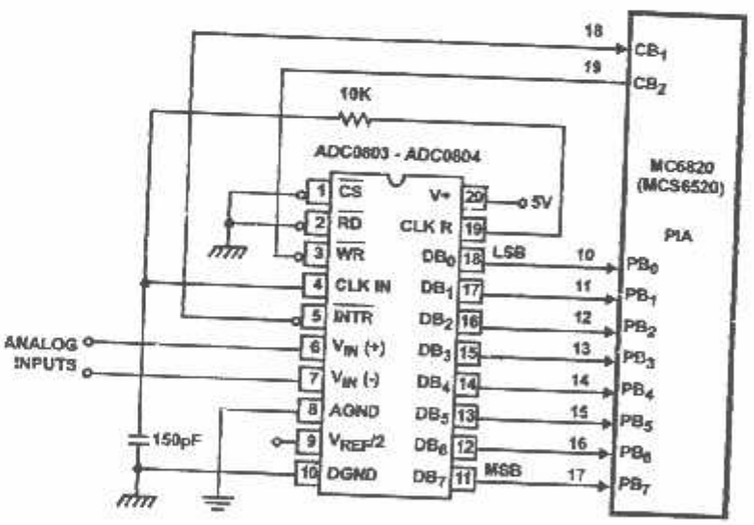


FIGURE 24. ADC080X TO MC6820 PIA INTERFACE